



Tecnológico Nacional de México

Centro Nacional de Investigación y Desarrollo
Tecnológico

Tesis de Maestría en Ciencias

Inversor Multinivel en Cascada Monofásico con
Control de Balance Energético

presentada por

Ing. Benjamín Chavarría Domínguez

como requisito para la obtención del grado de
**Maestro en Ciencias en Ingeniería
Electrónica**

Director de tesis

Dr. Jesús Aguayo Alquicira

Codirector de tesis

Dra. Susana E. De León Aldaco



“2020, Año de Leona Vicario, Benemérita Madre de la Patria”

Cuernavaca, Mor., 19/octubre/2020
No. de Oficio: DIE/555/20
Asunto: Aceptación de documentos de tesis

DR. CARLOS MANUEL ASTORGA ZARAGOZA
SUBDIRECTOR ACADÉMICO
PRESENTE

Por este conducto, los integrantes de Comité Tutorial del **C. Ing. Benjamín Chavarría Domínguez**, con número de control **M18CE092** de la Maestría en Ciencias en Ingeniería Electrónica, le informamos que hemos revisado el trabajo de tesis profesional titulado **“Inversor Multinivel en Cascada Monofásico con Control de Balance Energético”** y hemos encontrado que se han realizado todas las correcciones y observaciones que se le indicaron, por lo que hemos acordado aceptar el documento de tesis y le solicitamos la autorización de impresión definitiva.

DIRECTOR DE TESIS

Dr. Jesús Aguayo Alquicira
Doctor en Ciencias en Ingeniería Electrónica
Cédula profesional 4706315

CODIRECTOR DE TESIS

Dra. Susana Estefany de León Aldaco
Doctora en Ciencias en Ingeniería Electrónica
Cédula profesional 10458245

REVISOR 1

Dr. Luis Gerardo Vela Valdés
Doctor en Ciencias en Ingeniería Electrónica
Cédula profesional 7980044

REVISOR 2

Dr. Carlos Aguilar Castillo
Doctor en Ciencias en Ingeniería Electrónica
Cédula profesional 3581040

C.p. M.E. Guadalupe Garrido Rivera- Jefa del Departamento de Servicios Escolares
Estudiante
Expediente

MPS/irr.



“2020, Año de Leona Vicario, Benemérita Madre de la Patria”

Cuernavaca, Morelos **21/octubre/2020**

OFICIO No. SAC/ 255/2020

Asunto: Autorización de impresión de tesis

**BENJAMÍN CHAVARRÍA DOMÍNGUEZ
CANDIDATO AL GRADO DE MAESTRO EN CIENCIAS
EN INGENIERÍA ELECTRÓNICA
P R E S E N T E**

Por este conducto tengo el agrado de comunicarle que el Comité Tutorial asignado a su trabajo de tesis titulado “Inversor Multinivel en Cascada Monofásico con Control de Balance Energético”, ha informado a esta Subdirección Académica, que están de acuerdo con el trabajo presentado. Por lo anterior, se le autoriza a que proceda con la impresión definitiva de su trabajo de tesis.

Esperando que el logro del mismo sea acorde con sus aspiraciones profesionales, reciba un cordial saludo.

A T E N T A M E N T E

*Excelencia en Educación Tecnológica®
“Conocimiento y tecnología al servicio de México”*

**DR. CARLOS MANUEL ASTORGA ZARAGOZA
SUBDIRECTOR ACADÉMICO**



**CENTRO NACIONAL
DE INVESTIGACIÓN
Y DESARROLLO
TECNOLÓGICO
SUBDIRECCIÓN
ACADÉMICA**

C.c.p. M.E. Guadalupe Garrido Rivera. Jefa del Departamento de Servicios Escolares
Expediente
CMAZ/CHG

“Si quieres encontrar los secretos del universo, piensa en términos de energía, frecuencia y vibración”.

Nikola Tesla

Dedicatoria

A mi familia que siempre me ha apoyado en mis decisiones y deseos de estudiar una licenciatura y el posgrado.

Agradecimientos

Al CONACyT (Consejo Nacional de Ciencia y Tecnología) por brindarme el apoyo monetario que hizo posible mi estancia y realización de la maestría.

Al TecNM (Tecnológico Nacional de México) por proporcionar las instalaciones y equipo necesario para la realización de las pruebas de laboratorio llevadas a cabo en este trabajo.

Al CENIDET (Centro Nacional de Investigación y Desarrollo Tecnológico), su personal, profesores y compañeros de estudio por facilitar las herramientas necesarias en la investigación de mi tema asignado.

Resumen

Este tema de tesis estudia y compara a un grupo de técnicas de modulación SPWM empleadas en inversores multinivel de puentes H conectados en cascada. Esta topología de convertidor de CD/CA es ampliamente estudiada dentro de los temas enfocados en la electrónica de potencia. Un problema cotidiano en este tipo de inversores es el desbalance de la energía procesada en las celdas de puentes H que conforman a la topología.

Este documento presenta el trabajo efectuado para encontrar las técnicas de modulación capaces de resolver el problema de desbalance de energía. También se presentan sus respectivas simulaciones y proceso de programación dentro de un dispositivo digital (FPGA). Posteriormente son implementadas en un prototipo basado en un CHB-MLI de 7 niveles para efectuar pruebas de laboratorio. Para finalizar, se muestran los resultados obtenidos de las pruebas de laboratorio realizadas y su respectivo análisis.

Abstract

This thesis topic studies and compares a group of SPWM modulation techniques used in multilevel H-bridge inverters connected in cascade. This DC/AC converter topology is widely studied within the topics related to power electronics. A common problem in this type of inverters is the unbalance of the energy processed in the H-bridge cells that conform the topology.

This document presents the work effected to find the modulation techniques capable of solving the energy imbalance problem. Their respective simulations and programming process within a digital device (FPGA) are also presented. They are later implemented in a prototype based on a 7-level CHB-MLI to carry out laboratory tests. Finally, the results obtained from the laboratory tests carried out and their respective analysis are shown.

Contenido

Listado de figuras	VII
Listado de tablas	IX
Acrónimos y siglas	X
Nomenclatura.....	XII
1. Capítulo 1: Introducción.....	1
1.1 Antecedentes	2
1.2 Estado del Arte.....	3
1.3 Planteamiento del problema y propuesta de solución.....	6
1.4 Objetivos	7
1.4.1 Objetivo general	7
1.4.2 Objetivos particulares	7
1.5 Alcances.....	8
1.6 Organización del documento	8
2. Capítulo 2: Marco teórico y técnicas de modulación.....	9
2.1 Marco teórico	10
2.1.1 Interruptores controlables basados en semiconductores.....	12
2.1.2 Tipo de inversores multinivel existentes	13
2.1.3 Técnicas de modulación para los CHB-MLI.....	16
2.2 Técnicas de modulación SPWM con equilibrio de energía.....	18
2.2.1 Técnica de modulación PWM Rotativo	20
2.2.2 Técnica de modulación PWM Distribuido	20
2.2.3 Técnica de modulación PS-PWM	21
2.3 Comportamiento de las técnicas de modulación en simulación	22
2.3.1 Parámetros de las simulaciones de las técnicas de modulación	22
2.3.2 Simulaciones de las técnicas de modulación.....	23
2.3.3 Resultados obtenidos de las simulaciones	28
3. Capítulo 3: Programación de las técnicas de modulación.....	29
3.1 Conceptos previos de importancia.....	30
3.1.1 Dispositivos FPGA.....	30
3.1.2 Lenguajes HDL	31

3.1.3	Descripción de la tarjeta de desarrollo utilizada y FPGA	32
3.2	Parámetros considerados previos a la programación	34
3.2.1	Métodos de discretización para las señales y pulsos de comando.....	34
3.2.2	Parámetros de la simulación, discretización y divisor de frecuencia	37
3.2.3	Simulación y discretización de los pulsos de comando.....	39
3.2.4	Tratamiento de los pulsos de comando discretizados.....	41
3.3	Programación e implementación del generador de pulsos.....	42
3.3.1	Descripción del IDE de Icestudio.....	42
3.3.2	Esquema de programación del generador de pulsos.....	43
3.3.3	Resultados obtenidos al implementar en la FPGA.	45
4.	Capítulo 4: Pruebas de laboratorio y análisis de resultados	47
4.1	Implementación del CHB-MLI para pruebas de laboratorio	48
4.1.1	Especificaciones del CHB-MLI prototipo para pruebas de laboratorio	48
4.1.2	Elección de los módulos para el CHB-MLI prototipo.....	49
4.1.3	Estimación de los valores de operación del CHB-MLI prototipo	50
4.1.4	Implementación del CHB-MLI prototipo.....	51
4.2	Pruebas realizadas para cada técnica de modulación.....	52
4.3	Análisis de los resultados obtenidos	60
4.3.1	Valores de las pruebas realizadas a las técnicas de modulación	60
4.3.2	Potencia procesada por las celdas del CHB-MLI durante 60 ms	62
4.3.3	Conversión de los valores de potencia a energía.....	64
5.	Capítulo 5: Conclusiones del trabajo de tesis y trabajos futuros.....	66
5.1	Conclusiones del trabajo de tesis	67
5.1.1	Observaciones del trabajo desarrollado.....	67
5.1.2	Conclusiones finales	67
5.2	Trabajos futuros	68
	Referencias	69

Listado de figuras

Figura 1.1. a) Pulsos de comando de la modulación LS-PWM, b) CHB-MLI de 7 niveles y c) Tensiones procesados por celda.	6
Figura 2.1. Principio de funcionamiento de un inversor de puente H: a) Estados de conmutación presentes en la topología y b) Pulsos de comando generados por la técnica de modulación, así como la forma de onda de corriente resultante.	10
Figura 2.2. Etapas necesarias para la generación y asignación de los pulsos a su respectivo interruptor.	11
Figura 2.3. Rangos de operación de los interruptores controlados por la tecnología de semiconductor [37]. ..	12
Figura 2.4. Clasificación de los inversores basados en fuentes de tensión [1].	13
Figura 2.5. Topologías monofásicas del CHB-MLI de 5 niveles (izquierda) y 7 niveles (derecha).	13
Figura 2.6. Tipos de CHB-MLIs: a) simétrico y b) asimétrico de potencia 2, c) Señales a la salida para ambos inversores.	14
Figura 2.7. Topología del inversor de capacitores flotados de 3 niveles.	15
<i>Figura 2.8. Topología del inversor con diodos de enclavamiento de 3 niveles.</i>	<i>15</i>
Figura 2.9. Clasificación de las técnicas de modulación para inversores multinivel [1].	16
Figura 2.10. Señales de inversores controlados por técnicas: a) SPWM, b) SHEPWM e c) Híbrida.	17
Figura 2.11. Diagrama vectorial para un inversor de 3 niveles [16].	17
Figura 2.12. Ubicación de las técnicas capaces del balance de potencia dentro de las técnicas tipo SPWM. ..	18
Figura 2.13. Modos de configuración de las señales portadoras en una técnica de modulación LS-PWM.	18
Figura 2.14. Estados de sobremodulación, modulación normal y submodulación en una técnica LS-PWM. ..	19
Figura 2.15. Técnica de modulación PWM Rotativo (un ciclo de señal moduladora).	20
Figura 2.16. Técnica de modulación PWM Distribuido (tres ciclos de señal moduladora).	20
Figura 2.17. Técnica de modulación PS-PWM (un ciclo de señal moduladora).	21
Figura 2.18. Lecturas de: a) corriente, b) tensión en celda 1, c) tensión en celda 2 y d) tensión en celda 3.	23
Figura 2.19. a) Modulación LS-PWM y b) Señal de tensión resultante a la salida del CHB-MLI.	24
Figura 2.20. El fundamental tiene 228.21 V de amplitud y el armónico por portadoras 15.97 V a 2.55 kHz. .	24
Figura 2.21. Cantidad de potencia procesada en: a) 3 ciclos (60 ms) y b) 50 ciclos (1 s) de portadora.	24
Figura 2.22. a) Modulación PWM Rotativo y b) Señal de tensión resultante a la salida del CHB-MLI.	25
Figura 2.23. El fundamental tiene 228.38 V de amplitud y el armónico por portadoras 16.07 V a 2.45 kHz. .	25
Figura 2.24. Cantidad de potencia procesada en a) 3 ciclos (60 ms) y b) 50 ciclos (1 s) de portadora.	25
Figura 2.25. b) Modulación PWM Distribuido y b) Señal de tensión resultante a la salida del CHB-MLI.	26
Figura 2.26. El fundamental tiene 228.21 V de amplitud y el armónico por portadoras 15.97 V a 2.55 kHz. .	26
Figura 2.27. Cantidad de potencia procesada en a) 3 ciclos (60 ms) y b) 50 ciclos (1 s) de portadora.	26
Figura 2.28. a) Modulación PS-PWM y b) Señal de tensión resultante a la salida del CHB-MLI.	27
Figura 2.29. El fundamental tiene 224.39 V de amplitud y el armónico por portadoras 13.19 V a 15.35 kHz. .	27
Figura 2.30. Cantidad de potencia procesada en a) 3 ciclos (60 ms) y b) 50 ciclos (1 s) de portadora.	27
Figura 3.1. Diversas ramas de los dispositivos lógicos programables [41].	30
Figura 3.2. Código desarrollado en VHDL para un MUX de 2 entradas y 1 salida.	31
Figura 3.3. Código desarrollado en Verilog para un MUX de 2 entradas y 1 salida.	31
<i>Figura 3.4. Arquitectura interna de la FPGA iCE40 LP/HX1K [47].</i>	<i>32</i>
Figura 3.5. Distribución de pines y elementos en la tarjeta de desarrollo TinyFPGA BX [48].	33
Figura 3.6. Métodos de discretización tomando como ejemplo a una técnica de modulación LS-PWM: a) Modulación LS-PWM original, b) Señales discretizadas de la modulación LS-PWM y c) Pulsos de comando de la modulación LS-PWM.	35
Figura 3.7. Elementos lógicos empleados por dos códigos escritos en lenguaje HDL empleando ambos métodos: a) Discretización de las señales analógicas SPWM y b) Discretización directa de los pulsos de comando.	36

Figura 3.8. Bloques de Simulink para generar las modulaciones SPWM y sus pulsos de comando.	39
Figura 3.9. Simulación de 20 ms de la técnica LS-PWM y sus pulsos de comando (también empleados en la técnica PWM Distribuido).....	40
Figura 3.10. Simulación de 20 ms de la técnica PWM Rotativo y sus pulsos de comando.....	40
Figura 3.11. Simulación de 20 ms de la técnica PS-PWM y sus pulsos de comando.....	40
Figura 3.12. Pasos del tratamiento de los pulsos de comando discretizados: a) Localización de los vectores en la ventana “Workspace”, b) Visualización de la tabla con los valores del vector y c) Hoja de cálculo con la lista de instrucciones.	41
Figura 3.13. Entorno de programación de Icestudio.....	42
Figura 3.14. Esquema de programación original para las técnicas LS-PWM, PWM Rotativo y PS-PWM.	43
Figura 3.15. Esquema de programación para la técnica PWM Distribuido.....	43
Figura 3.16. Pulsos de comando de la técnica LS-PWM en el osciloscopio.	45
Figura 3.17. Pulsos de comando de la técnica PWM Rotativo en el osciloscopio.	45
Figura 3.18. Pulsos de comando de la técnica PWM Distribuido en el osciloscopio.	46
Figura 3.19. Pulsos de comando de la técnica PS-PWM en el osciloscopio.	46
Figura 4.1. Esquema general del CHB-MLI prototipo para pruebas de laboratorio.....	48
Figura 4.2. Diagramas de los CI en el módulo seleccionado: a) Diagrama del puente H trifásico IRAMS10UP60B [49], y b) Diagrama del optoacoplador HCPL-2611 [50].	49
Figura 4.3. Implementación del CHB-MLI prototipo realizando una prueba de baja potencia.....	51
Figura 4.4. Circuitos de mando, aislamiento y potencia utilizados en el CHB-MLI prototipo.	51
Figura 4.5. Señal cuasi-senoidal a la salida del CHB-MLI con la técnica LS-PWM.	52
Figura 4.6. Contenido armónico de la señal cuasi-senoidal (técnica LS-PWM).	52
Figura 4.7. Tensión procesada por cada celda del CHB-MLI con la técnica LS-PWM.	53
Figura 4.8. Corriente procesada por cada celda del CHB-MLI con la técnica LS-PWM.....	53
Figura 4.9. Señal cuasi-senoidal a la salida del CHB-MLI con la técnica PWM Rotativo.....	54
Figura 4.10. Contenido armónico de la señal cuasi-senoidal (técnica PWM Rotativo).....	54
Figura 4.11. Tensión procesada por cada celda del CHB-MLI con la técnica PWM Rotativo.	55
Figura 4.12. Corriente procesada por cada celda del CHB-MLI con la técnica PWM Rotativo.	55
Figura 4.13. Señal cuasi-senoidal a la salida del CHB-MLI con la técnica PWM Distribuido.	56
Figura 4.14. Contenido armónico de la señal cuasi-senoidal (técnica PWM Distribuido).	56
Figura 4.15. Tensión procesada por cada celda del CHB-MLI con la técnica PWM Distribuido.	57
<i>Figura 4.16. Corriente procesado por cada celda del CHB-MLI con la técnica PWM Distribuido.....</i>	<i>57</i>
Figura 4.17. Señal cuasi-senoidal a la salida del CHB-MLI con la técnica PS-PWM.....	58
Figura 4.18. Contenido armónico de la señal cuasi-senoidal (técnica PS-PWM).	58
Figura 4.19. Tensión procesada por cada celda del CHB-MLI con la técnica PS-PWM.	59
<i>Figura 4.20. Corriente procesado por cada celda del CHB-MLI con la técnica PS-PWM.</i>	<i>59</i>
Figura 4.21. Potencia a la salida del CHB-MLI y por celda, con la técnica LS-PWM durante 60 ms.	62
Figura 4.22. Potencia a la salida del CHB-MLI y por celda, con la técnica PWM Rotativo durante 60 ms. ...	62
Figura 4.23. Potencia a la salida del CHB-MLI y por celda, con la técnica PWM Distribuido durante 60 ms. 63	63
Figura 4.24. Potencia a la salida del CHB-MLI y por celda, con la técnica PS-PWM durante 60 ms.	63
Figura 4.25. Energía a la salida del CHB-MLI y por celda, con la técnica LS-PWM durante 60 ms.	64
Figura 4.26. Energía a la salida del CHB-MLI y por celda, con la técnica PWM Rotativo durante 60 ms.....	65
Figura 4.27. Energía a la salida del CHB-MLI y por celda, con la técnica PWM Distribuido durante 60 ms. 65	65
Figura 4.28. Energía a la salida del CHB-MLI y por celda, con la técnica PS-PWM durante 60 ms.....	65

Listado de tablas

Tabla 1.1. Revisión de parámetros en los CHB-MLI	3
Tabla 1.2. Artículos de mayor importancia encontrados en la literatura reportada.	4
Tabla 2.1. Valores referentes al contenido armónico para cada técnica de modulación simulada.	28
Tabla 2.2. Valores de potencia procesada por celda y total, para cada técnica de modulación simulada.	28
Tabla 3.1. Listado de características de la FPGA y parámetros de las modulaciones SPWM.....	37
Tabla 4.1. Parámetros del CHB-MLI empleado como prototipo para las pruebas de laboratorio.	50
Tabla 4.2. Mediciones efectuadas a la señal resultante a la salida del CHB-MLI	60
Tabla 4.3. Mediciones de voltaje y corriente tomadas a cada celda del CHB-MLI.....	61
Tabla 4.4. Valores de potencia procesada por celda y total para cada técnica de modulación evaluada.	61
Tabla 4.5. Variación de la potencia procesada entre las celdas del CHB-MLI prototipo.	63
Tabla 4.6. Valores de energía por celda y total para cada técnica de modulación evaluada.....	64

Acrónimos y siglas

AND	Acrónimo de la compuerta lógica con función de multiplicación binaria.
APOD	<i>Alternate Phase Opposition Disposition</i> - Disposición opuesta de fase alterna.
ASIC	<i>Application Specific Integrated Circuit</i> - Circuito integrado para aplicación específica.
ASSP	<i>Application Specific Standard Product</i> - Producto estándar para aplicación específica.
BJT	<i>Bipolar Junction Transistor</i> - Transistor de unión bipolar.
CA	Corriente Alterna.
CD	Corriente Directa.
CENIDET	Centro Nacional de Investigación y Desarrollo Tecnológico.
CHB-MLI	<i>Cascaded-H Bridge Multi-Level Inverter</i> - Inversor multinivel de puentes H en cascada.
CI	Circuito Integrado.
CPLD	<i>Complex Programmable Logic Device</i> - Dispositivo lógico programable complejo.
CSI	<i>Current Source Inverter</i> - Inversor de fuente de corriente
DC-MLI	<i>Diode-Clamped Multi-Level Inverter</i> - Inversor multinivel con diodos de enclavamiento.
DSP	<i>Digital Signal Processor</i> - Procesador de señal digital
FC-MLI	<i>Flying-Capacitor Multi-Level Inverter</i> - Inversor multinivel de capacitores flotantes.
FFT	<i>Fast Fourier Transform</i> - Transformada rápida de Fourier.
FPGA	<i>Field-Programmable Gate Array</i> - Matriz de puertas lógicas programable en campo.
GAL	<i>Generic Array Logic</i> - Arreglo lógico genérico.
GTO	Acrónimo de <i>Gate Turn-Off Thyristor</i> - Tiristor de compuerta de apagado.
HDL	<i>Hardware Description Language</i> - Lenguaje de descripción de hardware.
IDE	<i>Integrated Development Environment</i> - Entorno de desarrollo integrado.
IGBT	<i>Insulated Gate Bipolar Transistor</i> - Transistores bipolares de puerta aislada.
ISE	<i>Integrated Software Environment</i> - Entorno de software integrado.
LED	<i>Light-Emitting Diode</i> - Diodo emisor de luz.
LS-PWM	<i>Level-Shifted Pulse Width Modulation</i> - Modulación de ancho de pulso con desplazamiento de nivel.
LUT	<i>Look-Up Table</i> - Tabla de búsqueda.
LVTTL	<i>Low Voltage Transistor-Transistor Logic</i> - Lógica transistor a transistor de bajo voltaje.

MCT	Acrónimo de <i>Metal-oxide-semiconductor Controlled Thyristor</i> - Tiristor controlado de metal-óxido-semiconductor.
MOSFET	<i>Metal-Oxide-Semiconductor Field-Effect Transistor</i> - Transistor de efecto de campo metal-óxido-semiconductor.
MUX	Acrónimo de Multiplexor.
OR	Acrónimo de la compuerta lógica con función de suma binaria.
PAL	<i>Programmable Array Logic</i> - Matriz lógica programable.
PCI	<i>Peripheral Component Interconnect</i> Interconexión - de componentes periféricos.
PCIe	<i>Peripheral Component Interconnect Express</i> - Interconexión de componentes periféricos rápido.
PD	<i>Phase Disposition</i> - Disposición en fase.
PLD	<i>Programmable Logic Device</i> - Dispositivo lógico programable.
PLL	<i>Phase-Locked Loop</i> - Lazo de seguimiento de fase.
POD	<i>Phase Opposition Disposition</i> - Disposición opuesta de fase.
PROM	<i>Programmable Read-Only Memory</i> - Memoria programable de solo lectura.
PS-PWM	<i>Phase-Disposition Pulse Width Modulation</i> - Modulación de ancho de pulso con desplazamiento de fase.
PWM	<i>Pulse Width Modulation</i> - Modulación de ancho de pulso.
RAM	<i>Random Access Memory</i> - Memoria de acceso aleatorio.
RMS	<i>Root Mean Square</i> - Raíz media cuadrática.
RTL	<i>Resistor Transistor Logic</i> - Lógica de resistencia-transistor.
SHEPWM	<i>Selective Harmonic Eliminated Pulse Width Modulation</i> - Modulación de ancho de pulso con eliminación selectiva de armónico.
SPI	<i>Serial Peripheral Interface</i> - Interfaz periférica serial.
SPWM	<i>Sinusoidal Pulse Width Modulation</i> - Modulación de ancho de pulso sinusoidal.
SVPWM	<i>Space Vector Pulse Width Modulation</i> - Modulación de ancho de pulso por vectores de espacios.
THD	<i>Total Harmonic Distortion</i> - Distorsión armónica total.
TTL	<i>Transistor-Transistor Logic</i> - Lógica transistor a transistor.
USB	<i>Universal Serial Bus</i> - Bus Universal en Serie.
VHDL	Acrónimo de las siglas combinadas en inglés VHSIC (Circuito integrado de muy alta velocidad) y HDL (Lenguaje de descripción de hardware).
V _{IN}	Acrónimo para referirse a una entrada de voltaje.
VSI	<i>Voltage Source Inverter</i> - Inversor de fuente de tensión

Nomenclatura

Nomenclatura de fórmulas:

A_m	Amplitud de la señal moduladora con forma de onda senoidal.
A_p	Amplitud de las señales portadoras con forma de onda triangular.
C_c	Cantidad de ciclos necesarios por parte de la señal moduladora para alcanzar el balance de potencia en las celdas del CHB-MLI.
C_p	Cantidad de señales portadoras desplazadas en nivel para las técnicas basadas en la modulación LS-PWM.
$F^2(t)$	Valor al cuadrado de la función analizada (tensión o corriente).
F_d	Factor del divisor de frecuencia.
F_r	Factor de no irracionalidad.
F_s	Factor submúltiplo.
G_d	Grados de desfase entre las señales portadoras.
$I_{CHB-MLI}$	Corriente estimada entregada por el CHB-MLI prototipo.
N_m	Número de muestras de los vectores de datos.
N_n	Número de niveles del CHB-MLI.
N_p	Número de portadoras.
$P_{CHB-MLI}$	Potencia estimada entregada por el CHB-MLI prototipo.
P_p	Valor de potencia procesada por una celda del CHB-MLI.
$V_{CHB-MLI}$	Tensión estimada entregada por el CHB-MLI prototipo.
V_{RMS}	Valor RMS de tensión o corriente.
V_d	Valor del divisor de frecuencia.
f_a	Índice de modulación en frecuencia.
f_c	Frecuencia por ciclo para los pulsos de comando a la salida del FPGA.
f_m	Frecuencia de la señal moduladora.
f_o	Frecuencia del oscilador en la tarjeta de desarrollo.
f_p	Frecuencia de la señal portadora.
m_a	Índice de modulación en amplitud.
t_p	Periodo de los pulsos de comando.
t_v	Periodo almacenado en los vectores de datos.
E	Valor de energía.
R	Valor de la carga resistiva.
T	Tiempo que dura un periodo de simulación.

Nomenclatura de unidades:

A	Amperes.
Hz	Hertz.
J	Joules.
kb	Kilobit.
kHz	Kilohertz.
MHz	Megahertz.
ms	Milisegundos.
s	Segundos.
V	Volts.
Vca	Volts de corriente alterna.
Vcd	Volts de corriente directa.
Vpp	Voltaje pico pico.
Vrms	Voltaje de raíz media cuadrática.
W	Watt.
μ s	Microsegundos.
Ω	Ohms.

Capítulo 1: Introducción

Este capítulo brinda la introducción general al presente trabajo de tesis. Se citan algunos antecedentes y se presenta el estudio del estado del arte llevado a cabo para el tema de balance de la energía procesada por las celdas de un CHB-MLI. Se explica la problemática abordada y la propuesta de solución. Posteriormente se especifican los objetivos del trabajo de investigación y sus alcances. Para finalizar, se describe la organización del documento.

1.1 Antecedentes

Este trabajo de investigación se enfoca en el apartado de conversión de corriente directa (CD) a corriente alterna (CA) empleando un inversor multinivel de puentes H en cascada, también conocido como CHB-MLI (del inglés: *Cascaded H-Bridge Multi-Level Inverter*). Existen varias topologías de inversores multinivel y métodos de control basados en técnicas de modulación para este tipo de convertidor [1]–[5]. Sin embargo, la topología de puentes H es más fiable y brinda prestaciones como menor contenido armónico [6]. El concepto de inversor multinivel fue propuesto en 1981 por los investigadores A. Nabae, I. Takahashi y H. Akagi [3]. También se han presentado aplicaciones en la industria, específicamente en el rubro de control y calidad de la energía [2], [7], [8].

En los trabajos [9], [10], se hace un estudio y análisis de la literatura reportada con respecto a los CHB-MLI. Se observa que las tendencias de los artículos reportados se dividen en seis grandes apartados:

- 1) Nuevas topologías de inversor multinivel.
- 2) Nuevas estrategias de modulación y control para inversores multinivel.
- 3) Aplicaciones industriales de inversores multinivel.
- 4) Inversores multinivel para aplicaciones de energía renovable.
- 5) Métodos de reducción de tensión en modo común en inversores multinivel.
- 6) Diseño tolerante a fallas de inversores multinivel.

Este trabajo de investigación atiende al apartado número 2, donde se puede encontrar propuestas que van desde el estudio y comparación de las diversas técnicas de modulación que se emplean de forma tradicional en los CHB-MLI [5], [11]. Hasta la propuesta de nuevos métodos de modulación modificados que toman como base las técnicas tradicionales de modulación. Cobran importancia los métodos basados en múltiples portadoras que son derivados de la técnica SPWM (del inglés: *Sinusoidal Pulse Width Modulation*) como presentan los artículos [12]–[14]. Uno de los objetivos que buscan estas nuevas propuestas de técnicas de modulación es brindar la capacidad de balancear la energía procesada dentro de cada una de las celdas de puente H que conforman a los CHB-MLI [15].

En el CENIDET (Centro Nacional de investigación y Desarrollo Tecnológico) existe un compendio de trabajos previos a esta investigación, que brindan una base de conocimientos fundamentales para el desarrollo de este tema de tesis. Destacan los siguientes: El trabajo desarrollado por Bárcenas [16] brinda un panorama de conocimiento general referente al tema de inversores. El trabajo de Sanabria [17] presenta una metodología para el desarrollo de la técnica de modulación de forma digital aplicada a un CHB-MLI. Finalmente, el trabajo presentado por Vargas [18] sirve de apoyo para conocer parámetros puntuales de un prototipo de pruebas basado en un CHB-MLI existente en el laboratorio.

1.2 Estado del Arte

La revisión del estado del arte consta de dos etapas: En la primera se consultaron trabajos previos desarrollados en CENIDET para estudiar e identificar conceptos y parámetros utilizados en los CHB-MLI. La segunda etapa es una recopilación de artículos científicos reportados en la literatura para atender el problema de desbalance de energía dentro de las celdas que integran a los CHB-MLI.

La Tabla 1.1 presenta algunos parámetros de diseño definidos en los CHB-MLI desarrollados previamente en CENIDET [16]–[22]. Con base en esta información se propuso elaborar un prototipo de pruebas basado en un CHB-MLI de 7 niveles empleando técnicas de modulación SPWM con portadoras de 2.5 kHz y moduladora de 50 Hz.

Tabla 1.1. Revisión de parámetros en los CHB-MLI.

Revisión de parámetros en inversores multinivel previos				
Núm.	Trabajo	1) Frec. Moduladora 2) Frec. Portadora 3) Índice de modulación 4) Tensión en celdas	1) Modulación 2) Topología 3) Dispositivo	Carga
1	Análisis y Desarrollo de un Inversor Multinivel [16]	1) 60 Hz 2) 3 kHz y 15 kHz 3) 1 4) 57 V	1) PS-PWM 2) Puentes H de 7 niveles trifásico 3) IGBT IRG4PC50F	Resistiva (10 Ω), Inductiva (motor)
2	Estrategia PWM Implementada en un FPGA para Aplicación en Inversores Multinivel [17]	1) 60 Hz 2) 10 kHz 3) 1 4) 84 V	1) SPWM 2) Puentes H de 7 niveles trifásico 3) IGBT IRG4PC50F	No conocido
3	Convertidor Multinivel en Cascada con Emulación de Fallas en Circuito Abierto en los Interruptores [18]	1) 60 Hz 2) 3.6 kHz 3) 0.85 4) 118 V	1) IPD-PWM 2) Puentes H de 7 niveles 3) IRAMS10UP60B	Resistiva (2 focos seriados de 120 V)
4	Análisis de un Convertidor Multinivel en Cascada con Tolerancia a Fallas en los Interruptores Empleando la Técnica IPDWM [19]	1) 60 Hz 2) 3.6 kHz 3) 0.8 4) 30 V	1) IPD-PWM 2) Puentes H de 7 niveles trifásico 3) L298	Resistiva-Inductiva (200 Ω , 1.8 mH)
5	Modulador PWM en FPGA para un Inversor Multinivel en Cascada [20]	1) 60 Hz 2) 3 kHz 3) 0.8 a 1 4) 30 V	1) PS-PWM 2) Puentes H de 7 niveles trifásico 3) L298	Resistiva (1.5 k Ω)
6	Estudio de Técnicas de Modulación para el Inversor Multinivel en Cascada Híbrido (Simétrico-Asimétrico) [21]	1) 60 Hz 2) 3.6 kHz 3) 0.8 a 1 4) 30 V	1) LS-PWM tipo PD 2) Puentes H de 7 niveles trifásico 3) L298N	Resistiva (81 Ω)
7	Eliminación de Armónicos en un Inversor Multinivel en Cascada Asimétrico con Fuentes Desiguales [22]	1) 50 Hz 2) 2.1 kHz 4) 60 V a 250 V y 45 V a 135 V	1) PWM escalonada, SPWM (PD) y PWM híbrida (PD) 2) Puentes H de 7 y 9 niveles asimétricos 3) IRAMS10UP60B	Resistiva (270 Ω), Resistiva-Inductiva (motor)

La revisión de la literatura correspondiente al tema de balance de energía de las celdas de un CHB-MLI arrojó varios trabajos de investigación útiles para profundizar en el tema. Los siguientes artículos expuestos brindan una vista global del tema investigado en concordancia con el enfoque de este trabajo de tesis:

El trabajo presentado por Nimmi y Mahesh [23] es uno de los más recientes dentro de las publicaciones encontradas. Estos autores describen una técnica de modulación que parte de la estructura utilizada por la técnica LS-PWM, pero su variante tiene la capacidad de “rotar” continuamente la posición de las señales portadoras.

El artículo presentado por Sarkar y Fernandes [24] expone nuevamente una técnica con la característica de rotar continuamente sus señales portadoras. En este caso la técnica con rotación es comparada con la técnica PS-PWM. Se presentan gráficas de tensión, corriente y contenido armónico para ambos casos analizados.

La publicación de Rao y Mahesh [25] describe los resultados obtenidos al efectuar pruebas de la técnica con rotación de portadoras dentro de Matlab/Simulink. También implementa dicha técnica y presenta los de pulsos de comando obtenidos, las pérdidas de tensión, las formas de onda cuasi-senoidal resultantes y su contenido armónico.

La investigación de Xiao, Xu y Ouyang [26] menciona otra variante de la técnica de modulación basada en rotación de portadoras, en este caso las portadoras son “distribuidas” en cada periodo de la señal moduladora. El trabajo compara el comportamiento de esta segunda técnica propuesta con la técnica PS-PWM.

La Tabla 1.2 presenta todos los artículos consultados, se destacan datos como: título, fecha y lugar de publicación. También parámetros referentes a la topología, técnicas de modulación utilizadas y dispositivos de implementación.

Tabla 1.2. Artículos de mayor importancia encontrados en la literatura reportada.

Estado del arte referente al tema de balance de potencia en los CHB-MLI					
Núm.	Título	Año	Revista / Conferencia	- Hardware - Interruptor	-Topología - Modulación
1	<i>Carrier rotation schemes for equal device conduction periods in Cascaded H-bridge Multilevel Inverter</i> [23]	2018	<i>IEEE: 2018 International Conference on Power Energy, Environment and Intelligent Control.</i>	- Simulación - Simulación	- Multinivel puentes H - LS-PWM modificada
2	<i>An Improved Modulation Strategy Combining Phase Shifted PWM and Phase Disposition PWM for Cascaded H-Bridge Inverters</i> [26]	2017	<i>MDPI: Energies</i>	- DSP TMS320F2812 y FPGA EPF10K20T - IGBT 2MBI100VA	- Multinivel puentes H - LS-PWM modificada - PS-PWM
3	<i>Hardware implementation of carrier rotation strategy for</i>	2017	<i>IEEE: 2017 International Conference on</i>	- dSPACE DS1104 - IGBT	- Multinivel puente H

	<i>Cascaded H-bridge multilevel inverters</i> [25]		<i>Computing, Communication and Automation (ICCCA).</i>		- LS-PWM modificada
4	<i>Evaluating the capacity of power and energy balance for cascaded H-bridge multilevel inverter using different PWM techniques</i> [27]	2017	<i>IEEE: The Journal of Engineering</i>	- Simulación - Simulación	- Multinivel puente H - LS-PWM tipo PD y PS-PWM
5	<i>Carrier Rotation Strategies for Equal Power Distributions in Cascaded H-Bridge Multilevel Inverters</i> [28]	2017	<i>De Gruyter: International Journal of Emerging Electric Power Systems</i>	- dSPACE DS1104 - IGBT	- Multinivel puente H - LS-PWM modificada
6	<i>New active capacitor voltage balancing method for five-level stacked multicell converter</i> [29]	2016	<i>IEEE: 2016 IEEE Applied Power Electronics Conference and Exposition (APEC)</i>	- Simulación - Simulación	- Multinivel de capacitor flotado - LS-PWM
7	<i>Carrier based PWM for even power distribution in cascaded H-bridge multilevel inverters within single power cycle</i> [30]	2016	<i>IEEE: 42nd Annual Conference of the IEEE Industrial Electronics Society</i>	- dsPace DS1103 - MOSFET IRF460	- Multinivel puente H - LS-PWM modificada
8	<i>Performance evaluation of carrier rotation strategy in level-shifted pulse-width modulation technique</i> [31]	2014	<i>IET Power Electronics (Volume: 7, Issue: 3, March 2014)</i>	- No conocido - IGBT	- Multinivel puente H - LS-PWM modificada, PS-PWM
9	<i>Modified hybrid multi-carrier PWM technique for cascaded H-Bridge multilevel inverter</i> [24]	2014	<i>IEEE: IECON 2014 - 40th Annual Conference of the IEEE Industrial Electronics Society</i>	- Simulación - Simulación	- Multinivel puente H - LS-PWM modificada, PS-PWM y PWM Híbrido
10	<i>Energy-Balance Control of PV Cascaded Multilevel Grid-Connected Inverters Under Level-Shifted and Phase-Shifted PWMs</i> [32]	2013	<i>IEEE: IEEE Transactions on Industrial Electronics</i>	- FPGA Spartan 3 - MOSFET IRFP240, Driver IR21084	- Multinivel puente H - PS-PWM y LS-PWM modificada
11	<i>Level-shifted PWM for Cascaded Multilevel Inverters with Even Power Distribution</i> [33]	2007	<i>IEEE: 2007 IEEE Power Electronics Specialists Conference</i>	- Simulación - Simulación	- Multinivel puente H - LS-PWM tipo PD modificada
12	<i>Carrier-rotation strategy for voltage balancing in flying capacitor multilevel inverter</i> [34]	2004	<i>IEEE: IEE Proceedings - Electric Power Applications</i>	- No conocido - No conocido	- Multinivel de capacitor flotado - LS-PWM PD, LS-PWM PD modificado, PS-PWM y PWM Híbrido

Las técnicas de modulación resultantes del estado del arte se pueden dividir en: PWM Rotativo ([23]–[25], [28], [30], [31], [33], [34]), PWM Distribuido ([29], [31], [32], [35]) y PS-PWM ([24], [26], [27], [32]–[34]).

1.3 Planteamiento del problema y propuesta de solución

Para llevar a cabo su función de convertir CD a CA todo inversor requiere de un grupo de pulsos de comando que asignen una secuencia de conmutación a los interruptores que lo conforman. En el caso de los CHB-MLI comúnmente se utilizan los pulsos de comando generados por la técnica de modulación LS-PWM (del inglés: *Level-Shifted Pulse Width Modulation*), debido a que este método de generación de pulsos de comando es fácil de comprender e implementar en topologías de inversores con varios niveles.

La Figura 1.1 muestra los pulsos de comando generados por una técnica de modulación LS-PWM en un periodo de 20 ms. También se muestra la asignación de cada pulso de comando en su respectivo interruptor dentro del CHB-MLI y las formas de onda de tensión procesadas y entregadas por cada una de las celdas de puente H que integran al CHB-MLI de 7 niveles.

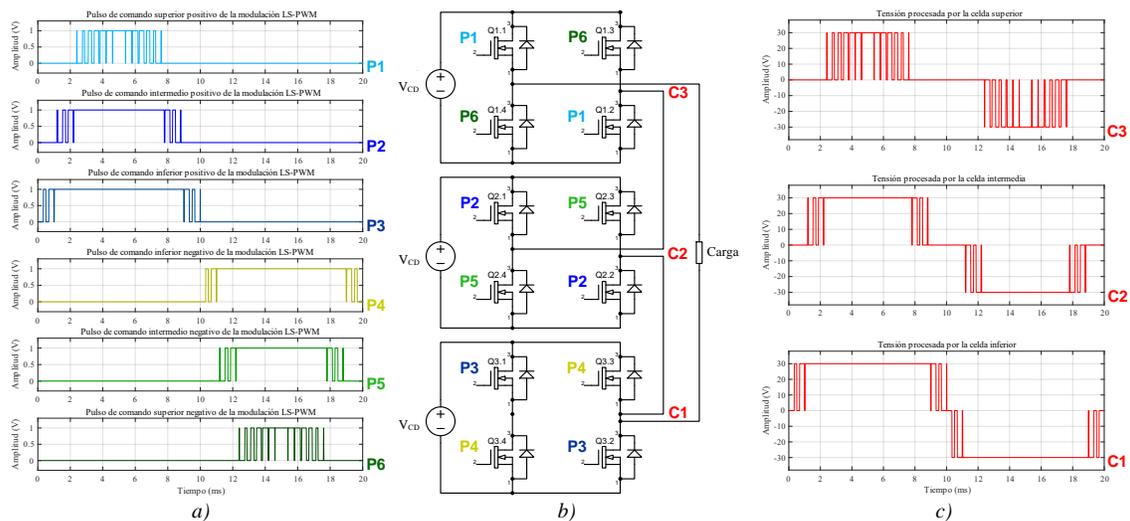


Figura 1.1. a) Pulsos de comando de la modulación LS-PWM, b) CHB-MLI de 7 niveles y c) Tensiones procesadas por celda.

Los tiempos de conmutación para cada una de las celdas de puente H no son iguales entre sí, estos tiempos dependen de los pulsos de comando asignados a los interruptores internos de las celdas. Esta variación en los tiempos de conmutación conlleva a un procesamiento de tensión y corriente desequilibrado en los diferentes niveles del CHB-MLI; y por lo tanto a un desbalance interno de la energía procesada por cada una de las tres celdas de puente H.

Debido al desequilibrio de la energía procesada en cada celda, y considerando que todas las celdas de puentes H poseen las mismas características de construcción y componentes. Se observa que las celdas con tiempos de conmutación más prolongados presentan mayor calentamiento. Esta situación conduce a un estrés extra de los interruptores del puente H, que ve reducido su tiempo de vida útil e incrementan la probabilidad de fallas dentro del inversor. Lo que con lleva a afectar las capacidades de conversión de corriente.

Una forma de solucionar el problema de la reducción de tiempo de vida útil de los componentes sometidos a mayor estrés consiste en el desarrollo de una topología mixta en la cual las celdas que procesen mayor cantidad de potencia utilicen componentes más robustos. Sin embargo, emplear este tipo de solución complica el diseño e implementación del inversor, debido al desarrollo de cada celda por separado según sus necesidades de procesamiento asignado. Además de la utilización de componentes de distintas capacidades que reducen las posibilidades de modularidad y redundancia entre las celdas del CHB-MLI.

Este trabajo de investigación propone como alternativa de solución emplear un método que mediante los pulsos de comando consiga el balance de la energía procesada internamente en el CHB-MLI. De este modo se conservan las celdas de puentes H con las mismas características de construcción y componentes. Para generar los pulsos de comando con estas características se puede utilizar la técnica de modulación conocida como PS-PWM (del inglés: *Phase-Shifted Pulse Width Modulation*) o versiones modificadas de la técnica de modulación LS-PWM. Estas técnicas de modulación permiten conservar las capacidades de modularidad y redundancia de las celdas que conforman al CHB-MLI.

1.4 Objetivos

A continuación, se presentan el objetivo general y los objetivos específicos planteados para el desarrollo de este tema de tesis:

1.4.1 Objetivo general

Estudiar y comparar el comportamiento de técnicas de modulación capaces de generar un balance de la energía procesada en las celdas de un inversor multinivel de puentes H.

1.4.2 Objetivos particulares

- Seleccionar técnicas de modulación capaces generar un balance de la potencia y energía procesada en las celdas de un inversor multinivel.
- Estudiar el comportamiento de las técnicas de modulación con capacidad del balance de potencia y energía.
- Validar el comportamiento de las técnicas de modulación con pruebas de laboratorio en un inversor multinivel.
- Comparar los resultados obtenidos en el laboratorio para cada técnica de modulación analizada.

1.5 Alcances

Como señala la revisión literaria presentada en [9], [10], una de las tendencias de los trabajos de investigación enfocadas en los CHB-MLI atiende al desarrollo de nuevas estrategias de modulación y control. La revisión del estado del arte también permite observar que, dentro de los artículos encontrados, existen trabajos enfocados en el análisis y comparación de diversas técnicas de modulación con la capacidad de balance de la energía procesada en las celdas de puente H que integran a un CHB-MLI.

Dentro de este contexto y según el problema observado, resulta de interés clasificar las técnicas de modulación con capacidad de balance de potencia (basadas en variantes de la técnica SPWM) más populares y que mejores resultados han presentado. La clasificación de dichas técnicas se basa en los trabajos de investigación consultados. En este trabajo de tesis las técnicas de modulación clasificadas son analizadas y se corroboran sus prestaciones mediante pruebas de laboratorio que permitan comparar sus resultados.

1.6 Organización del documento

El Capítulo 2 titulado “Marco teórico y técnicas de modulación” se divide en tres secciones: la primera sección presenta las topologías y técnicas de modulación más comunes en los CHB-MLI a modo de marco teórico. La segunda sección detalla información teórica de las técnicas de modulación con capacidad de balance de energía, que resultaron de la búsqueda del estado del arte. Para finalizar, en la tercera sección se presentan los parámetros y los resultados de simulación de dichas técnicas de modulación.

El Capítulo 3 titulado “Programación de las técnicas de modulación” presenta cuatro secciones: la primera sección brinda una introducción explicando conceptos de importancia. La segunda sección detalla parámetros previos al desarrollo del código. La tercera sección describe el entorno de programación y el código desarrollado. Por último, la cuarta sección muestra los pulsos de comando resultantes del código implementado en la FPGA.

El capítulo 4 titulado “Pruebas de laboratorio y análisis de resultados” se divide en tres secciones: la primera sección presenta los parámetros empleados en la implementación de un CHB-MLI prototipo para las pruebas de laboratorio. En la segunda sección se muestran los resultados obtenidos de las pruebas realizadas a las técnicas de modulación. Y la tercera sección presenta el análisis de dichos resultados.

Para finalizar el capítulo 5 titulado “Conclusiones del trabajo de tesis y trabajos futuros” presentan las conclusiones obtenidas al analizar los resultados producidos en las pruebas de laboratorio. Además, se brindan algunas propuestas de trabajos futuros para continuar desarrollando el tema de investigación abordado.

Capítulo 2: Marco teórico y técnicas de modulación

Este capítulo se divide en tres secciones: la primera sección presenta las topologías y técnicas de modulación más comunes en los CHB-MLI a modo de marco teórico. La segunda sección detalla información teórica de las técnicas de modulación con capacidad de balance de potencia, que resultaron de la búsqueda del estado del arte. Para finalizar, en la tercera sección se presentan los parámetros y los resultados de simulación de dichas técnicas de modulación.

2.1 Marco teórico

Todo inversor de corriente sin importar su sub-clasificación está definido por dos características primordiales: La topología y la técnica de modulación que rige sus conmutaciones. Ambas características están correlacionadas y definen algunas de las prestaciones que el inversor ofrece al realizar la tarea de conversión energía eléctrica de CD a una forma cuasi-senoidal de CA.

La Figura 2.1 muestra el principio de funcionamiento del inversor de puente H. Esta topología consiste en cuatro interruptores denominados “Q1”, “Q2”, “Q3” y “Q4”, dichos elementos se encuentran conectados por uno de sus extremos a un bus de alimentación de CD denominado “ V_{CD} ”. Mientras que en el otro extremo de los interruptores se conecta una carga “R” que recibe la tensión de CA.

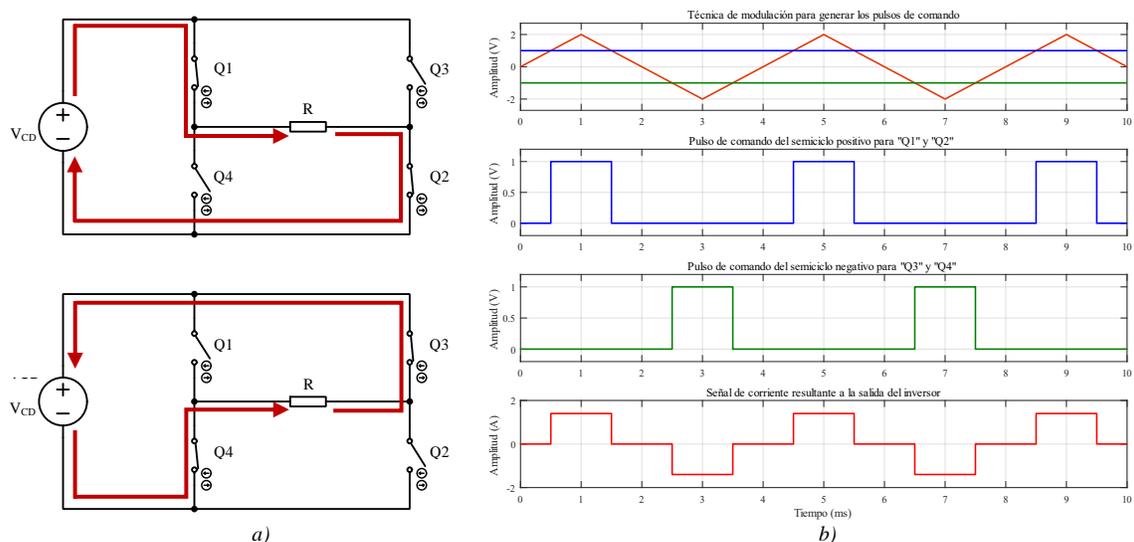


Figura 2.1. Principio de funcionamiento de un inversor de puente H: a) Estados de conmutación presentes en la topología y b) Pulsos de comando generados por la técnica de modulación, así como la forma de onda de corriente resultante.

Los interruptores realizan dos secuencias de conmutación para entregar la tensión del bus de alimentación “ V_{CD} ” a la carga “R”. En la primera secuencia “Q1” y “Q2” se encuentran conmutando mientras que “Q3” y “Q4” están abiertos, esto permite a la corriente de “ V_{CD} ” fluir del lado positivo al negativo a través de la carga. En el segundo periodo “Q1” y “Q2” están abiertos mientras que “Q3” y “Q4” entran en conmutación, el flujo de corriente se invierte de negativo a positivo. La gestión de las conmutaciones depende los pulsos de comando generados por la técnica de modulación [36], [37].

Es fundamental que exista un correcto desarrollo de la generación de los pulsos de comando y que estos lleguen de forma adecuada a sus respectivos interruptores. En la práctica este proceso se lleva a cabo mediante tres etapas denominadas: circuito de mando, circuito de protección y circuito de potencia. La relación de estas etapas se presenta en la Figura 2.2.

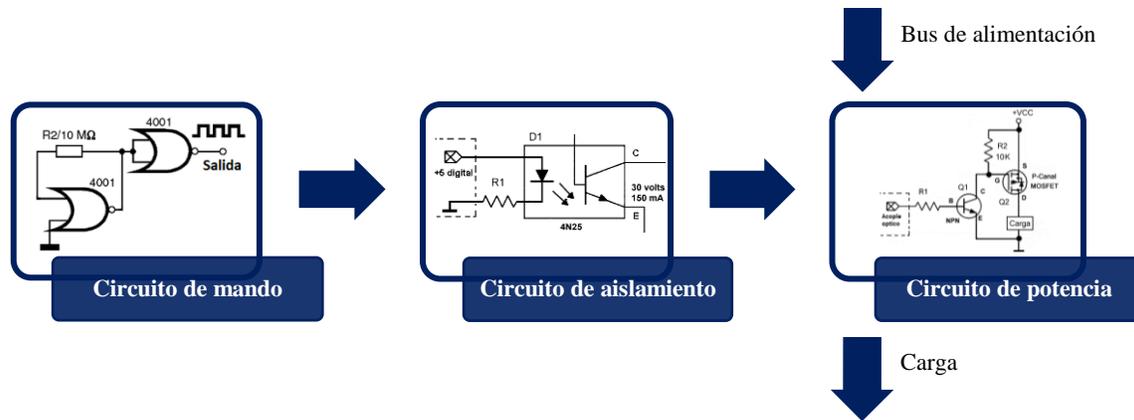


Figura 2.2. Etapas necesarias para la generación y asignación de los pulsos a su respectivo interruptor.

A continuación, se explica las características y funciones de cada uno de los circuitos que conforman a las etapas presentadas en la Figura 2.2:

- **Circuito de mando**

El circuito de mando es el encargado de generar los pulsos de comando para la conmutación de los interruptores de la topología empleada. Como ya se mencionó, la generación de los pulsos de comando es desarrollada en función de una técnica de modulación. Dependiendo del tipo de aplicación, este tipo de circuito puede estar hecho con elementos analógicos como amplificadores operacionales; o por dispositivos digitales como compuertas lógicas. Es importante destacar que se trata de una etapa que opera a bajas tensiones, normalmente inferior a los 15 V .

- **Circuito de aislamiento**

Este circuito comúnmente es formado por un optoacoplador o una tecnología de aplicación similar. Es la etapa encargada de comunicar de manera segura las señales del circuito de mando al circuito de potencia manteniéndolas aisladas eléctricamente. El circuito de potencia opera con tensiones y corrientes muy superiores (según requerimientos de la carga) a las del circuito de mando. Por ese motivo surge la necesidad de emplear este aislamiento encargado de transferir unidireccionalmente el pulso de comando generado a baja tensión y evitar que el circuito de potencia transmita ruidos o corrientes parasitas al circuito de mando.

- **Circuito de potencia**

En el circuito de potencia se encuentran los interruptores de potencia encargados de las conmutaciones que permiten a la topología realizar la conversión de corriente, estos interruptores están basados en tecnologías de semiconductores como el MOSFET o el IGBT. Los pulsos de comando entregados por la etapa de aislamiento son recibidos por un circuito excitador (o de arranque) previo a los interruptores de potencia (que conducen la energía del bus de alimentación a la carga). Esto se debe a que los interruptores de potencia operan con valores superiores a los del circuito de mando y aislamiento [36], [38].

2.1.1 Interruptores controlables basados en semiconductores

Los inversores emplean varios tipos de dispositivos semiconductores para el procesamiento de la corriente entregada por el bus de CD. Estos dispositivos se pueden clasificar en tres grupos en función de la manera en cómo se activan sus estados de conmutación o bloqueo:

- **Diodos:** La conmutación y bloqueo de estos dispositivos es causada por sus características intrínsecas y las condiciones de polaridad presentes en el circuito.
- **Tiristores:** La conmutación se activa mediante un pulso de comando, pero su bloqueo queda sujeto a las condiciones de polaridad del circuito.
- **Interruptores controlables:** Tanto los estados conmutación y bloqueo son activados por un pulso de comando externo al dispositivo.

Para el caso de los CHB-MLI (que competen a este trabajo de tesis) la topología se basa en el puente H integrado por cuatro interruptores controlables. En esta clasificación destacan los dispositivos semiconductores basados en tecnologías: BJT, MOSFET, IGCT, GTO e IGBT [37], [38]. Las cinco tecnologías de interruptores controlables poseen prestaciones diferentes con el propósito de cubrir determinadas necesidades según su aplicación.

En el desarrollo de cualquier topología existen diferentes parámetros a tomar en cuenta para definir el tipo de interruptor a utilizar. Entre estos parámetros se encuentran la cantidad de tensión y corriente que el interruptor puede bloquear o conducir. La Figura 2.3 presentada por Bernet en [37], [39], señala los rangos de operación en tensión y corriente para las distintas tecnologías de semiconductores usadas en los interruptores controlables.

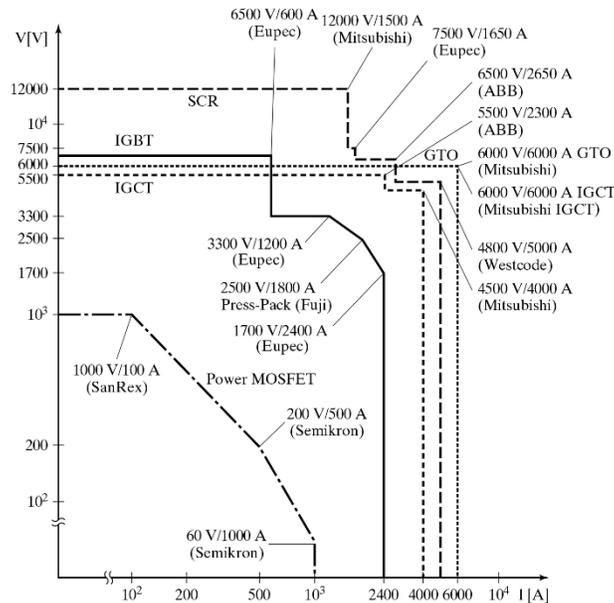


Figura 2.3. Rangos de operación de los interruptores controlados por la tecnología de semiconductor [37].

2.1.2 Tipo de inversores multinivel existentes

La Figura 2.4 muestra la ubicación del CHB-MLI (del inglés: *Cascaded H-Bridge Multilevel Inverter*) simétrico en la clasificación de inversores basados en fuentes de tensión o VSI (del inglés: *Voltage Source Inverter*). Esta información es presentada por Franquelo en [1]. Como dato adicional, existen variantes de inversores basados en fuentes de corriente o CSI (del inglés: *Current Source Inverter*).

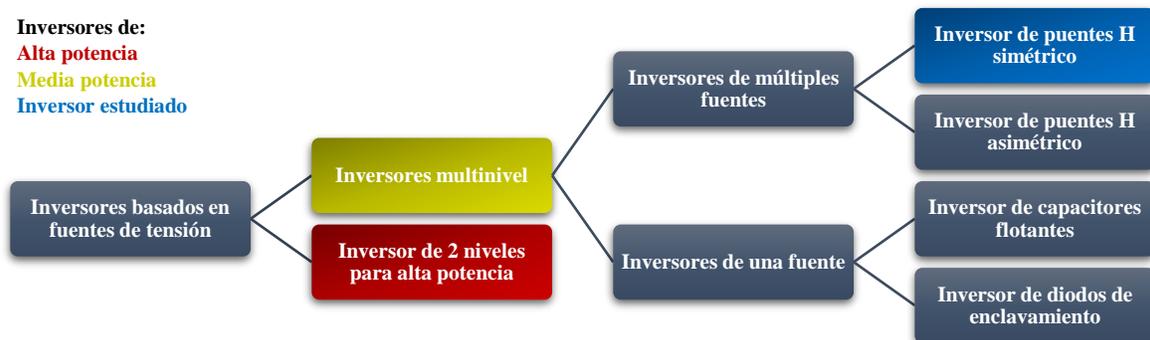


Figura 2.4. Clasificación de los inversores basados en fuentes de tensión [1].

A continuación, se brinda una descripción de las topologías del tipo inversor multinivel, dando prioridad a la variante basada en puentes H de fuentes simétricas ya que corresponde a la topología del CHB-MLI utilizada en este trabajo de investigación. Para más detalles se pueden consultar los artículos [1], [2], [4].

- **Inversor multinivel de puentes H en cascada (CHB-MLI)**

Este inversor consiste en la conexión simultánea de múltiples puentes H. Como se detalla en la Figura 2.1 los puentes H consisten en cuatro interruptores que cumplen la función de conectar un bus de alimentación de CD con una carga. En la Figura 2.5 se muestra los ejemplos de un CHB-MLI de 5 niveles y 7 niveles.

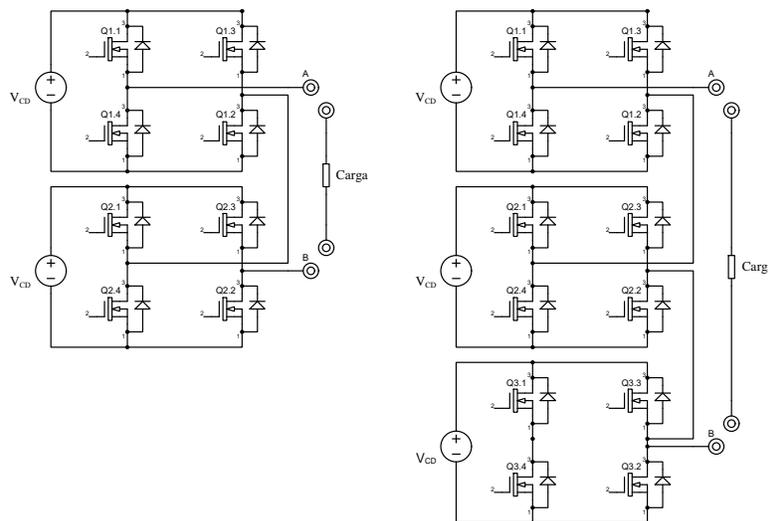


Figura 2.5. Topologías monofásicas del CHB-MLI de 5 niveles (izquierda) y 7 niveles (derecha).

El CHB-MLI se divide en múltiples celdas, cada una de ellas se encuentran constituida por un puente H y una fuente de alimentación de CD. La conexión en cascada de las celdas permite obtener a la salida dos terminales (“A” y “B”) para conectarse con la carga. Cada celda de puente H genera un estado positivo (corriente en flujo positivo) y un estado negativo (corriente en flujo negativo), un estado corresponde a un nivel del CHB-MLI. Al sumar los 2 estados de cada celda conectada en cascada, más el estado de 0 volts (solo presente cuando ningún interruptor está conmutando) se obtiene el número de niveles del inversor [2], [4].

Gracias a su estructura, la topología del CHB-MLI posee la capacidad de dividir el procesamiento de la corriente en múltiples secciones (según su número de celdas). Esto permite utilizar dispositivos semiconductores de menor potencia (pero con otras prestaciones como mayor frecuencia de conmutación) en tareas que requieran procesar una gran cantidad de corriente. También permite generar señales más cercanas a una forma de onda senoidal reduciendo la cantidad de THD (del inglés: *Total Harmonic Distortion*) y mejorando la conversión de corriente [8].

- **Diferencias entre el CHB-MLI simétrico y asimétrico**

Los CHB-MLI simétricos corresponden a inversores donde todas sus fuentes de alimentación poseen el mismo valor de tensión, mientras que los CHB-MLI asimétricos poseen fuentes de alimentación con valores distintos. La Figura 2.6 presenta una comparación de un CHB-MLI tipo simétrico y uno tipo asimétrico.

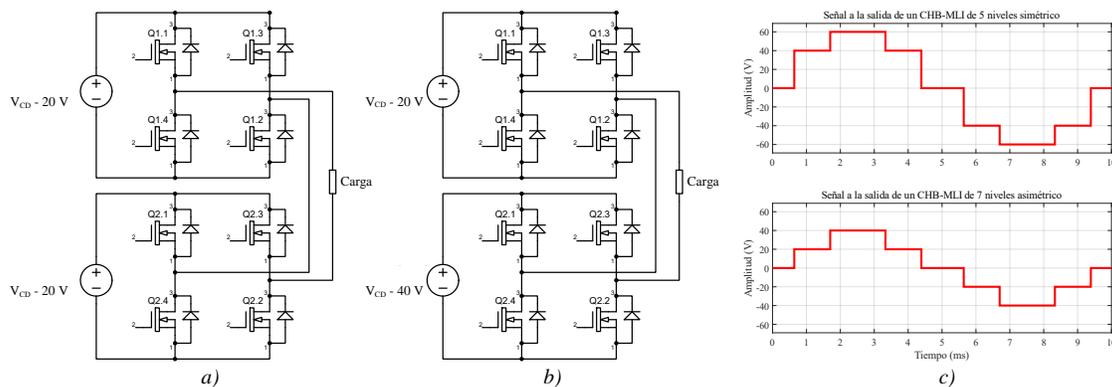


Figura 2.6. Tipos de CHB-MLIs: a) simétrico y b) asimétrico de potencia 2, c) Señales a la salida para ambos inversores.

En los inversores asimétricos se toma como referencia mínima el valor de tensión de una fuente de alimentación, el resto de las fuentes incrementan su valor en función de la referencia, duplicando o triplicando el valor de la misma. En el inversor asimétrico de la Figura 2.6 b) se aprecia que la fuente correspondiente a la segunda celda y denominada “ $2V_{CD}$ ” posee 40 V (duplicando la tensión de 20 V de “ V_{CD} ”). Dependiendo del incremento de las fuentes, el inversor puede recibir el término “potencia 2 o potencia 3” y agregar un par de niveles. En este caso donde se duplico la tensión de la referencia “ V_{CD} ”, el CHB-MLI asimétrico es denominado de potencia 2 y considerado como un inversor de 7 niveles [40].

- **Inversor multinivel de capacitores flotantes (FC-MLI)**

La Figura 2.7 muestra un inversor de capacitores flotados de 3 niveles. Esta topología utiliza solo una fuente de alimentación " V_{CD} " conectada a los capacitores " $C1$ " y " $C2$ ". El capacitor " $C1$ " adquiere la mitad de la de tensión proporcionada por la fuente (dicha tensión se denomina " $V_{CD}/2$ "); mientras que el capacitor " $C2$ " almacena una mitad negativa del valor de la fuente (esta tensión se denomina " $-V_{CD}/2$ ").

La operación del inversor consiste en conmutar " $Q1$ " y " $Q2$ " al mismo tiempo para conseguir el estado positivo de la señal. Al realizar la conmutación de " $Q3$ " y " $Q4$ " se alcanza el estado negativo. Mientras que el estado de cero volts se obtiene al hacer conmutar " $Q1$ " y " $Q3$ " (carga del capacitor " $C3$ ") o " $Q2$ " y " $Q4$ " (descarga del capacitor " $C3$ ") [40].

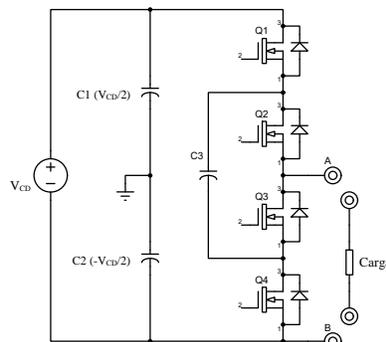


Figura 2.7. Topología del inversor de capacitores flotados de 3 niveles.

- **Inversor multinivel con diodos de enclavamiento (DC-MLI)**

La Figura 2.8 muestra un inversor con diodos de enclavamiento de 3 niveles. Al igual que el FC-MLI este inversor solo utiliza una fuente de alimentación " V_{CD} " junto a los capacitores " $C1$ " y " $C2$ ", que cumplen nuevamente la función de distribuir la energía de la fuente de alimentación. Mientras que la función desarrollada por el capacitor " $C3$ " en esta topología se hace mediante los diodos " $D1$ " y " $D2$ ".

La conmutación de los interruptores en el DC-MLI se realiza del mismo modo que en el FCMLI para el caso de los estados positivo y negativo, pero para el estado de 0 volts es necesario conmutar en parejas a " $Q2$ " y " $Q3$ " o " $Q1$ " y " $Q4$ " [40].

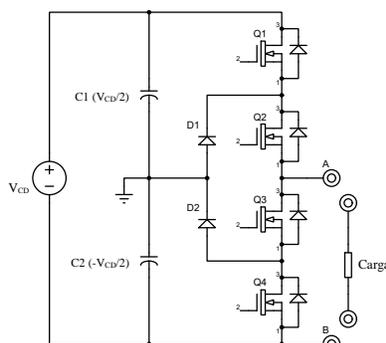


Figura 2.8. Topología del inversor con diodos de enclavamiento de 3 niveles.

2.1.3 Técnicas de modulación para los CHB-MLI

Los pulsos de comando utilizados para controlar las conmutaciones en los diferentes inversores multinivel son generados mediante diversas estrategias y técnicas de modulación. La Figura 2.9 presentada por Franquelo en su trabajo de investigación [1], nos detalla un esquema con la organización de las principales técnicas de modulación empleadas por las topologías de los inversores multinivel.

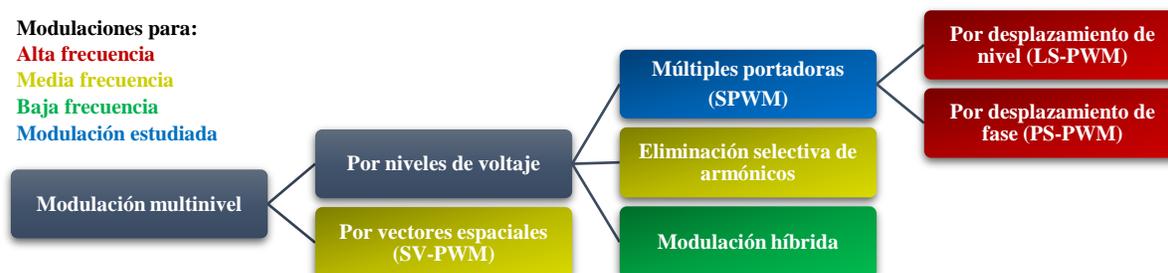


Figura 2.9. Clasificación de las técnicas de modulación para inversores multinivel [1].

Las técnicas de modulación operan en diferentes rangos de frecuencias según los niveles de energía procesados por los inversores multinivel. A continuación, se brinda una ligera descripción para cada técnica de modulación presentada en el esquema. Se profundiza en las características de las dos técnicas basadas en múltiples portadoras, por ser las variantes analizadas en este trabajo de investigación.

- **Modulación basada en múltiples portadoras (SPWM)**

Las técnicas de modulación basadas en múltiples portadoras tipo SPWM (del inglés: *Sinusoidal Pulse Width Modulation*) consisten en la comparación de una señal patrón, comúnmente una función senoidal denominada señal moduladora, con un grupo de señales a mayor frecuencia basadas en funciones triangulares que el reciben el nombre de señales portadoras. Al comparar cada señal portadora con la señal moduladora se obtiene su respectivo pulso de comando con una gran cantidad de ángulos de disparo por ciclo. La Figura 2.10 a) muestra los pulsos de comando de un CHB-MLI de 5 niveles. Los ángulos de disparo son el momento de cambio del estado lógico “0” al estado lógico “1” [2], [40].

- **Modulación basada en eliminación selectiva de armónicos (SHEPWM)**

La modulación SHEPWM (del inglés: *Selective Harmonic Eliminated Pulse Width Modulation*) tiene como objetivo atenuar los armónicos de baja frecuencia que se encuentren cercanos a la frecuencia fundamental de la señal cuasi-senoidal entregada por el inversor multinivel. Los armónicos presentes a altas frecuencias resultan más fáciles de eliminar mediante filtros pasa-bajas. Por lo general esta técnica de modulación se desarrolla mediante un pulso de comando con un único ángulo de disparo por nivel. Dicho ángulo de disparo se calcula en función del armónico que se desea eliminar [40], ver Figura 2.10 b).

- **Modulación híbrida**

Esta técnica de modulación es utilizada en los inversores asimétricos y resulta de combinar la técnica SPWM con la técnica SHEPWM, ver Figura 2.10 c). Debido a que la técnica SPWM presenta la característica de tener múltiples ángulos de disparo por ciclo, es utilizada en los niveles del inversor con menor procesamiento de potencia. Mientras que la técnica de modulación SHEPWM es más conveniente para los niveles que manejan mayor cantidad de potencia, debido a que brindan un pulso de comando que hacen conmutar a los interruptores una sola vez por ciclo [22].

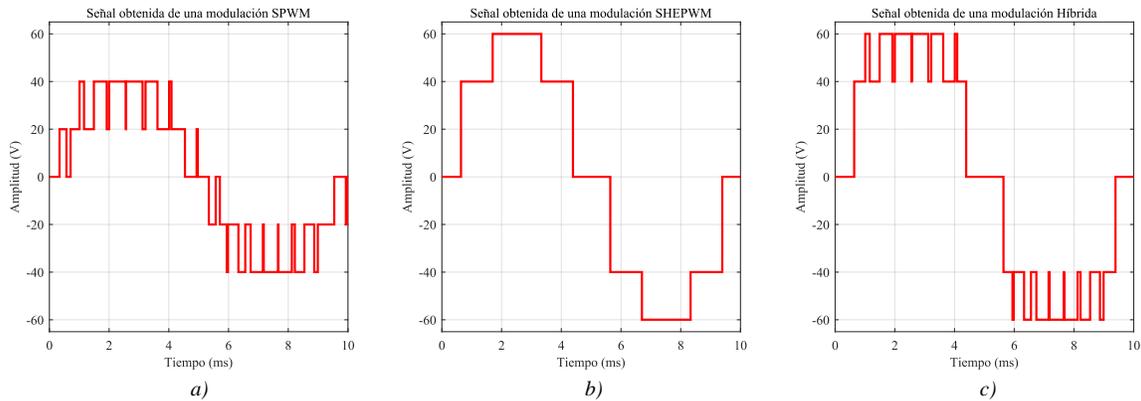


Figura 2.10. Señales de inversores controlados por técnicas: a) SPWM, b) SHEPWM e c) Híbrida.

- **Modulación por vectores de espacios (SVPWM)**

La técnica SVPWM (del inglés: *Space Vector Pulse Width Modulation*) emplea un diagrama vectorial para la generación de sus pulsos de comando, ver Figura 2.11. Este diagrama consiste en un mapa con secciones definidas por vectores que representan a los estados de conmutación. Por dichas secciones se traslada un vector de referencia encargado de definir los estados de los pulsos de comando en función de la sección donde se encuentre, la rotación y longitud del vector determinan la frecuencia y amplitud presente en la señal de salida del inversor. No se recomienda usar esta técnica de modulación en inversores mayores a 5 niveles porque el diagrama vectorial se hace más complejo y difícil de procesar [2], [16].

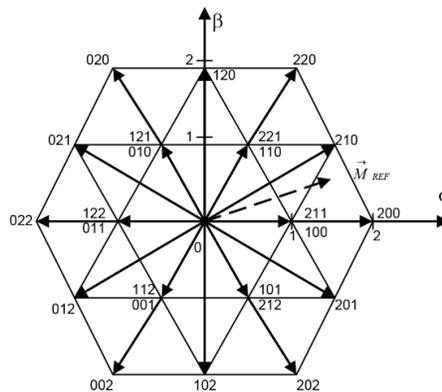


Figura 2.11. Diagrama vectorial para un inversor de 3 niveles [16].

2.2 Técnicas de modulación SPWM con equilibrio de energía

El estudio del estado del arte presentado en la Tabla 1.2 determinó que las técnicas de modulación PWM Rotativo, PWM Distribuido y PS-PWM, son capaces de efectuar un balance de energía en las celdas que integran a un CHB-MLI. La Figura 2.12 muestra un esquema con la distribución de estas técnicas dentro de la familia de técnicas de modulación basadas en múltiples portadoras tipo SPWM.

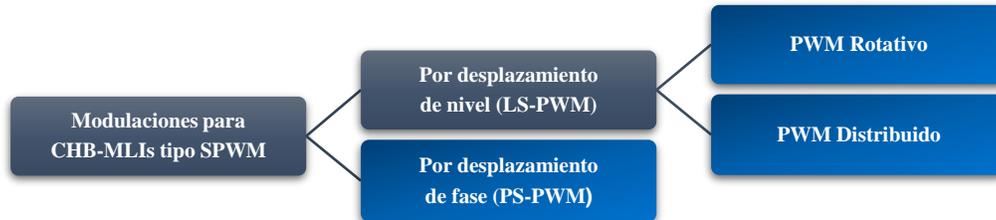


Figura 2.12. Ubicación de las técnicas capaces del balance de potencia dentro de las técnicas tipo SPWM.

Se observa que las técnicas de modulación PWM Rotativo y PWM Distribuido son variantes que toman como base a la técnica de modulación LS-PWM. Por este motivo resulta conveniente describir algunas características relevantes de esta técnica basada en múltiples portadoras desplazadas en nivel.

- **Disposición de portadoras**

Las señales portadoras que conforman a una modulación LS-PWM pueden comenzar en la misma fase o con fases distintas una de la otra [5]. Existen tres modos de configuración posibles, los cuales son detalladas en la Figura 2.13:

- **Modo PD:** (del inglés: *Phase Disposition*), todas las portadoras triangulares se encuentran en la misma fase.
- **Modo POD:** (del inglés: *Phase Opposition Disposition*), las portadoras del lado positivo se encuentran en fase y del lado negativo están en contrafase.
- **Modo APOD:** (del inglés: *Alternate Phase Opposition Disposition*), solo las portadoras impares comparten fase y las pares están en contrafase.

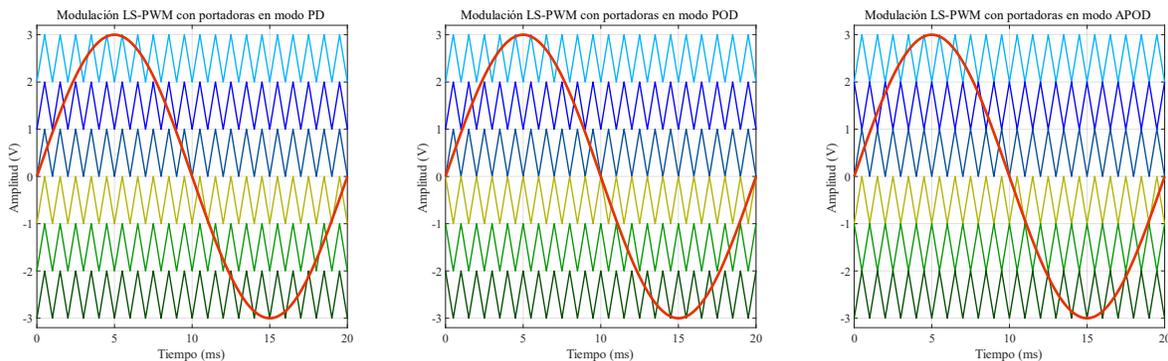


Figura 2.13. Modos de configuración de las señales portadoras en una técnica de modulación LS-PWM.

- **Simetría e índices de modulación en amplitud y frecuencia**

Es importante verificar que las señales presenten formas de onda adecuadas y simétricas según se trate de una función senoidal o triangular. Las portadoras deben ser de un ciclo submúltiplo exacto con respecto a la señal moduladora, aunque no tengan la misma fase.

La señal moduladora puede tener una amplitud menor a la suma de todas amplitudes de las señales portadoras (submodulación o “ $m_a < 1$ ”) sin mayores inconvenientes. En este caso el inversor actuara como un reductor y no hace un máximo aprovechamiento del bus de CD. En el caso opuesto la amplitud de la moduladora es mayor que la suma las amplitudes de las portadoras (sobremodulación o “ $m_a > 1$ ”), lo cual propicia la aparición de componentes de CD y el contenido armónico incrementa en la señal resultante a la salida del CHB-MLI [6]. La Figura 2.14 muestra más detalles de estas situaciones.

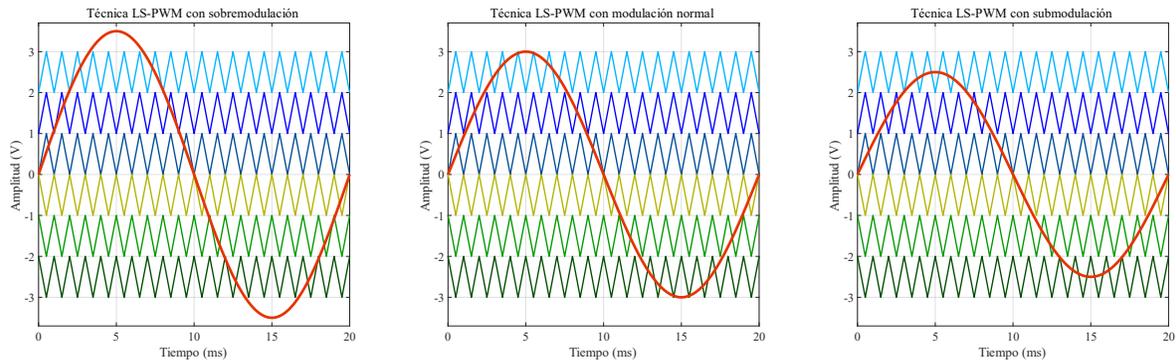


Figura 2.14. Estados de sobremodulación, modulación normal y submodulación en una técnica LS-PWM.

En relación con lo mencionado en el párrafo anterior. El índice de modulación en amplitud es la relación de la amplitud de la señal moduladora sobre la suma de las amplitudes de las señales portadoras. Dicha relación se presenta en la Ecuación (1).

$$m_a = \frac{A_m}{A_p * N_p} \quad (1)$$

Donde “ m_a ” es el índice de modulación en amplitud, “ A_m ” es la amplitud de la moduladora, “ A_p ” es la amplitud de las portadoras y “ N_p ” es el número de portadoras.

El índice de modulación en frecuencia consiste en dividir la frecuencia común de las señales portadoras (sin importar su disposición de fases) sobre la frecuencia de la señal moduladora. Esta operación se muestra en la Ecuación (2).

$$f_a = \frac{f_p}{f_m} \quad (2)$$

Donde “ f_a ” es el índice de modulación en frecuencia, “ f_p ” es la frecuencia de las señales portadoras y “ f_m ” es la frecuencia de la señal moduladora.

2.2.1 Técnica de modulación PWM Rotativo

La Figura 2.15 ilustra el comportamiento de la técnica PWM Rotativo, las señales portadoras se encuentran desplazadas en nivel como en la técnica LS-PWM. En este caso todas las portadoras comienzan a variar su desplazamiento en nivel una vez terminan uno de sus propios ciclos, esto les permite intercalar sus posiciones. Una determinada señal portadora, normalmente estática en un determinado nivel, ahora es comparada con la señal moduladora en diferentes niveles [23]–[25], [28], [30], [31], [33], [34].

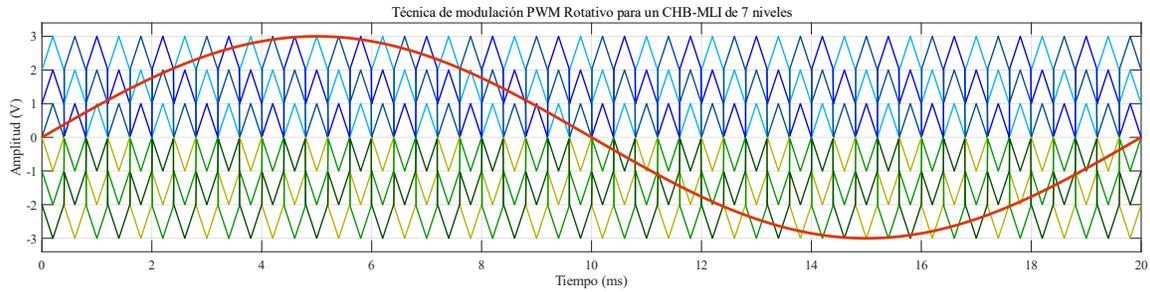


Figura 2.15. Técnica de modulación PWM Rotativo (un ciclo de señal moduladora).

En todas las variantes de la técnica LS-PWM (PWM Rotativo y PWM Distribuido) la cantidad de portadoras desplazadas en nivel es determinada por el número de niveles del CHB-MLI. Esta relación se muestra en la Ecuación (3).

$$C_p = N_n - 1 \quad (3)$$

Donde “ C_p ” es la cantidad de señales portadoras desplazadas en nivel para las técnicas basada en LS-PWM y “ N_n ” es el número de niveles del CHB-MLI.

2.2.2 Técnica de modulación PWM Distribuido

La Figura 2.16 ilustra la técnica de modulación PWM Distribuido, la cual posee muchas similitudes con la técnica PWM Rotativo. Se conserva la señal senoidal moduladora y las seis señales triangulares portadoras desplazadas en nivel. Sin embargo, en este caso las señales portadoras efectúan la consecutiva variación de nivel cada vez que se finaliza un ciclo de la señal portadora [29], [31], [32], [35].

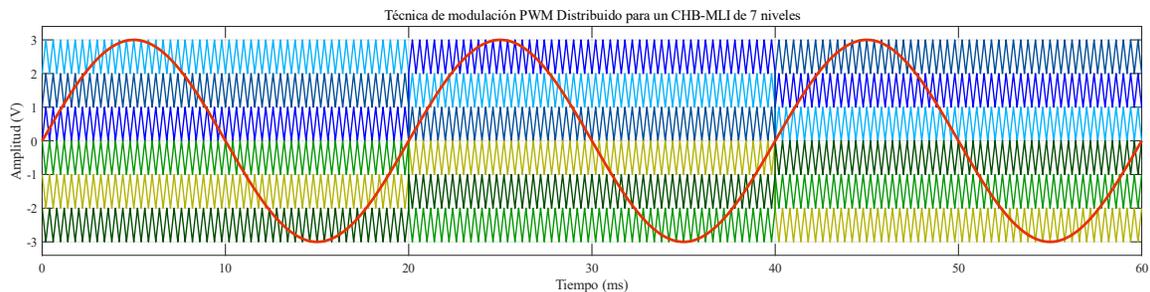


Figura 2.16. Técnica de modulación PWM Distribuido (tres ciclos de señal moduladora).

La modulación PWM Distribuido de la Figura 2.16 es usada en un CHB-MLI de 7 niveles. Se requiere un mínimo de tres ciclos de la señal moduladora para que una determinada señal portadora recorra los tres niveles correspondientes a una semicresta de la señal moduladora y regrese a su posición original en el cuarto ciclo de la señal moduladora.

Dependiendo del número de niveles que integren al CHB-MLI, serán necesarias una cierta cantidad de ciclos por parte de la señal moduladora para alcanzar el balance de energía. Esto se expresa en la Ecuación (4).

$$C_c = \frac{N_n - 1}{2} \quad (4)$$

Donde “ C_c ” son los ciclos de la moduladora necesarios para alcanzar el balance de energía en las celdas y “ N_n ” corresponde al número de niveles del CHB-MLI.

2.2.3 Técnica de modulación PS-PWM

La Figura 2.17 presenta a la modulación PS-PWM, esta consiste nuevamente en una señal senoidal moduladora y seis señales triangulares portadoras. No obstante, ahora las señales portadoras tienen la misma amplitud que la señal moduladora pero desplazadas en fase según una determinada cantidad de grados. La separación (grados de desfase) entre todas las señales portadoras siempre debe ser la misma [24], [27], [32]–[34].

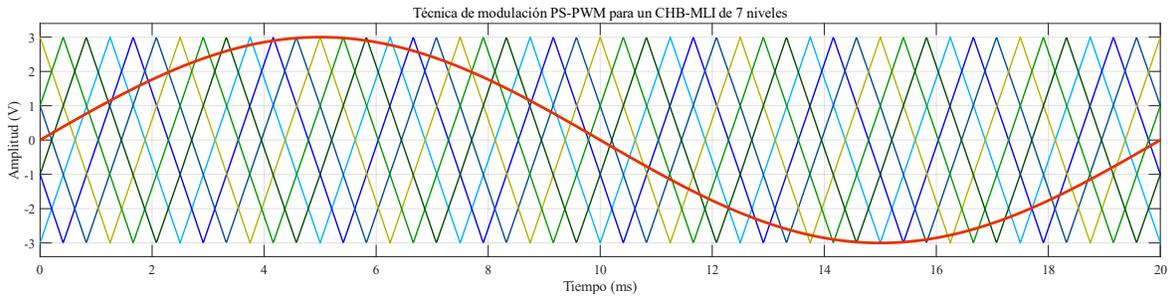


Figura 2.17. Técnica de modulación PS-PWM (un ciclo de señal moduladora).

Nuevamente la cantidad de niveles del inversor determina los grados de desfase entre las portadoras. La relación se detalla en la Ecuación (5).

$$G_d = \frac{360}{N_n} \quad (5)$$

Donde “ G_d ” son los grados de desfase entre las señales portadoras y “ N_n ” son el número de niveles del CHB-MLI que dividen a los 360 grados de un ciclo.

Los casos descritos para las técnicas de modulación consideran un CHB-MLI de 7 niveles. Sin embargo, las ecuaciones son válidas para inversores con mayor número de niveles.

2.3 Comportamiento de las técnicas de modulación en simulación

En este apartado se presentan las simulaciones de la técnica LS-PWM y las tres técnicas con capacidad de efectuar balance de energía. Se emplean los valores de tensión, corriente y potencia para analizar: su comportamiento, su capacidad para balancear la potencia procesada por celda y su contenido armónico.

2.3.1 Parámetros de las simulaciones de las técnicas de modulación

Las simulaciones de las cuatro técnicas de modulación se llevaron a cabo en el programa PSIM, es importante destacar los siguientes puntos:

- La Tabla 1.1 presenta los parámetros de diseño para CHB-MLIs. Esta información permitió definir un CHB-MLI de 7 niveles con técnicas de modulación SPWM integradas por una moduladora de 50 Hz y seis portadoras de 2.5 kHz.
- La Tabla 1.2 arroja como resultado a las técnicas PWM Rotativo, PWM Distribuido y PS-PWM, estas tres técnicas son comparadas con la técnica LS-PWM.
- Las técnicas LS-PWM, PWM Rotativo y PWM Distribuido usan moduladoras con amplitud de 6 Vpp y portadoras de 1 Vpp cada una. La técnica PS-PWM conserva la moduladora de 6 Vpp pero con portadoras de 6 Vpp cada una.
- Cada celda del CHB-MLI posee un bus de alimentación de 76 Vcd y en la salida del inversor hay una carga resistiva de 22 Ω . Estos valores fueron definidos acordes a los elementos empleados en las pruebas de laboratorio.

Los índices de modulación en amplitud y frecuencia son calculados para las cuatro técnicas de modulación simuladas. La Ecuación (6) calcula el índice de modulación en amplitud para las técnicas LS-PWM, PWM Rotativo y PWM Distribuido.

$$m_a = \frac{A_m}{A_p * N_p} = \frac{6 V}{1 V * 6 V} = 1 \quad (6)$$

Mientras que la Ecuación (7) calcula el índice de modulación en amplitud para la técnica PS-PWM. Para esta técnica basta con usar el valor de amplitud de una sola portadora por lo que “ N_p ” siempre debe considerarse como “1”.

$$m_a = \frac{A_m}{A_p * N_p} = \frac{6 V}{6 V * 1 V} = 1 \quad (7)$$

La Ecuación (8) entrega el valor correspondiente al índice de modulación en frecuencia para las cuatro técnicas de modulación simuladas.

$$f_a = \frac{f_p}{f_m} = \frac{2.5 \text{ kHz}}{50 \text{ Hz}} = 50 \quad (8)$$

2.3.2 Simulaciones de las técnicas de modulación

Las simulaciones de las cuatro técnicas de modulación analizadas (LS-PWM, PWM Rotativo, PWM Distribuido y PS-PWM) se desarrollaron en un periodo de 60 ms (correspondiente a tres ciclos de señal moduladora de 50 Hz) y luego un tiempo extendido de 1 s (correspondiente a cincuenta ciclos de señal moduladora de 50 Hz).

La Figura 2.18 presentan las mediciones de corriente (señal en color rojo) y tensiones diferenciales (señales en color azul) procesadas por cada una de las tres celdas del CHB-MLI de 7 niveles. Estas lecturas son extraídas de una simulación perteneciente a la técnica de modulación LS-PWM con un periodo de 60 ms.

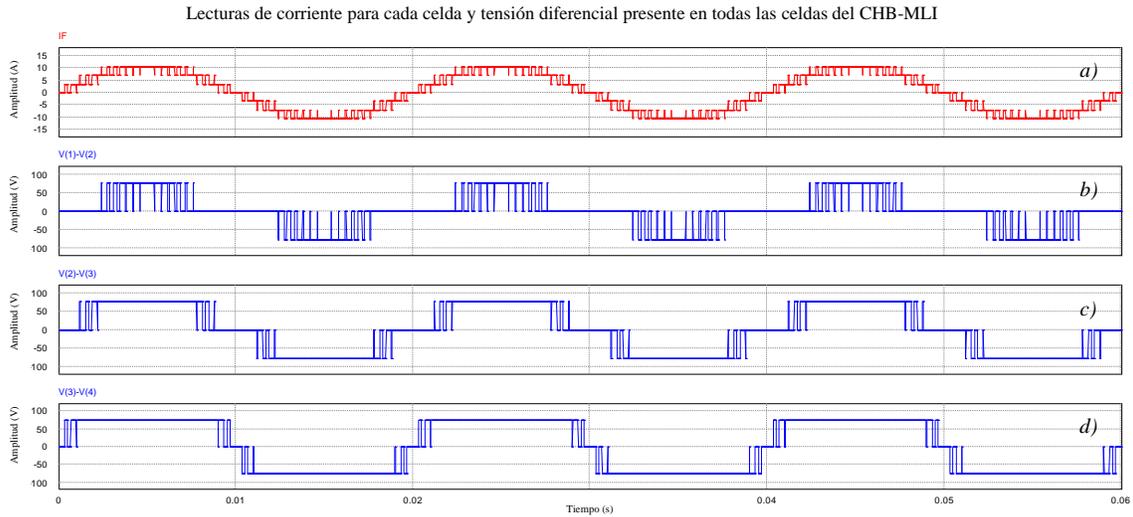


Figura 2.18. Lecturas de: a) corriente, b) tensión en celda 1, c) tensión en celda 2 y d) tensión en celda 3.

Para obtener la potencia procesada por celda se multiplicó la lectura de corriente con cada una de las lecturas de tensión diferencial. El producto resultante fue procesado por la fórmula descrita en la Ecuación (9) correspondiente a valores RMS o eficaces.

$$V_{RMS} = \sqrt{\frac{1}{T} \int_0^T F^2(t) dt} \quad (9)$$

Donde “ V_{RMS} ” corresponde al valor RMS que se desea obtener, “ T ” es el tiempo que dura la simulación y “ $F^2(t)$ ” representa al valor instantáneo de la función analizada elevada al cuadrado [38]. Los términos “ V_{RMS} ” y “ $F^2(t)$ ” pueden representar distintos valores, como tensión diferencial o corriente por celda, según sea el caso.

Al graficar la potencia procesada por cada celda del CHB-MLI, se observa la distribución de potencia que genera cada una de las técnicas de modulación analizadas. A continuación, se presentan para cada una de las técnicas de modulación simuladas: El contenido armónico, THD, potencia procesada por celda y potencia procesada total (obtenida con el producto de la corriente por la tensión a la salida del CHB-MLI y la fórmula de valores RMS).

La Figura 2.19 muestra la modulación LS-PWM y la señal de tensión a la salida del inversor, la Figura 2.20 presenta su contenido armónico. La Figura 2.21 muestra la cantidad de potencia procesada por cada celda del inversor y su suma total para 60 ms y 1 s.

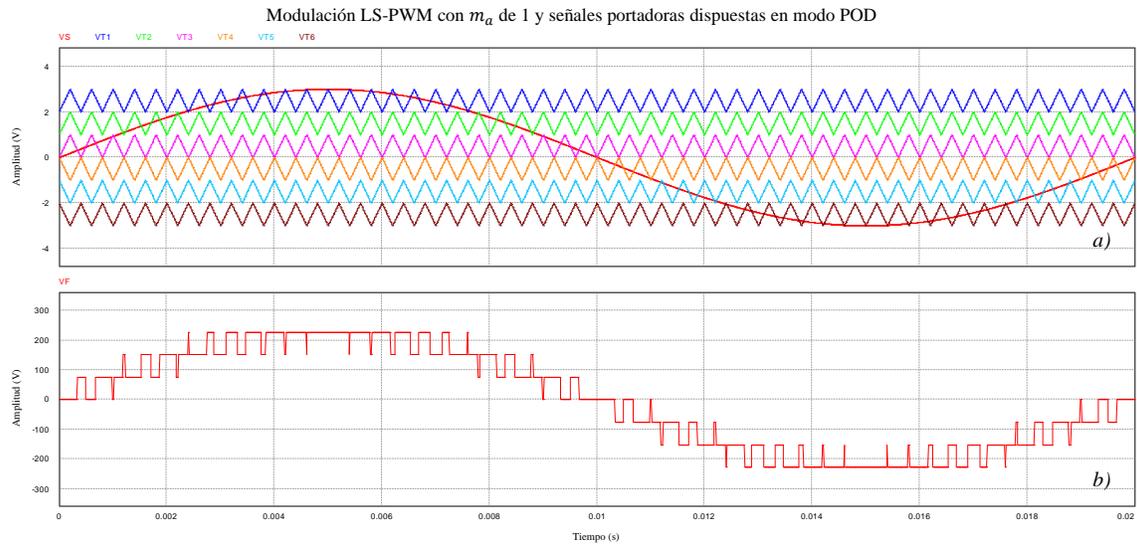


Figura 2.19. a) Modulación LS-PWM y b) Señal de tensión resultante a la salida del CHB-MLI.

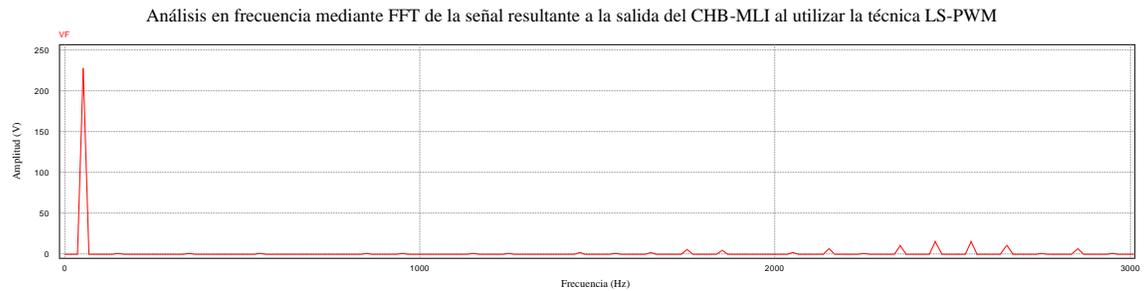


Figura 2.20. El fundamental tiene 228.21 V de amplitud y el armónico por portadoras 15.97 V a 2.55 kHz.

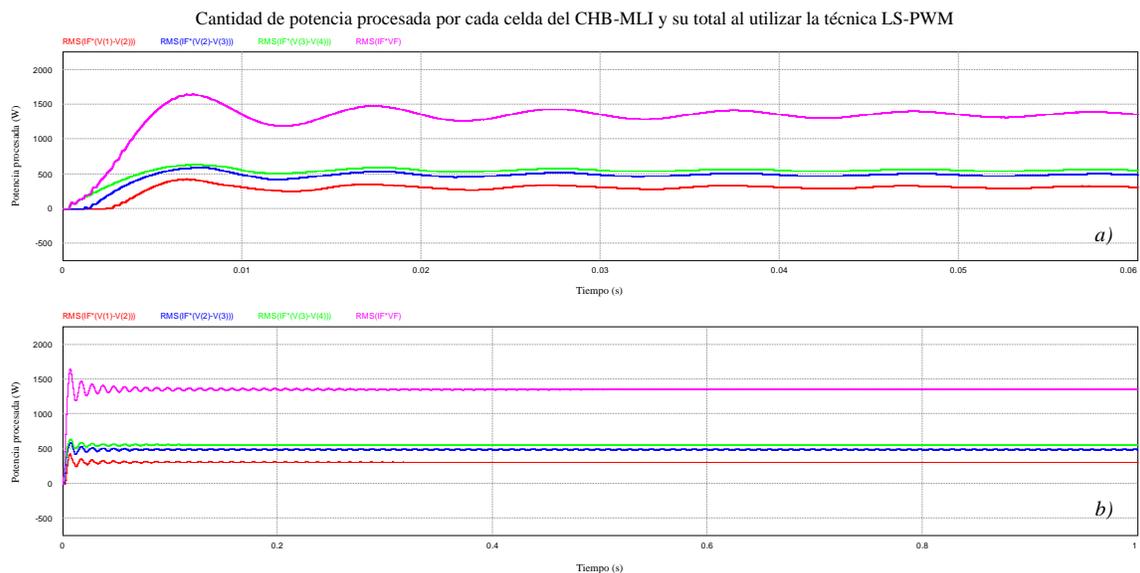


Figura 2.21. Cantidad de potencia procesada en: a) 3 ciclos (60 ms) y b) 50 ciclos (1 s) de portadora.

La Figura 2.22 muestra la modulación PWM Rotativo y la señal de tensión a la salida del inversor, la Figura 2.23 presenta su contenido armónico. La Figura 2.24 muestra la cantidad de potencia procesada por cada celda del inversor y su suma total para 60 ms y 1 s.

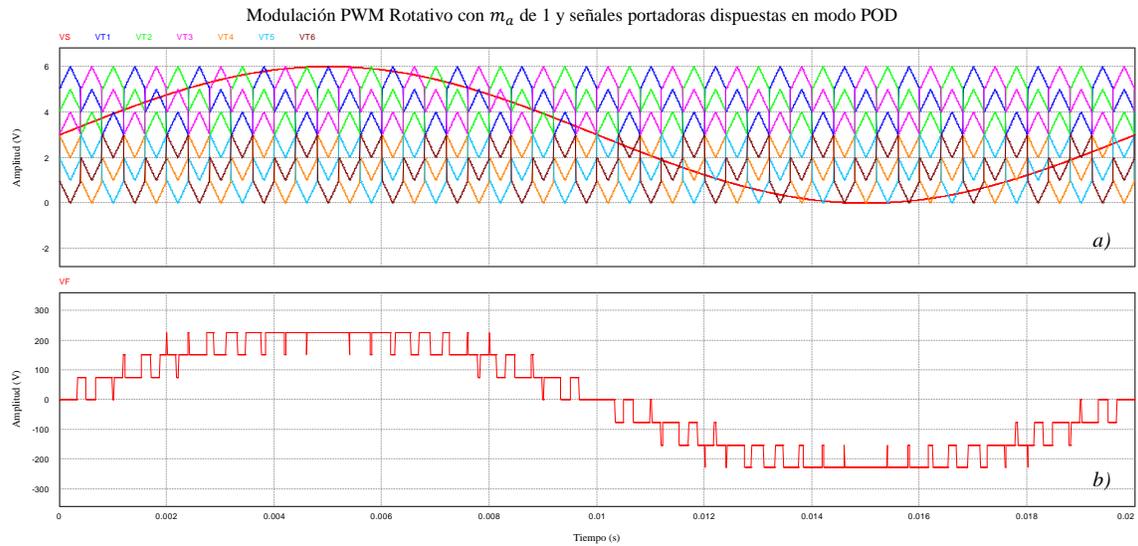


Figura 2.22. a) Modulación PWM Rotativo y b) Señal de tensión resultante a la salida del CHB-MLI.

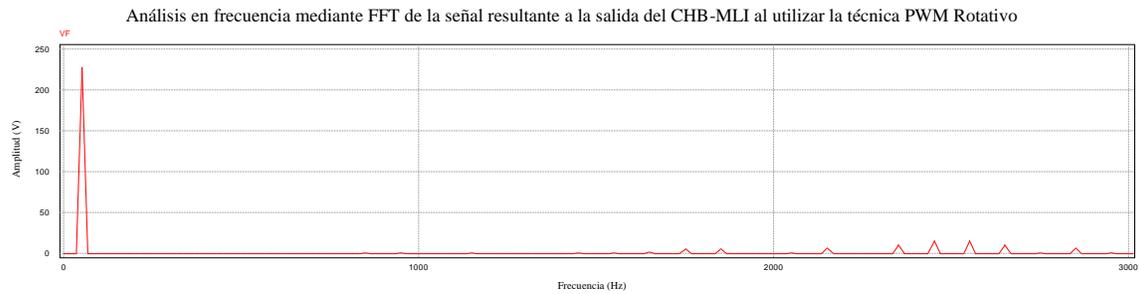


Figura 2.23. El fundamental tiene 228.38 V de amplitud y el armónico por portadoras 16.07 V a 2.45 kHz.

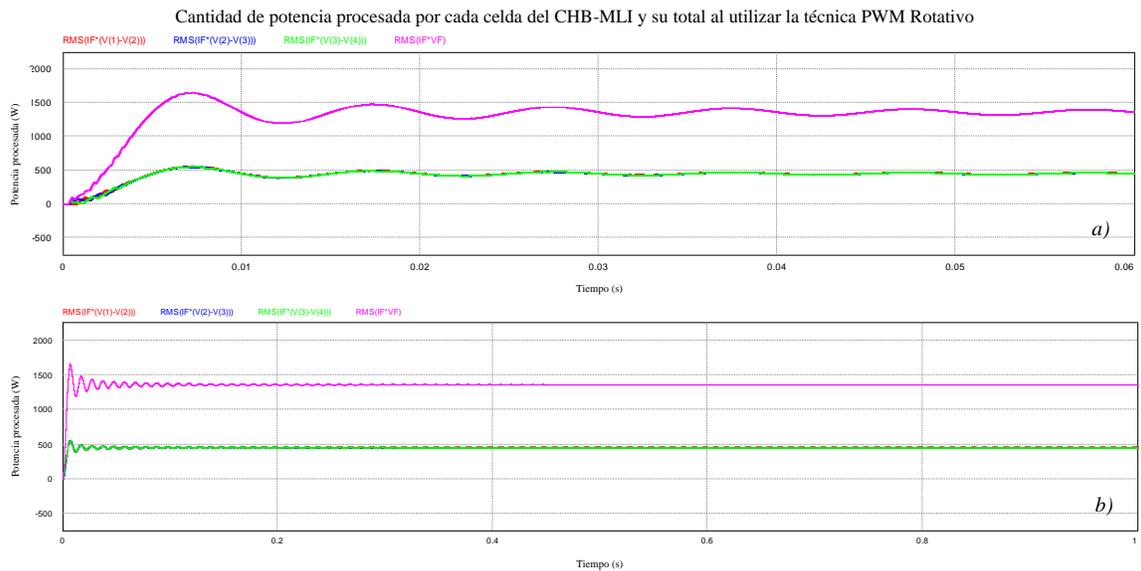


Figura 2.24. Cantidad de potencia procesada en a) 3 ciclos (60 ms) y b) 50 ciclos (1 s) de portadora.

La Figura 2.25 muestra la modulación PWM Distribuido y la señal de tensión a la salida del inversor, la Figura 2.26 presenta su contenido armónico. La Figura 2.27 muestra la cantidad de potencia procesada por cada celda del inversor y su suma total para 60 ms y 1 s.

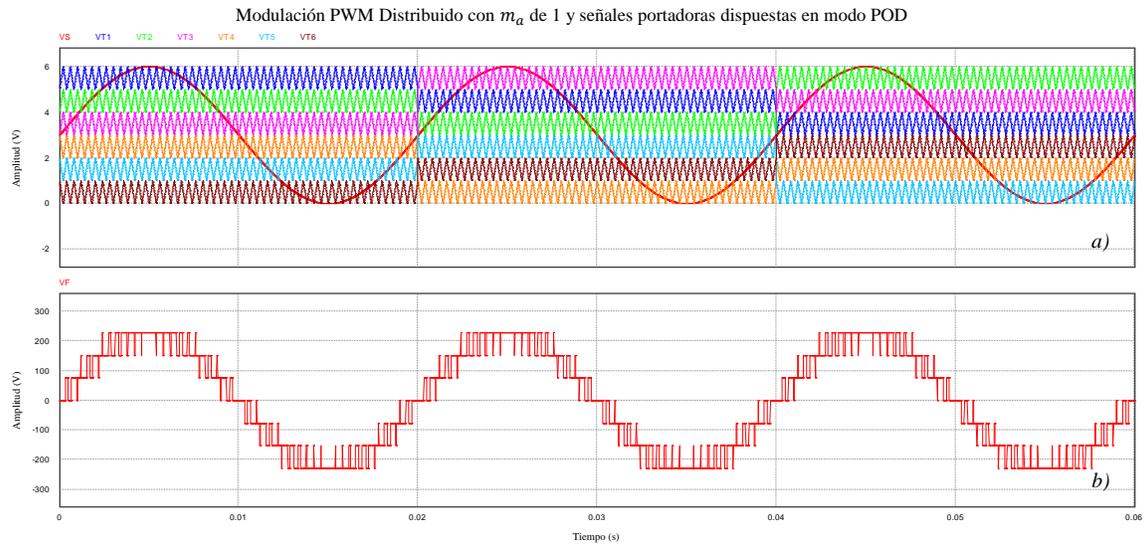


Figura 2.25. b) Modulación PWM Distribuido y b) Señal de tensión resultante a la salida del CHB-MLI.

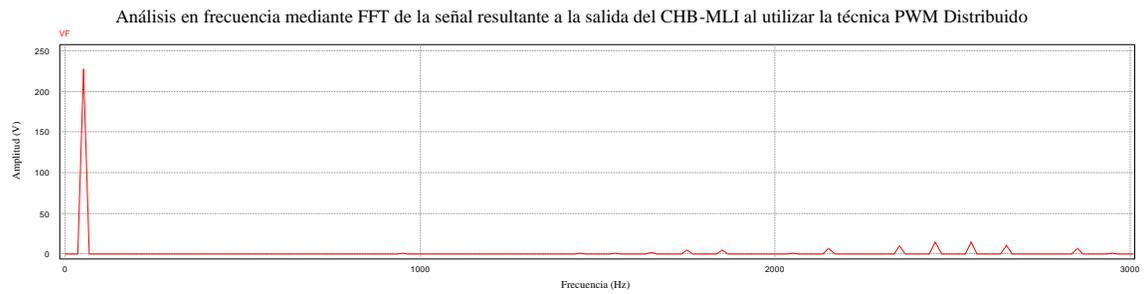


Figura 2.26. El fundamental tiene 228.21 V de amplitud y el armónico por portadoras 15.97 V a 2.55 kHz.

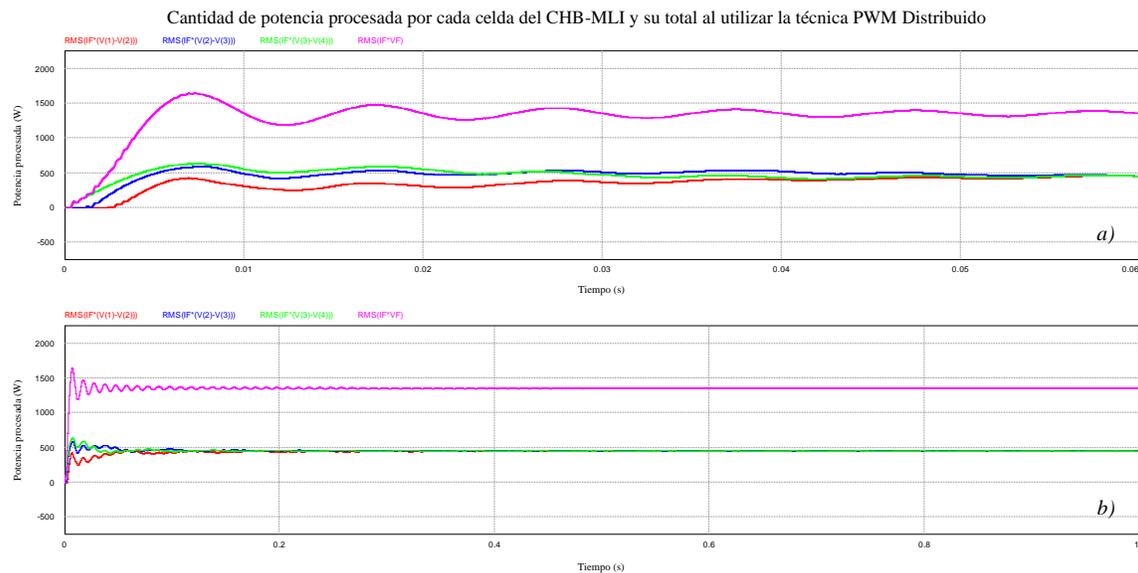


Figura 2.27. Cantidad de potencia procesada en a) 3 ciclos (60 ms) y b) 50 ciclos (1 s) de portadora.

La Figura 2.28 muestra la modulación PS-PWM y la señal de tensión a la salida del inversor, la Figura 2.29 presenta su contenido armónico. La Figura 2.30 muestra la cantidad de potencia procesada por cada celda del inversor y su suma total para 60 ms y 1 s.

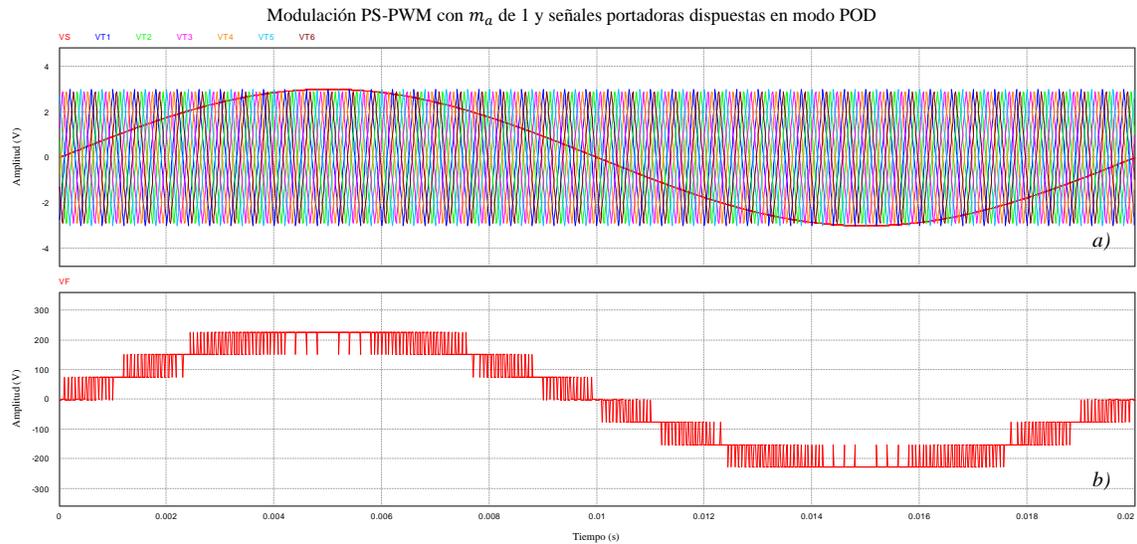


Figura 2.28. a) Modulación PS-PWM y b) Señal de tensión resultante a la salida del CHB-MLI.

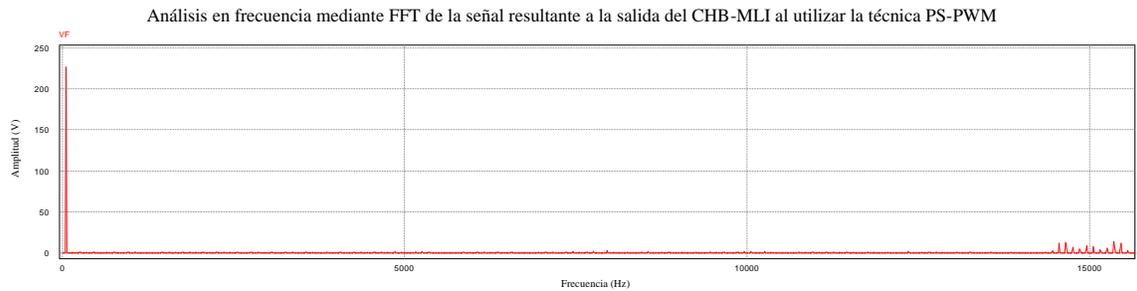


Figura 2.29. El fundamental tiene 224.39 V de amplitud y el armónico por portadoras 13.19 V a 15.35 kHz.

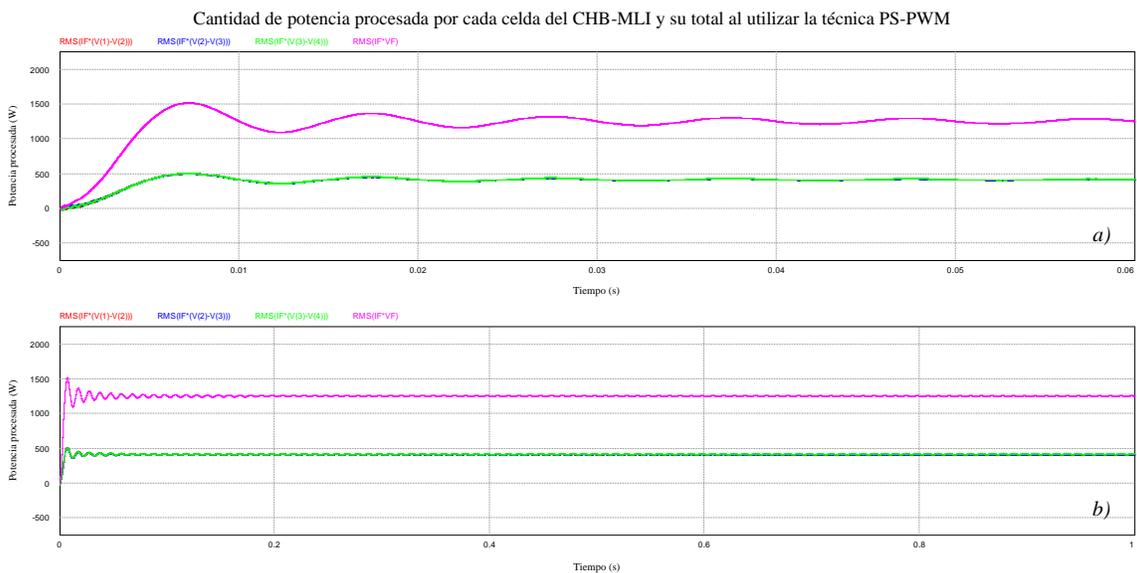


Figura 2.30. Cantidad de potencia procesada en a) 3 ciclos (60 ms) y b) 50 ciclos (1 s) de portadora.

2.3.3 Resultados obtenidos de las simulaciones

Una vez efectuadas las simulaciones de las cuatro técnicas de modulación, la información resultante se organizó en dos tablas para presentarla de manera más adecuada. La Tabla 2.1 agrupa los valores del análisis de contenido armónico mediante FFT y THD, para cada una de las cuatro técnicas de modulación evaluadas.

Tabla 2.1. Valores referentes al contenido armónico para cada técnica de modulación simulada.

Porcentaje de THD, valores de amplitud y frecuencia para el fundamental y armónico más significativo de portadora, por cada técnica de modulación				
	LS-PWM	PWM Rotativo	PWM Distribuido	PS-PWM
% THD	1.803	1.820	1.803	1.849
Fundamental	228.21 V 50 Hz	228.38 V 50 Hz	228.21 V 50 Hz	224.39 V 50 Hz
Armónico más significativo de portadora	15.97 V 2.55 kHz	16.07 V 2.45 kHz	15.97 V 2.55 kHz	13.19 V 15.35 kHz

La Tabla 2.2 presenta la cantidad de potencia procesada en cada celda del CHB-MLI de 7 niveles, para cada una de las cuatro técnicas de modulación analizadas.

Tabla 2.2. Valores de potencia procesada por celda y total, para cada técnica de modulación simulada.

Cantidad de potencia procesada en cada celda del CHB-MLI, por cada técnica de modulación y su total				
	LS-PWM	PWM Rotativo	PWM Distribuido	PS-PWM
Potencia en la Celda 1	310.63 W	455.11 W	452.58 W	418.96 W
Potencia en la Celda 2	490.31 W	452.39 W	452.58 W	418.69 W
Potencia en la Celda 3	556.81 W	453.17 W	452.58 W	420.05 W
Total, de potencia procesada	1,357.76 W	1,360.68 W	1,357.76 W	1,257.71 W

Cabe destacar que las técnicas PWM Rotativo y PWM Distribuido arrojan valores similares de THD y contenido armónico con respecto a la técnica LS-PWM sin capacidades de balance de energía. La técnica PS-PWM presenta armónicos a mayor frecuencia debido a la mayor cantidad de pulsos de conmutación, estos resultados pueden igualarse a las otras técnicas si se reduce en 1/6 la frecuencia de sus portadoras. Emplear una técnica de modulación con balance de energía en lugar de una técnica de modulación tradicional no presenta efectos negativos en las celdas del CHB-MLI.

Capítulo 3: Programación de las técnicas de modulación

Este capítulo se divide en cuatro secciones: la primera sección brinda una introducción explicando conceptos de importancia. La segunda sección detalla parámetros a tomar en cuenta antes de comenzar el desarrollo del código. La tercera sección describe el entorno de programación y el código desarrollado. Por último, la cuarta sección muestra desde un osciloscopio los pulsos de comando resultantes del código implementado en la FPGA.

3.1 Conceptos previos de importancia

Existen diversos dispositivos lógicos programables capaces de cubrir las necesidades de las técnicas SPWM. Como describe Amano en [41], los dispositivos lógicos programables se dividen en dos grandes grupos conocidos como: Dispositivos lógicos estándar y CI personalizados. A partir de ellos se existen subdivisiones que se presentan en la Figura 3.1.

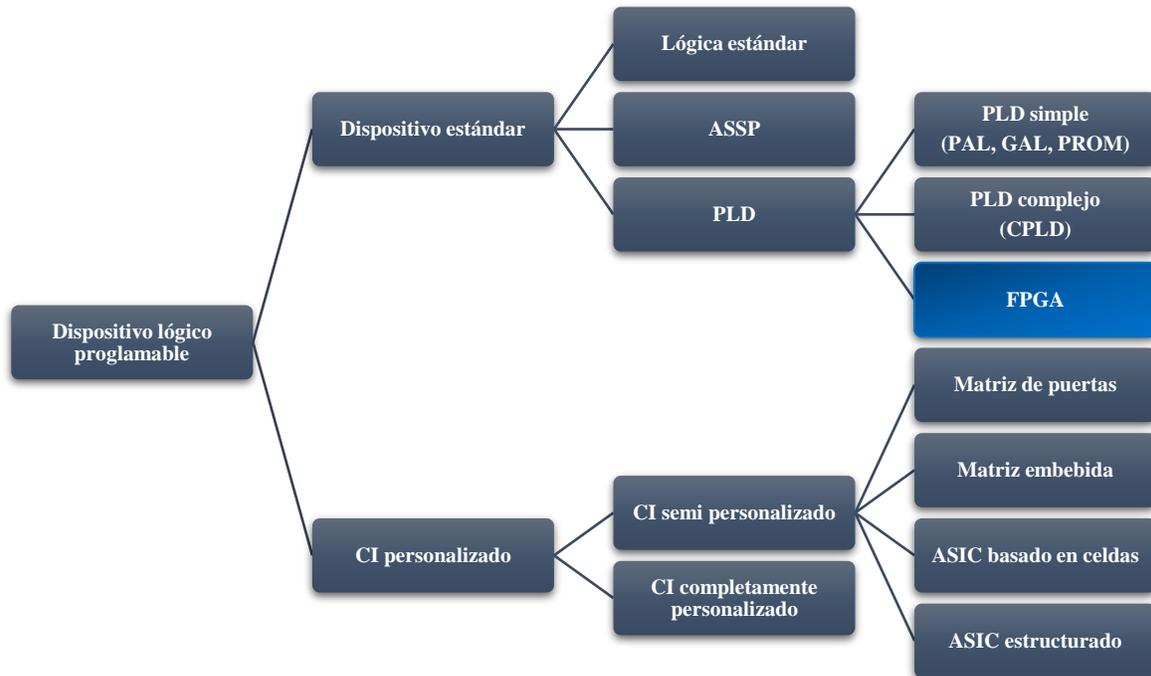


Figura 3.1. Diversas ramas de los dispositivos lógicos programables [41].

3.1.1 Dispositivos FPGA

Las matrices de puertas lógicas programable en campo, también llamadas FPGA (del inglés: *Field-Programmable Gate Array*), son dispositivos formados por un conjunto de bloques lógicos que poseen una etapa combinacional y una etapa secuencial. En la parte combinacional la FPGA presenta una construcción menos compleja que la PAL interna de un CPLD; y en la parte secuencial cuenta con uno o dos biestables que por lo general no están asociados a los pines de entrada/salida del dispositivo.

La configuración estándar de los elementos internos en una FPGA se divide en tres etapas: la primera contiene a los elementos lógicos (Bloque lógico), la segunda etapa corresponde a los elementos de entrada/salida o “*input/output*” (Bloque I/O) y la tercera etapa son los elementos de cableado (Matriz de interconexión, Punto de conexión y Canales de enrutamiento). Adicionalmente la FPGA posee una red de distribución para un reloj oscilador y dispositivos PLL encargados de generar los pulsos digitales empleados por los elementos combinacionales y secuenciales internos de la FPGA [42], [43].

3.1.2 Lenguajes HDL

Los lenguajes HDL de mayor uso son el VHDL (acrónimos en inglés de: *VHSIC* <<Very High Speed Integrated Circuit>> y HDL <<Hardware Description Language>>) y Verilog:

- **Lenguaje VHDL**

LaMeres explica en [44] que VHDL usa un archivo de terminación “.vhd” y el código consta de tres secciones: Paquete, Entidad y Arquitectura (ver Figura 3.2). La sección Paquete declara librerías que brindan funciones básicas para VHDL, en la sección Entidad se definen las entradas y salidas del circuito, mientras que en la sección Arquitectura se describe su comportamiento y estructuras.

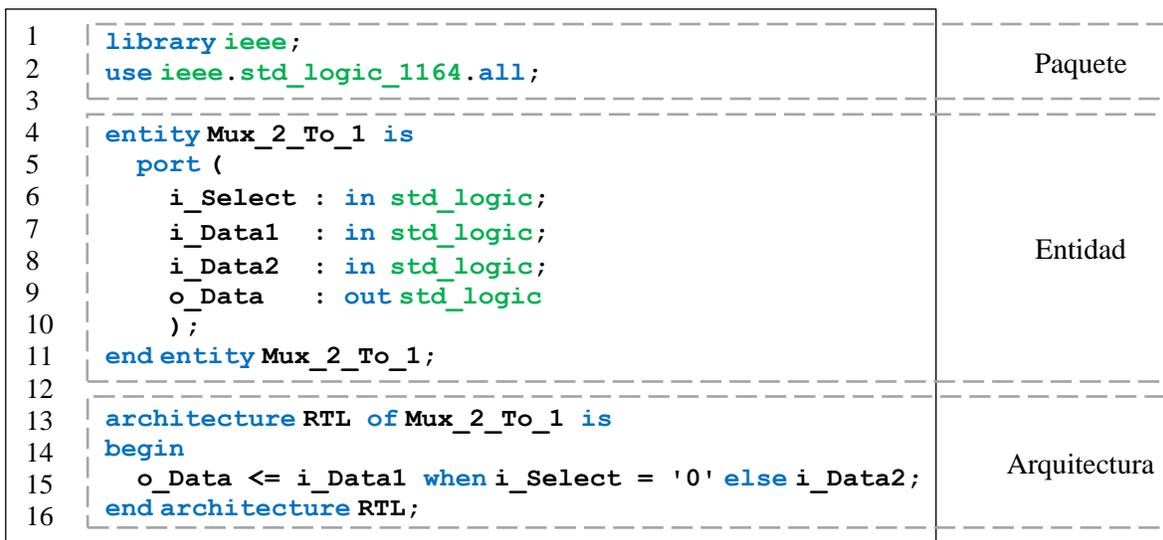


Figura 3.2. Código desarrollado en VHDL para un MUX de 2 entradas y 1 salida.

- **Lenguaje Verilog**

Para el caso de Verilog, el archivo usado es de terminación “.v” y a diferencia de VHDL no requiere el uso de librerías porque estas características ya están integradas en las funciones intrínsecas del lenguaje. El código se desarrolla dentro de un módulo con dos subsecciones (ver Figura 3.3). El submódulo 1 define los puertos de entrada y salida, mientras que el submódulo 2 brinda la descripción del comportamiento y estructura del circuito [45].

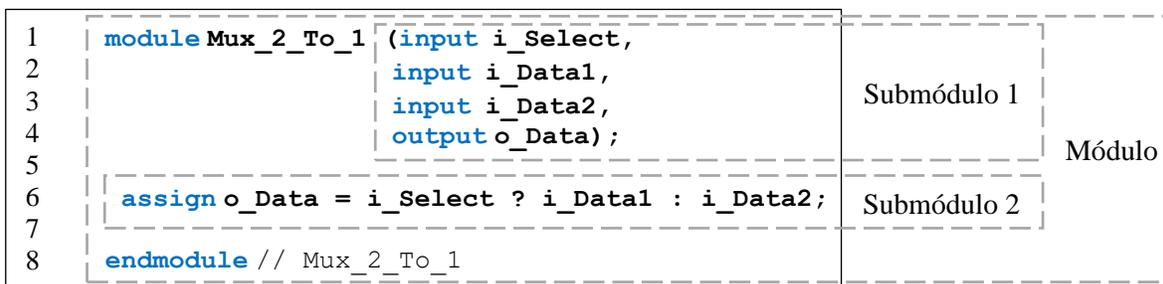


Figura 3.3. Código desarrollado en Verilog para un MUX de 2 entradas y 1 salida.

3.1.3 Descripción de la tarjeta de desarrollo utilizada y FPGA

El trabajo de investigación tuvo acceso a varias plataformas de desarrollo como la tarjeta NEXYS 3 con una FPGA Spartan 6 de la empresa Xilinx, o la tarjeta DE0 Nano con una FPGA Cyclone IV de la empresa Altera (ahora propiedad de Intel). Los respectivos fabricantes de estas FPGA proveen una versión gratuita del IDE, pero existen funciones adicionales reservadas para versiones del IDE sujetas a licencia. En [46] se reporta un trabajo derivado de esta investigación que presenta algunas funciones extra del programa ISE (IDE para las FPGA de Xilinx) en conjunto con el entorno Simulink de Matlab.

Se empleó una tarjeta de desarrollo “*open source*” (código abierto) TinyFPGA BX que monta una FPGA iCE40 desarrollada originalmente por la empresa Silicon Blue (ahora propiedad de la empresa Lattice). Esta FPGA permite a los desarrolladores usar libremente una “*Toolchain*” (cadena de herramientas de desarrollo software) que ha resultado en la integración de entornos completos para programar la FPGA mediante software libre. Dentro de estos entornos destacan las opciones de Atom e Icestudio. A continuación, se brindan algunos detalles de la FPGA iCE40 y la tarjeta de desarrollo TinyFPGA BX:

- **FPGA iCE40**

La Figura 3.4. presenta la arquitectura interna de la FPGA iCE40 LP/HX1K (modelo específico de FPGA integrado en la tarjeta de desarrollo Tiny FPGA BX). Esta información se obtuvo de su ficha técnica [47].

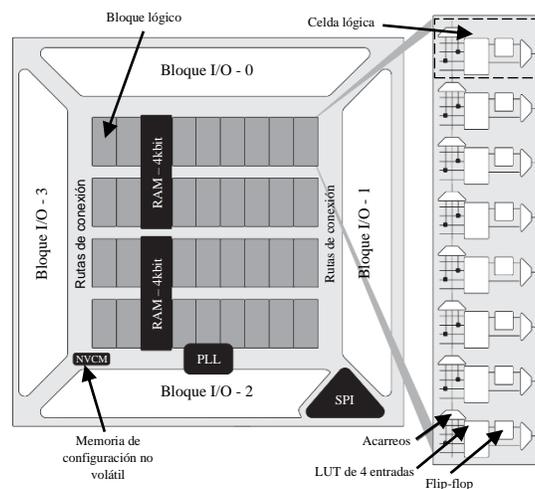


Figura 3.4. Arquitectura interna de la FPGA iCE40 LP/HX1K [47].

De la Figura 3.4 se identifican cuatro secciones de Bloques I/O, los Bloques lógicos formados por ocho celdas lógicas y las Rutas de conexión distribuidas por todo el CI. También se observan elementos de funciones específicas: como un bloque con capacidad de generar dos PLL, memorias de tipo volátil y no volátil, además de un bloque de comunicación SPI (del inglés: *Serial Peripheral Interface*).

3.2 Parámetros considerados previos a la programación

El circuito de mando utilizado en el CHB-MLI debe tener la capacidad de sostener la frecuencia de operación necesaria para la correcta generación de los pulsos de comando, todos los pulsos generados deben estar sincronizados y evitar algún desfase que propicie un corto circuito en la conmutación de los puentes H. Estos requerimientos pueden cumplirse por sistemas digitales de forma más eficiente. Debido a la alta frecuencia de operación y necesidad de ejecutar múltiples tareas de forma sincronizada se puede optar por dos alternativas de implementación: el uso de un DSPIC (que suele ser más costoso) o el uso de una FPGA (la opción elegida para este trabajo de investigación).

Al recapitular los requerimientos y características que debe tener el circuito digital desarrollado en la FPGA, estos se encuentran en los siguientes puntos:

- Es necesario un circuito digital que opere a frecuencias superiores de los 2.5 khz y que genere los pulsos de conmutación resultantes de cada una de las cuatro técnicas de modulación estudiadas en este trabajo de tesis.
- Cada pulso de comando generado requiere su versión complementaria con un grado de desfase para evitar que los cambios de estado en ambos pulsos ocurran en el mismo momento (lo que ocasionaría el cortocircuito).
- La ejecución de todos los pulsos de comando con sus complementarios debe de estar sincronizada y no se pueden presentar desfases erróneos que no sean parte de las funciones descritas en el código.
- Todos los pulsos de comando deben ser una secuencia de estados altos y bajos dentro de un periodo de 20 ms, al ser utilizados en el CHB-MLI este debe generar en su salida la señal cuasi-senoidal de 20 ms o 50 Hz.

3.2.1 Métodos de discretización para las señales y pulsos de comando

Una vez definidos los parámetros del circuito digital, es necesario determinar los métodos utilizados para el diseño e integración del circuito. En este apartado se exponen dos métodos para la creación de un generador de pulsos de comando basado en un circuito digital capaz de ser implementado en una FPGA.

Las técnicas de modulación SPWM que generan los pulsos de comando consisten en la comparación de varias señales triangulares portadoras con respecto a una señal senoidal moduladora. Todas estas señales son de tipo analógico, por lo que no pueden ser procesadas dentro de una FPGA de forma directa. Es necesario recurrir a estrategias de discretización de señales analógicas que permitan el desarrollo del generador de pulsos de comando empleando dispositivos digitales. A continuación, se presentan las dos alternativas posibles:

- **Discretización de las señales analógicas SPWM**

En este método se simula a la técnica de modulación SPWM para discretizar sus señales portadoras y moduladora, las señales son muestreadas a partir de dos criterios: El primero asigna una determinada lista de “palabras binarias” (representación de un número decimal en sistema binario) que corresponden al tiempo total de cada señal. El segundo criterio consiste en representar mediante las palabras binarias el valor de amplitud que la señal discretizada posee para cada muestra de tiempo, para más detalles ver la Figura 3.6 b).

- **Discretización directa de los pulsos de comando**

Nuevamente se realiza una simulación de la técnica de modulación SPWM, pero ahora se discretizan los pulsos de comando resultantes de la modulación. La amplitud de los pulsos es representada de forma discreta mediante estados alto o bajo, por lo cual, solo es necesario asignar una determinada cantidad de muestras que representen el tiempo total de cada pulso. Dicho de otro modo, solo se utiliza una palabra binaria extendida a lo largo de todo el tiempo que duran los pulsos de comando, esto se presenta en la Figura 3.6 c).

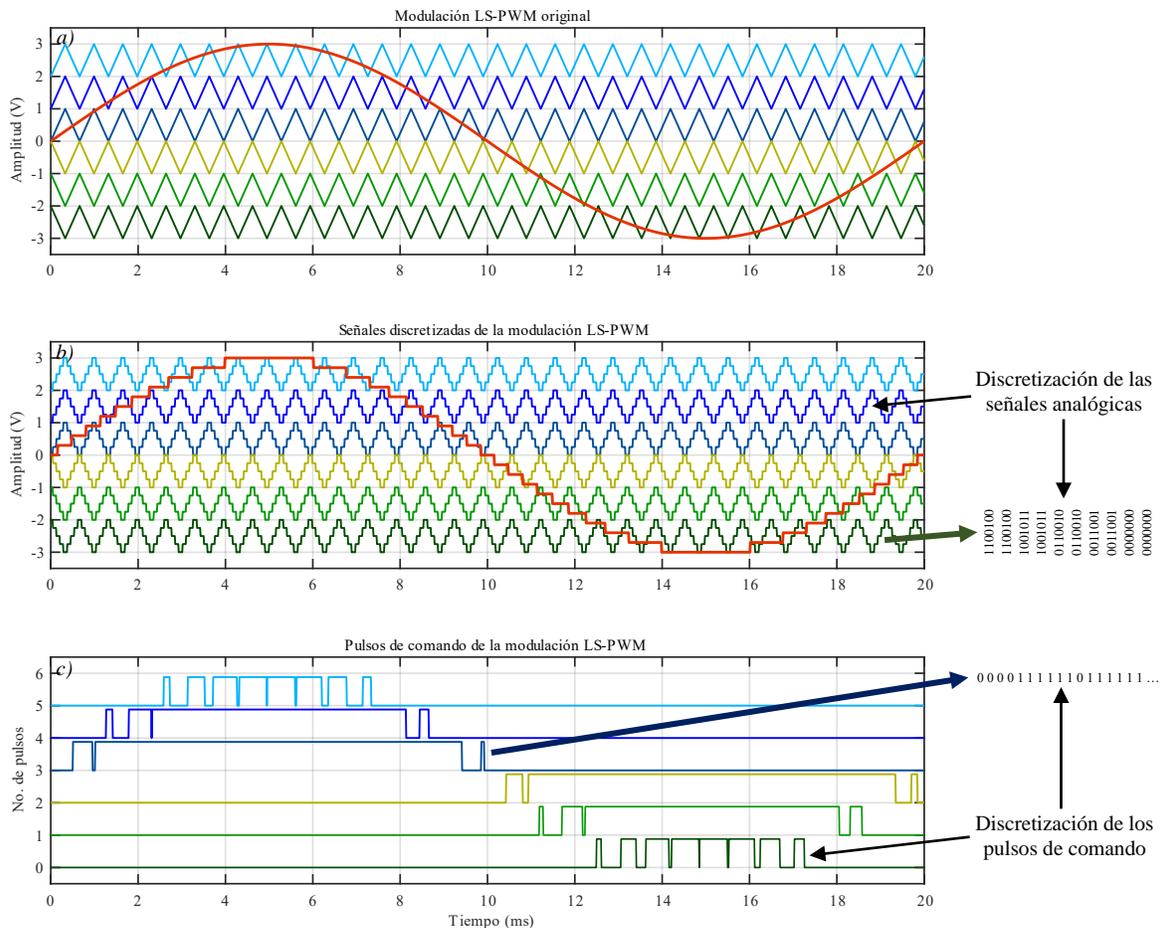


Figura 3.6. Métodos de discretización tomando como ejemplo a una técnica de modulación LS-PWM: a) Modulación LS-PWM original, b) Señales discretizadas de la modulación LS-PWM y c) Pulsos de comando de la modulación LS-PWM.

Antes de elegir un método de discretización, es necesario tomar en cuenta las siguientes observaciones para cada uno de las propuestas planteadas:

La técnica de discretización de las señales analógicas SPWM permite desarrollar un circuito digital capaz de variar las características de las señales discretizadas, brindando la posibilidad de modular los pulsos resultantes. Esta función es de gran utilidad para sistemas de control de lazo cerrado ya que permite reajustar y modificar la respuesta a la salida del CHB-MLI en función de lo que ordene la acción de control del lazo cerrado.

Es necesario que la discretización de las señales SPWM posean una gran cantidad de muestras (y por tanto un mayor uso de componentes lógicos dentro de la FPGA) que le permitan tener una representación cercana a su forma analógica. De otro modo los pulsos generados por esta discretización no corresponderán a su equivalente analógico, lo que puede ocasionar la generación de una señal deficiente. Por ejemplo, una gran cantidad de contenido armónico a la salida del CHB-MLI.

La discretización directa de los pulsos de comando solo requiere de una palabra binaria para representar los estados altos y bajos de dichos pulsos, el número de componentes lógicos utilizados en su implementación dentro de una FPGA es menor que los componentes necesarios para la discretización de señales analógicas. Sin embargo, al guardar directamente los pulsos generados por una configuración fija de la modulación SPWM, los pulsos no pueden ser usados por sistemas de control de lazo cerrado ya que solo están capacitados para entregar una sola forma de onda cuasi-senoidal correcta a la salida del CHB-MLI.

El desarrollo de un código en lenguaje HDL con el primer método es más voluminoso, complejo y el compilador requiere asimilar una mayor cantidad de información; por lo que el proceso de sintetizado llega a tardar más de una hora (ver Figura 3.7). Debido a que este trabajo de investigación no requería de la aplicación de un lazo cerrado, se optó por usar el método de discretización directa de los pulsos de comando.

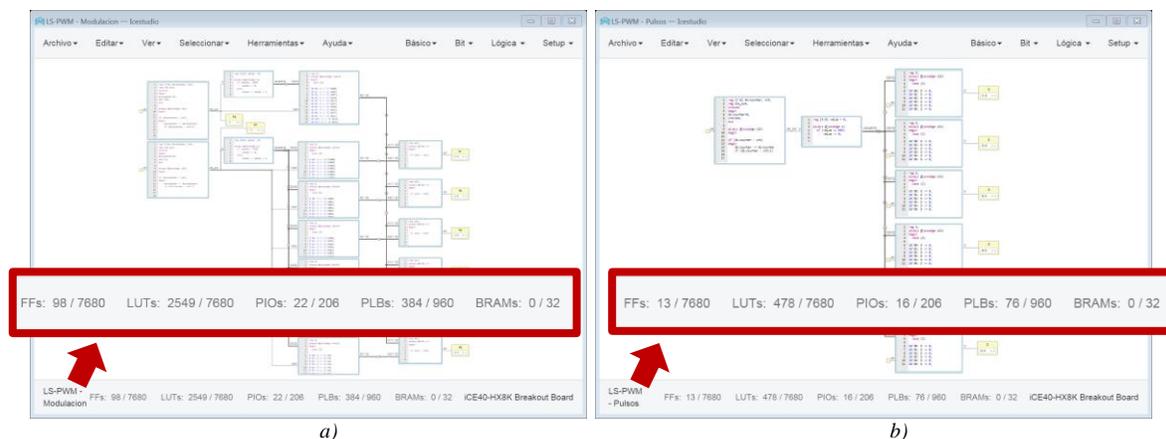


Figura 3.7. Elementos lógicos empleados por dos códigos escritos en lenguaje HDL empleando ambos métodos: a) Discretización de las señales analógicas SPWM y b) Discretización directa de los pulsos de comando.

3.2.2 Parámetros de la simulación, discretización y divisor de frecuencia

Una vez definido el método de discretización, se efectúan algunos cálculos de verificación para asegurar el correcto desarrollo de las simulaciones. Es importante considerar los datos presentados en la Tabla 3.1 para efectuar dichos cálculos y las posteriores simulaciones.

Tabla 3.1. Listado de características de la FPGA y parámetros de las modulaciones SPWM.

Características de la FPGA y parámetros de las modulaciones SPWM	
Características del FPGA	Parámetros de las modulaciones
<ul style="list-style-type: none"> - FPGA de la empresa Lattice basada en el modelo ICE40 LP/HX1K. - Compatibilidad con el IDE de Icestudio y lenguaje HDL Verilog. - Sistema embebido basado en la tarjeta de desarrollo TinyFPGA BX. - Reloj oscilador principal de 16 MHz. - 7,864 LUTs y 128 kb de RAM. - 31 salidas o entradas digitales. 	<ul style="list-style-type: none"> - Moduladora de 50 Hz y 6 Vpp. - 6 portadoras de 2.5 kHz y 1 Vpp para las técnicas LS-PWM, PWM Rotativo y PWM Distribuido. - 6 portadoras de 2.5 kHz y 6 Vpp para la técnica PS-PWM. - Índice de modulación en amplitud de 1 e índice de modulación en frecuencia de 50. - 1,000 muestras por ciclo. - Simulación de 20 ms para un ciclo de moduladora (equivalente a 50 Hz).

- **Verificación de los valores de muestreo**

Para integrar los pulsos de comando a la FPGA, es necesario obtener de cada simulación seis vectores de datos (o palabras binarias) correspondientes a los seis pulsos de comando utilizados por el CHB-MLI de 7 niveles. Cada vector de datos almacena en mil muestras el estado de su correspondiente pulso de comando.

Una correcta discretización de los pulsos de comando considera que la división de su periodo por ciclo entre el número de muestras para cada vector de datos, no tenga como resultado un número irracional, esta operación es denominada “Factor de no irracionalidad”. La Ecuación (10) efectúa la comprobación del factor de no irracionalidad considerando un periodo de 20 ms y las mil muestras de los vectores de datos.

$$F_r = \frac{t_p}{N_m} = \frac{20 \text{ ms}}{1,000 \text{ muestras}} = 20 \mu\text{s/muestra} \quad (10)$$

Donde “ F_r ” es el factor de no irracionalidad, “ t_p ” es el periodo por ciclo de los pulsos de comando y “ N_m ” es el número de muestras de los vectores de datos.

También se verifica que la división del valor de frecuencia del oscilador (montado en la tarjeta de desarrollo) entre el número de muestras de cada vector de datos resulte en un valor no irracional y submúltiplo de la frecuencia del oscilador, se asigna el término “Factor submúltiplo” para esta operación. La Ecuación (11) corrobora esta operación considerando al reloj oscilador de 16 MHz de la tarjeta TinyFPGA BX y las mil muestras de cada vector.

$$F_s = \frac{f_o}{N_m} = \frac{16 \text{ MHz}}{1,000 \text{ muestras}} = 16 \text{ KHz/muestra} \quad (11)$$

Donde “ F_s ” corresponde al factor submúltiplo, “ f_o ” es la frecuencia del oscilador en la tarjeta de desarrollo y “ N_m ” es el número de muestras de los vectores de datos.

- **Cálculo del divisor de frecuencia**

Es necesario que los pulsos de comando generados por la FPGA tengan una frecuencia por ciclo de 50 Hz (equivalente a un periodo de 20 ms), esto se consigue al desarrollar una etapa dentro del código HDL conocida como “Divisor de frecuencia”. Esta etapa es la encargada de adaptar la frecuencia entregada por el reloj oscilador principal de la tarjeta de desarrollo a un valor de frecuencia adecuado, que permite a los vectores de datos integrados en la FPGA generar los pulsos de comando a la frecuencia deseada de 50 Hz.

Para desarrollar el divisor de frecuencia son necesarios dos cálculos: el primero es denominado como “Valor del divisor de frecuencia” y se obtiene al multiplicar la frecuencia por ciclo que deben tener los pulsos de comando a la salida del FPGA con el número de muestras que integran a los vectores de datos. La Ecuación (12) realiza esta operación considerando la frecuencia de 50 Hz solicitada para los pulsos de comando a la salida del FPGA y las mil muestras de los vectores de datos.

$$V_d = f_c * N_m = 50 \text{ Hz} * 1,000 \text{ muestras} = 50 \text{ kHz} \quad (12)$$

Donde “ V_d ” es el valor del divisor de frecuencia, “ f_c ” es la frecuencia por ciclo para los pulsos de comando a la salida del FPGA y “ N_m ” es el número de muestras.

El segundo cálculo se denomina “Factor del divisor frecuencia”, es el número empleado en la sección del código HDL llamada divisor de frecuencia. Se obtiene mediante la división de la frecuencia del oscilador montado en la FPGA sobre el valor del divisor de frecuencia obtenido previamente. La Ecuación (13) realiza esta operación considerando los 16 MHz del reloj montado en la tarjeta de desarrollo y el resultado obtenido en la Ecuación (12).

$$F_d = \frac{f_o}{V_d} = \frac{16 \text{ MHz}}{50 \text{ kHz}} = 320 \quad (13)$$

Donde “ F_d ” es el factor del divisor de frecuencia, “ f_o ” es la frecuencia del oscilador en la tarjeta de desarrollo y “ V_d ” es el valor del divisor de frecuencia.

3.2.3 Simulación y discretización de los pulsos de comando

Las simulaciones se desarrollaron en el entorno Simulink del programa Matlab, como se expuso en la Tabla 3.1, se consideró un tiempo de 20 ms con mil muestras. Se empleó una señal moduladora tipo senoidal de 50 Hz con amplitud de 6 Vpp, además de dos grupos de seis señales portadoras tipo triangular de 2.5 KHz, el primer grupo con amplitud de 1 Vpp y el segundo con amplitud de 6 Vpp. La Figura 3.8 muestra los bloques empleados para la generación de las técnicas de modulación con sus respectivos pulsos de comando y su almacenamiento en vectores de datos.

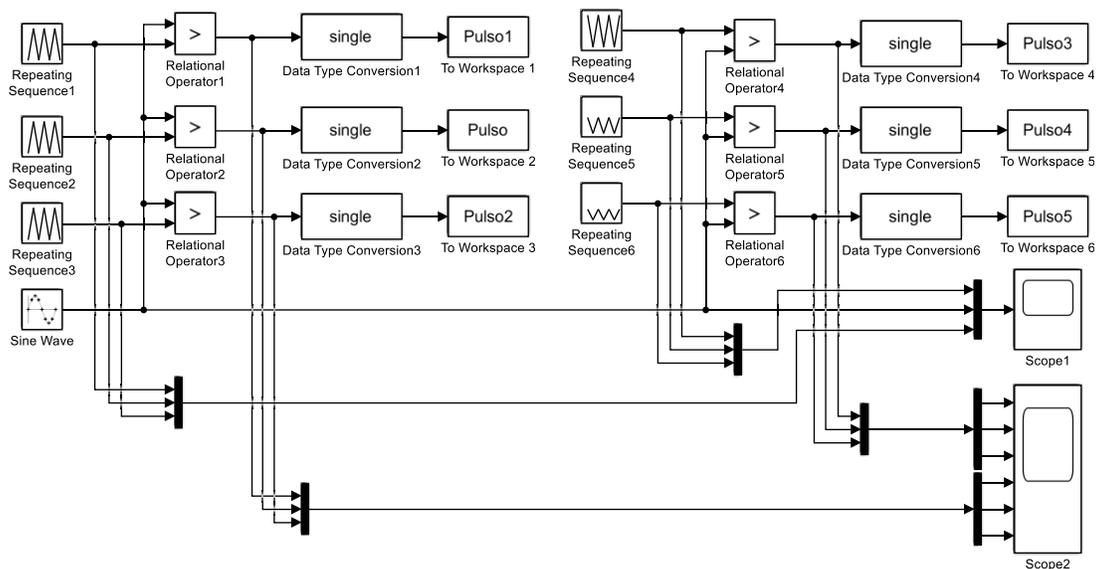


Figura 3.8. Bloques de Simulink para generar las modulaciones SPWM y sus pulsos de comando.

La señal senoidal moduladora es generada con el bloque “*Sine Wave*” y se conecta en cada uno de los seis bloques de comparación. En la otra entrada de los bloques de comparación se conecta una de las seis señales triangulares portadoras generadas con los bloques “*Repeating Sequence*”. Los bloques de comparación “*Relational Operator1*” a “*Relational Operator3*” necesitan que la señal senoidal se ingrese por la entrada superior, mientras que en los bloques “*Relational Operator4*” a “*Relational Operator6*” la señal senoidal debe conectarse en la entrada inferior. De no hacerlo de esta manera, el pulso de comando a la salida de los bloques de comparación tendrá invertidos los estados.

El resultado de las comparaciones se procesa con los bloques “*Data Type Conversion*”. Estos bloques convierten los valores booleanos entregados por los bloques de comparación a un tipo de dato numérico “*single*”, que representa los estados alto y bajo como valores binarios de “1” y “0” respectivamente. El resultado de esta conversión es entregado a los bloques “*To Workspace*”, que almacenan como vectores de datos los valores binarios “1” y “0” que conforman a los pulsos de comando provenientes de las comparaciones. Al definir mil muestras por periodo, los 6 vectores resultantes poseerán mil datos cada uno.

El resto de elementos del esquema que presenta la Figura 3.8 reúne las señales en los bloques “Scope” para visualizar las formas de onda obtenidas. A continuación, se muestran las técnicas de modulación y pulsos de comando generados por las simulaciones visualizados desde las ventanas de los bloques “Scope”.

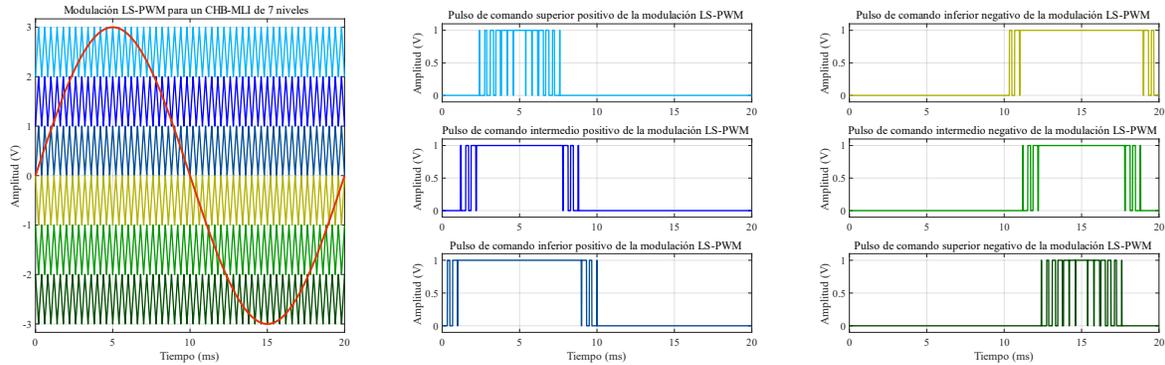


Figura 3.9. Simulación de 20 ms de la técnica LS-PWM y sus pulsos de comando (también empleados en la técnica PWM Distribuido).

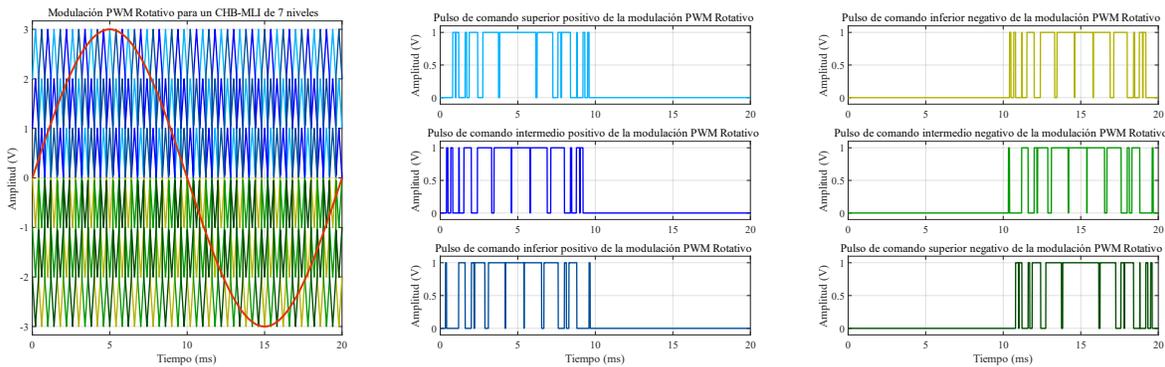


Figura 3.10. Simulación de 20 ms de la técnica PWM Rotativo y sus pulsos de comando.

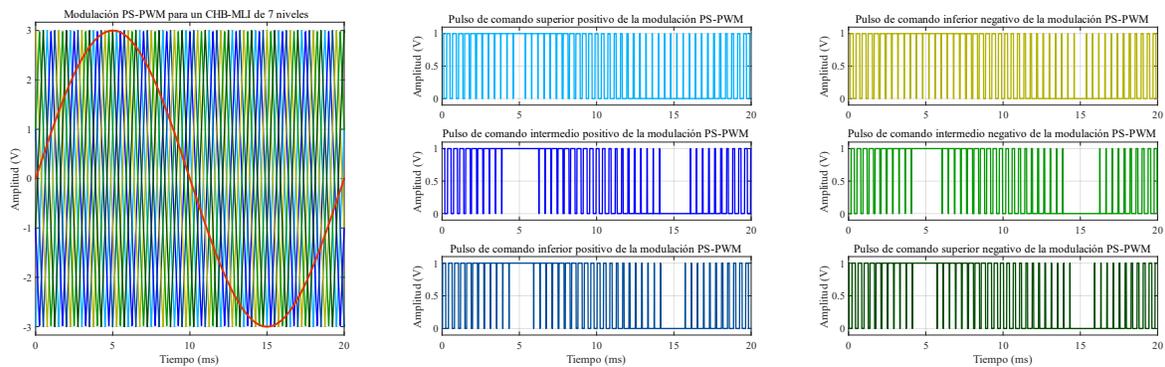


Figura 3.11. Simulación de 20 ms de la técnica PS-PWM y sus pulsos de comando.

Los parámetros internos de los bloques fueron ajustados según la técnica de simulada. Las técnicas de modulación LS-PWM y PWM Distribuido arrojaron los mismos pulsos de comando, esto se debe a que la técnica PWM Distribuido consiste en una técnica LS-PWM que reasigna sus pulsos de comando después de terminar un periodo de 20 ms. Para cumplir esta función se desarrolló una etapa especial en el código descrito en el lenguaje HDL.

3.2.4 Tratamiento de los pulsos de comando discretizados

Como se indica en la Tabla 3.1, la FPGA iCE40 y la tarjeta de desarrollo TinyFPGA BX utilizan el IDE de Icestudio y el lenguaje Verilog para la descripción e implementación de los diseños digitales (más detalles del IDE utilizado serán descritos en el siguiente tema). Para este apartado se toma en cuenta los puntos mencionados en la generación de los pulsos de comando discretizados y almacenados en los vectores de datos.

Los seis vectores de datos (con la información de los pulsos de comando discretizados gracias a los bloques “Data Type Conversion” y “To Workspace”) son visualizados con la ventana “Workspace” de Matlab. El vector se representa como una tabla de mil celdas integradas en una columna que almacena el valor binario del vector de datos. Para más detalles ver la Figura 3.12 a) y Figura 3.12 b).

La primera columna (con los datos binarios del vector) de la tabla visualizada en la ventana “Workspace” de Matlab es transferida al programa Excel. En una hoja de cálculo del programa Excel se despliega la columna con la información del vector de datos. Las columnas aledañas son ocupadas por un grupo de caracteres que al ser integrados con la información del vector de datos terminan por formar una lista de instrucciones que presentan la siguiente estructura: “10'd0: S <= (valor binario del vector);”. Esta nomenclatura es utilizada por el lenguaje Verilog como una instrucción, ver la Figura 3.12 c).

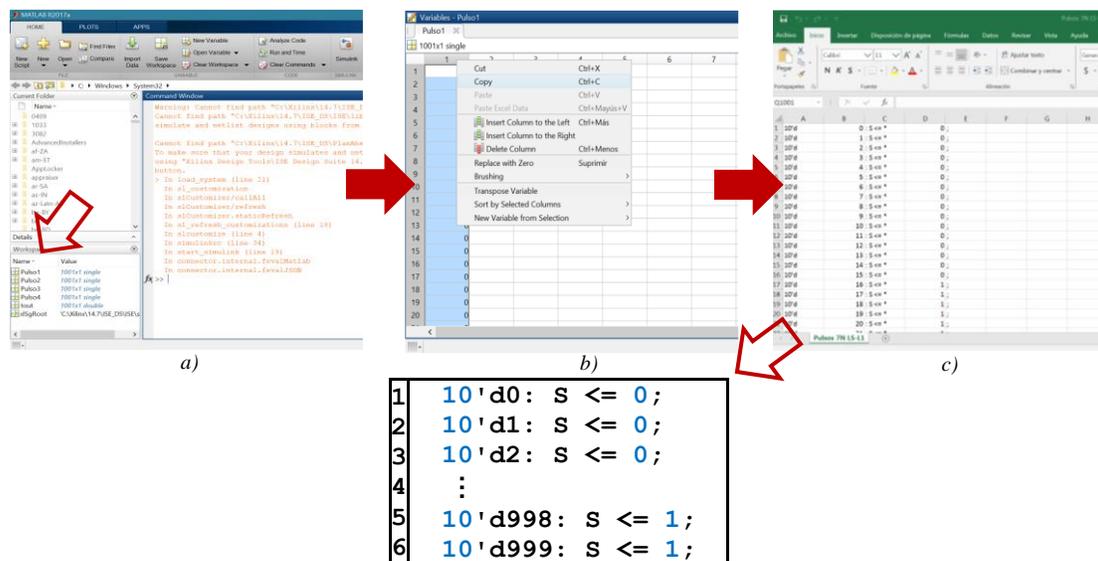


Figura 3.12. Pasos del tratamiento de los pulsos de comando discretizados: a) Localización de los vectores en la ventana “Workspace”, b) Visualización de la tabla con los valores del vector y c) Hoja de cálculo con la lista de instrucciones.

Al desarrollar las listas de instrucciones de la hoja de cálculo de Excel, se crean los registros que se emplearán en el entorno de programación Icestudio. Estas instrucciones (mil por cada vector) describen al compilador la forma de los pulsos de comando que serán sintetizados e implementados en la FPGA iCE40.

3.3 Programación e implementación del generador de pulsos

El principal motivo para elegir la tarjeta de desarrollo TinyFPGA BX con el IDE de programación conocido como Icestudio, es el hecho de que ambos elementos forman parte de una cadena de desarrollo de plataforma libre. El entorno de programación proporcionado por Icestudio ofrece la posibilidad de trabajar en una interfaz híbrida que combina el uso de bloques modulares con código escrito en lenguaje Verilog en conjunto con simbología de compuertas lógicas, circuitos combinacionales y secuenciales de uso común.

3.3.1 Descripción del IDE de Icestudio

La Figura 3.13 presenta la interfaz del entorno de programación de Icestudio, los recuadros señalan las distintas secciones que la conforman. En el menú de componentes se dispone de los elementos para descripción de *hardware*: bloques para escribir código, bloques de configuración de puertos, símbolos de compuertas lógicas, entre otros. Mientras que en el submenú “Herramientas” se encuentra las funciones de sintetizado y programación de la FPGA. En la parte inferior de la interfaz se presentan datos del código desarrollado como: el nombre del proyecto, tipo y cantidad de elementos lógicos necesarios para implementar, además del modelo de FPGA para la que se realizó el sintetizado del código.

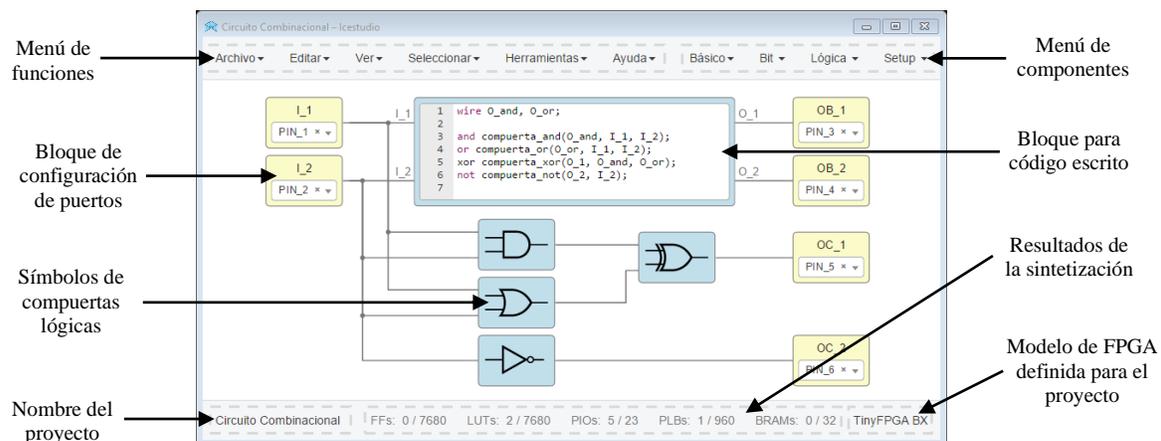


Figura 3.13. Entorno de programación de Icestudio.

En la Figura 3.13 también se desarrolla un circuito combinacional mediante dos métodos: el primer método emplea un bloque para la escritura de código en lenguaje Verilog que mediante la técnica de “modelo estructural” describe las conexiones de los elementos que integran al circuito combinacional. Los códigos en Verilog se constituyen en dos submódulos (ver Figura 3.3), en este caso el bloque define internamente la apertura y cierre del módulo, así como las entradas y salidas (tarea realizada en el submódulo 1). El segundo método emplea simbología de compuertas lógicas para desarrollar el mismo circuito combinacional descrito en el bloque del primer método.

3.3.2 Esquema de programación del generador de pulsos.

Se desarrollaron cuatro proyectos para programar los pulsos de comando de cada una de las técnicas de modulación estudiadas, la estructura de programación utilizada se basa en un esquema de bloques. En el subtema 3.2.3 se comenta que la técnica PWM Distribuido consiste en una técnica LS-PWM que reasigna sus pulsos de comando después de terminar un periodo de 20 ms, para cumplir esta función se agregan unos bloques extra al esquema de programación original. La Figura 3.14 muestra el esquema de programación original mientras que la Figura 3.15 muestra el esquema para la técnica PWM Distribuido.

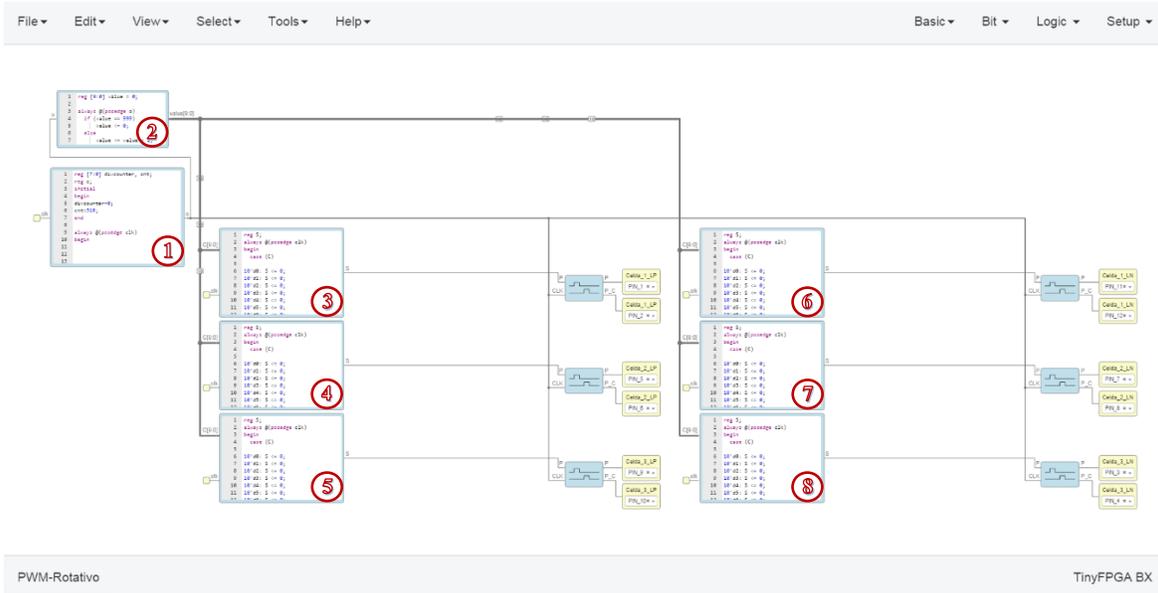


Figura 3.14. Esquema de programación original para las técnicas LS-PWM, PWM Rotativo y PS-PWM.

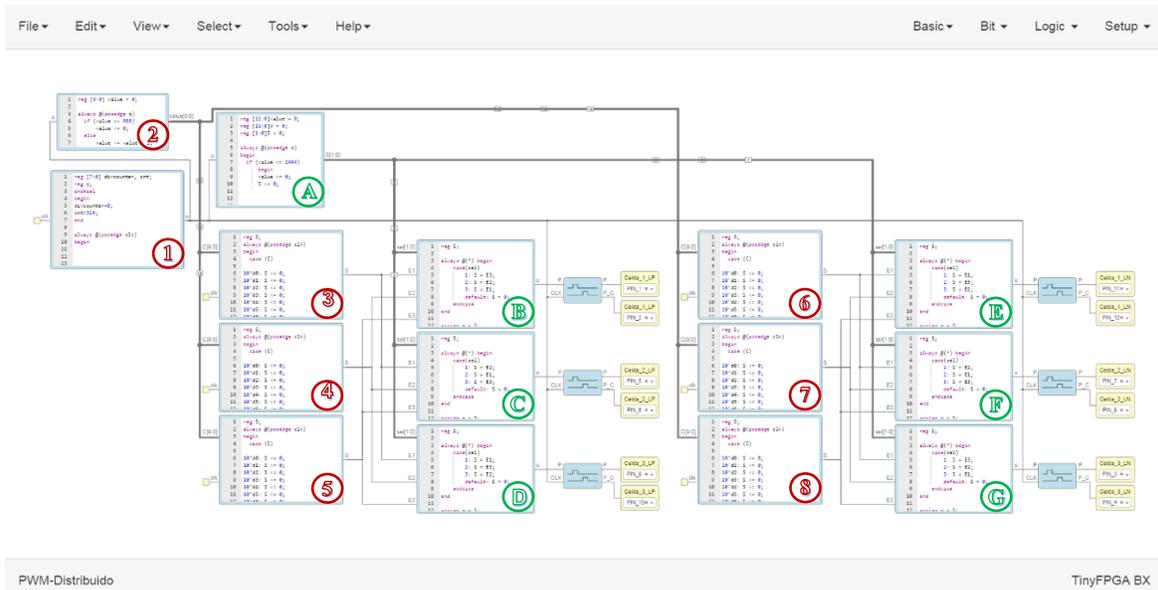


Figura 3.15. Esquema de programación para la técnica PWM Distribuido.

- **Divisor de frecuencia**

El bloque “1” corresponde al divisor de frecuencia, este cumple la función de ajustar la frecuencia de 16 MHz del oscilador principal de la tarjeta de desarrollo a una frecuencia de 50 kHz. El ajuste de frecuencia es necesario para las listas de instrucciones que almacenan en la FPGA la información de los pulsos de comando. El valor numérico del factor del divisor de frecuencia fue determinado por la Ecuación (13) en el subtema 3.2.2.

- **Memorias de instrucciones**

Los bloques del “3” al “8” son denominados “Memorias”, ya que almacenan las listas de instrucciones descritas previamente en el subtema 3.2.4. Las listas se ejecutan de forma paralela y cada una de ellas posee mil espacios de memoria donde se encuentran los estados binarios resultantes de la discretización de los pulsos de comando.

- **Contador**

El bloque “2” desarrolla un contador de 10 bits necesario para generar mil pasos durante un periodo de 20 ms (o 50 Hz). Cada paso acciona consecutivamente un espacio de memoria en cada uno de los bloques de memoria, esto permite la ejecución en paralelo de los seis pulsos de comando almacenados. El contador se desborda y reinicia al llegar al número “999” en binario ya que el conteo inicia desde el número “0” en binario.

- **Generadores de pulsos complementarios y tiempo muerto**

Los bloques de tonalidad azul y con un símbolo de dos señales desfasadas, tienen la función de generar un pulso de comando complementario al pulso entregado por el bloque de “Memoria”. También generan un tiempo muerto entre el pulso del bloque de memoria y el nuevo pulso complementario, esto con el objetivo evitar estados de corto circuito en los interruptores del puente H que integran a cada celda del CHB-MLI.

- **Pines de salida**

Los bloques de tonalidad amarilla, definen los pines de la tarjeta de desarrollo por donde se emiten los pulsos de comando entregados por los bloques de “Memoria”, o por los bloques generadores de pulso complementario y tiempo muerto.

- **Etapa de Multiplexores**

Corresponde a la sección especial utilizada solo para la técnica PWM Distribuido y se encuentra constituida por los bloques señalados con letras en color verde. El bloque “A” es un contador de 12 bits corriendo de “0” a “2999” en binario. Este contador ordena una reasignación de posición a los bloques “B” a “G” cada 1000 pasos. La reasignación de posiciones permite multiplexar la información entregada por los bloques de “Memoria”, de esta manera los pulsos son redistribuidos al finalizar cada periodo de 20 ms.

3.3.3 Resultados obtenidos al implementar en la FPGA.

Una vez compilados e implementados en la FPGA los códigos descritos por los esquemas de programación, se verificó su correcta operación. Con el analizador digital del osciloscopio Agilent modelo DSO-X 3054A se midieron los pines de la tarjeta de desarrollo asignados para la emisión de los pulsos comando. De la Figura 3.16 a la Figura 3.19 se presentan las lecturas obtenidas con el osciloscopio.

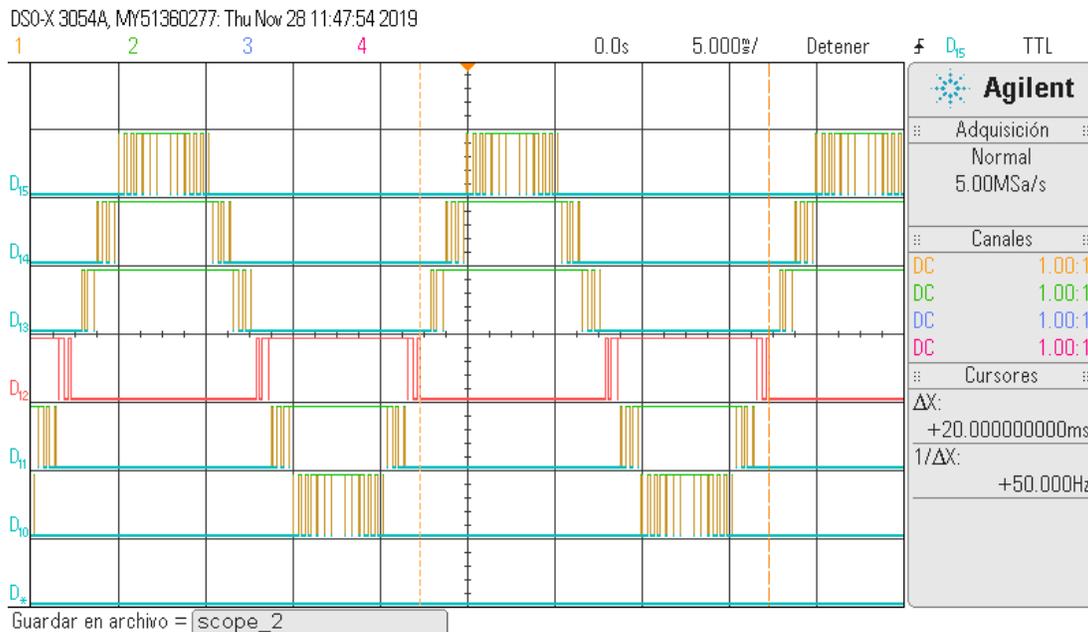


Figura 3.16. Pulsos de comando de la técnica LS-PWM en el osciloscopio.

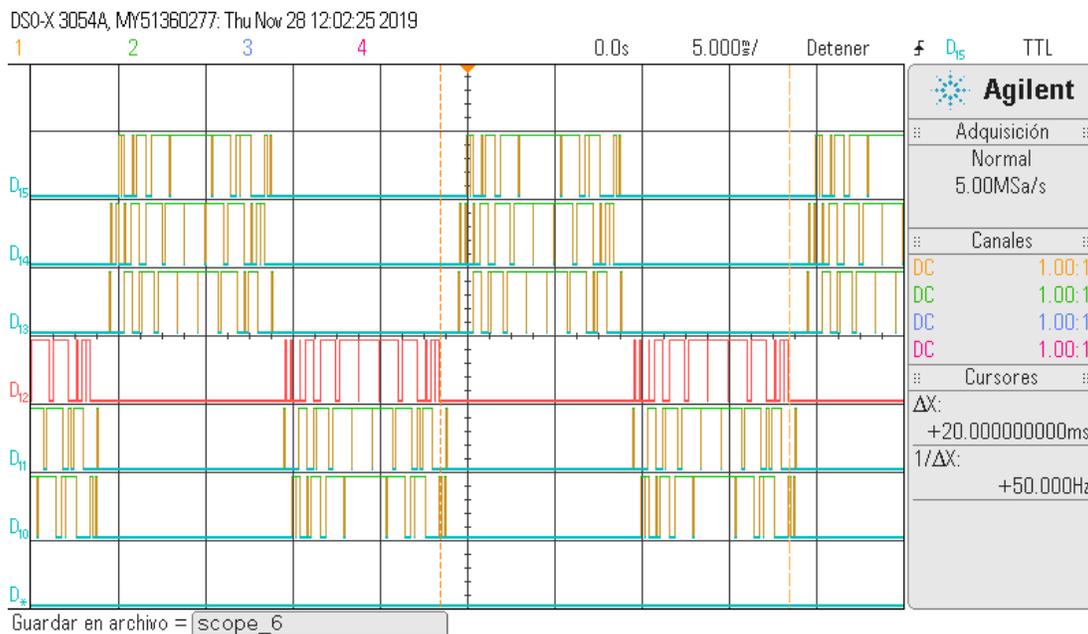


Figura 3.17. Pulsos de comando de la técnica PWM Rotativo en el osciloscopio.

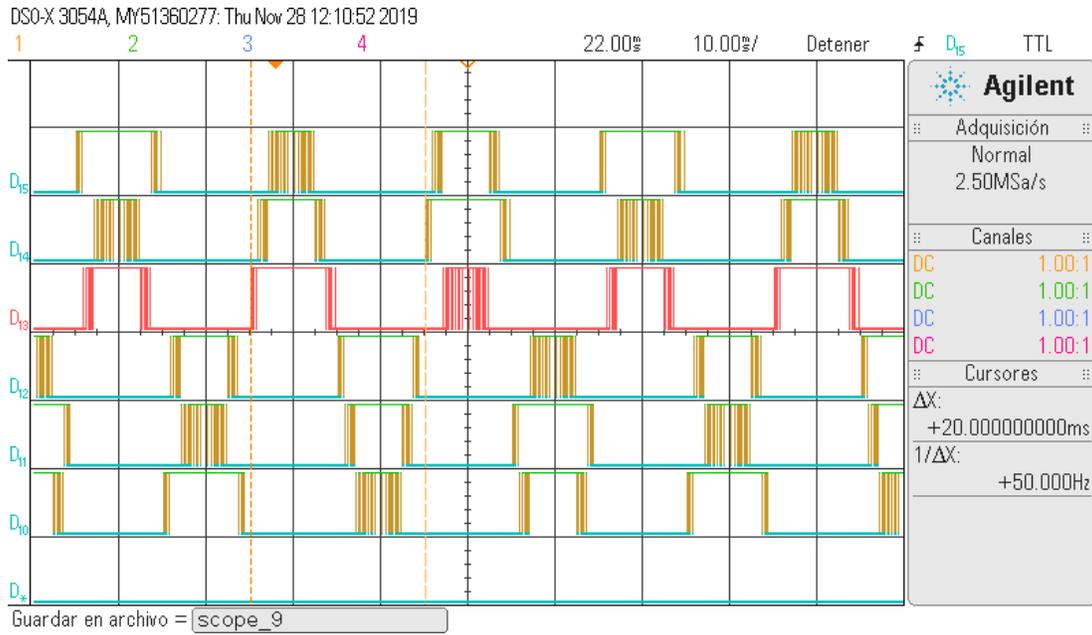


Figura 3.18. Pulsos de comando de la técnica PWM Distribuido en el osciloscopio.

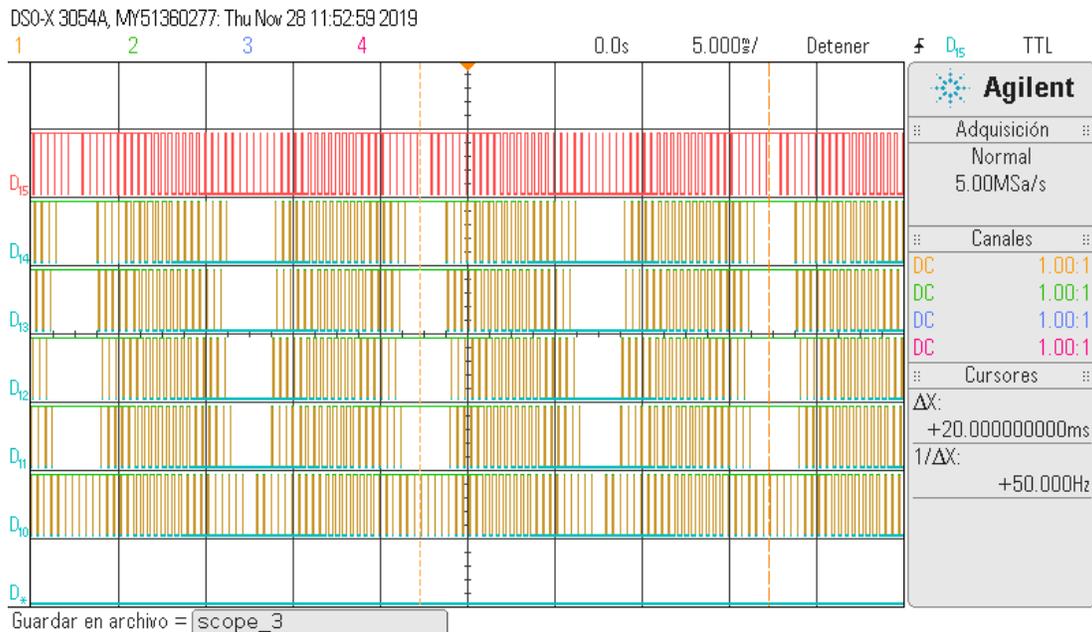


Figura 3.19. Pulsos de comando de la técnica PS-PWM en el osciloscopio.

Empleando los cursores del osciloscopio se corroboró que los pulsos de comando resultantes de las cuatro técnicas de modulación tengan un periodo de 20 ms (equivalente a una frecuencia de 50 Hz). Dicho periodo se encuentra en concordancia con los valores definidos en la Tabla 3.1. Cabe destacar que se visualizaron los pulsos de conmutación sin sus respectivas contrapartes complementarias.

Capítulo 4: Pruebas de laboratorio y análisis de resultados

Este capítulo se divide en tres secciones: la primera sección presenta los parámetros empleados en la implementación de un CHB-MLI prototipo para las pruebas de laboratorio. En la segunda sección se muestran los resultados obtenidos de las pruebas realizadas a las técnicas de modulación. Y la tercera sección presenta el análisis de dichos resultados.

4.1 Implementación del CHB-MLI para pruebas de laboratorio

A continuación, se describe la implementación del CHB-MLI empleado como prototipo para las pruebas de laboratorio, de las técnicas de modulación analizadas en este trabajo.

4.1.1 Especificaciones del CHB-MLI prototipo para pruebas de laboratorio

Como se comentan en el subtema 2.3.1 (referente a las simulaciones de las modulaciones estudiadas), el CHB-MLI designado para simular y realizar pruebas debe constar de 7 niveles. El número de niveles fue elegido al observar la Tabla 1.1 (referente a trabajos realizados previamente en CENIDET en el tema de CHB-MLIs), estos trabajos coinciden en emplear como mínimo un CHB-MLI con 7 niveles. Por este motivo se decidió emplear un CHB-MLI de 7 niveles que se encontrara en concordancia con las investigaciones anteriores.

En el subtema 2.3.1 también se definen las frecuencias de las señales que conforman a las modulaciones estudiadas y que generan los pulsos de comando para el CHB-MLI prototipo. Estas frecuencias fueron elegidas dentro de los rangos de valores empleados en trabajos previos y presentes en la Tabla 1.1. Los valores de 50 Hz (señal moduladora) y 2.5 kHz (señales portadoras) permiten en conjunto obtener submúltiplos exactos, sin cifras a la derecha del punto decimal. Una característica conveniente al discretizar señales analógicas para dispositivos digitales, como se detalla en el subtema 3.2.2 y las Ecuaciones (10) y (11).

Cada bus de alimentación entrega 58.5 Vrms a cada puente H, mientras que la carga conectada a la salida del CHB-MLI es una resistencia de 22 Ω . Estos valores quedaron sujetos a las capacidades del conjunto de celdas elegidas para implementar el CHB-MLI prototipo. Dichas celdas se obtuvieron de módulos ya existentes en el laboratorio, más detalles de estos módulos se comentan en el siguiente subtema. La Figura 4.1 muestra un esquema general del CHB-MLI de 7 niveles empleado como prototipo para pruebas de laboratorio.

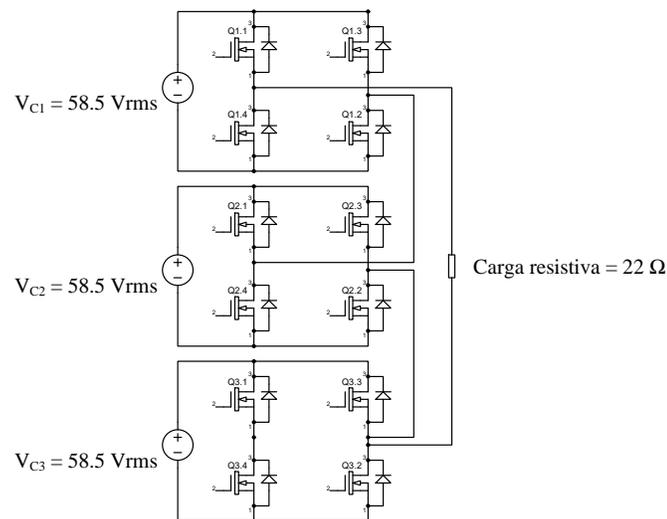


Figura 4.1. Esquema general del CHB-MLI prototipo para pruebas de laboratorio.

4.1.2 Elección de los módulos para el CHB-MLI prototipo

Gracias a los trabajos relacionados con temas de inversores multinivel desarrollados previamente a este tema de tesis, existen en el laboratorio varios módulos de puentes H con los cuales realizar las pruebas de las técnicas de modulación estudiadas. Todos estos módulos están conformados por dos secciones importantes: El chip donde se encuentran los interruptores en configuración de puente H (circuito de potencia) y un CI optoacoplador (circuito de aislamiento), que sirve de intermediario entre la FPGA (circuito de mando) y los puentes H. Al momento de realizar este trabajo de investigación se encontraban tres diferentes módulos basados en los siguientes componentes:

- CI de puente H L98N y CI optoacoplador TLP521.
- CI de puente H trifásico IRAMS10UP60B y CI optoacoplador HCPL2611.
- CI de puente H trifásico IRAM136-1561A y CI optoacoplador HCPL2631.

Se decidió utilizar la rama de un CHB-MLI trifásico de 7 niveles (una rama permite obtener una fase senoidal) porque este contaba con buses de C.D. implementados, evitando la necesidad de tener que construirlos o utilizar fuentes del laboratorio. Los módulos de este CHB-MLI corresponden a la segunda opción enlistada que integran el CI de puente H trifásico IRAMS10UP60B y el CI de optoacoplador HCPL-2611. La Figura 4.2 presenta dos diagramas de los chips mencionados.

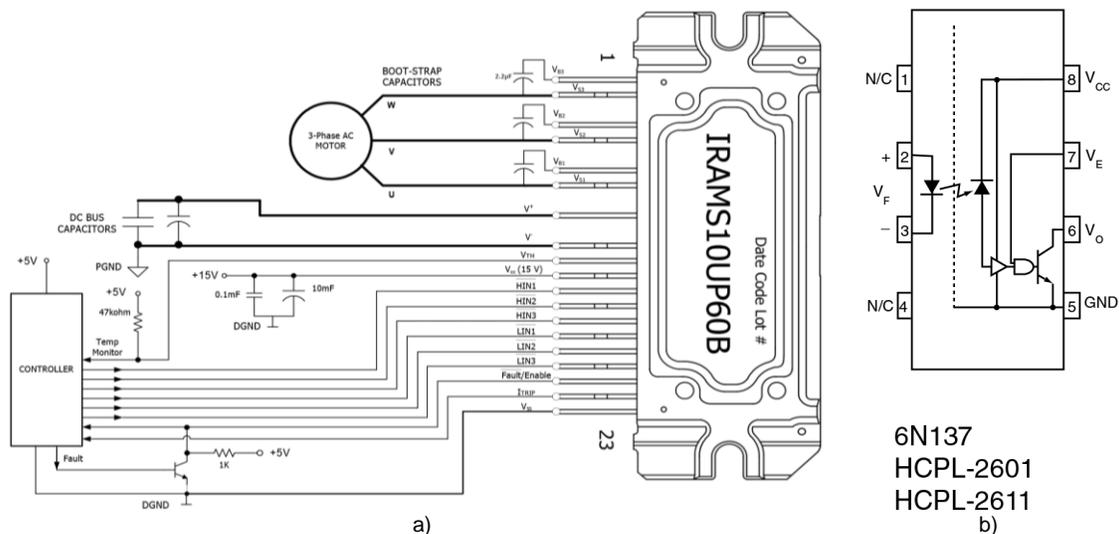


Figura 4.2. Diagramas de los CI en el módulo seleccionado: a) Diagrama del puente H trifásico IRAMS10UP60B [49], y b) Diagrama del optoacoplador HCPL-2611 [50].

La Figura 4.2 a) presenta un diagrama de conexiones del CI de puente H trifásico IRAMS10UP60B, extraído de su ficha técnica [49]. Mientras que la Figura 4.2 b) muestra un diagrama con la configuración del optoacoplador HCPL-2611, el cual también fue obtenido de su ficha técnica [50].

4.1.3 Estimación de los valores de operación del CHB-MLI prototipo

El CHB-MLI prototipo se operó a la mayor potencia posible durante las pruebas de laboratorio, esta potencia fue alcanzada al emplear una resistencia de 22Ω . En ese punto de operación los buses de alimentación suministraban a las celdas de puentes H una tensión en promedio de 58.5 Vrms, con una ligera variación de ± 1 Vrms (para las técnicas con capacidad de balance de potencia).

El CHB-MLI prototipo cuenta con tres buses de alimentación, uno por cada celda de puente H. Al sumar los 58.5 Vrms de cada bus de alimentación se tiene que la tensión estimada entregada a la salida del CHB-MLI prototipo es de 175.5 Vrms. Mediante la Ecuación (14) se despeja el valor de corriente estimada a la salida del CHB-MLI prototipo.

$$I_{CHB-MLI} = \frac{V_{CHB-MLI}}{R} = \frac{175.5 V_{rms}}{22 \Omega} = 7.8 A \quad (14)$$

Donde “ $I_{CHB-MLI}$ ” es la corriente estimada entregada por el CHB-MLI, “ $V_{CHB-MLI}$ ” la tensión estimada entregada por el CHB-MLI y “ R ” corresponde al valor de la carga.

Por su parte, con la Ecuación (15) se efectúa el cálculo de la potencia estimada que el CHB-MLI prototipo entrega a la carga.

$$P_{CHB-MLI} = \frac{V_{CHB-MLI}^2}{R} = \frac{175.5 V_{rms}^2}{22 \Omega} = 1.3 kW \quad (15)$$

Donde “ $P_{CHB-MLI}$ ” es la potencia estimada entregada por el CHB-MLI, “ $V_{CHB-MLI}$ ” la tensión estimada entregada por el CHB-MLI y “ R ” corresponde al valor de la carga.

La Tabla 4.1 presenta las especificaciones y valores de operación del CHB-MLI prototipo.

Tabla 4.1. Parámetros del CHB-MLI empleado como prototipo para las pruebas de laboratorio.

Especificaciones del CHB-MLI prototipo para las pruebas de laboratorio	
Parámetro	Valor
- Número de niveles del CHB-MLI.	- CHB-MLI de 7 niveles.
- Frecuencia de moduladora senoidal.	- Moduladora de 50 Hz.
- Frecuencia de portadoras triangulares.	- Portadoras de 2.5 kHz.
- Carga resistiva a la salida del CHB-MLI.	- Resistencia de 22Ω .
- Tensión estimada a la salida del CHB-MLI.	- Tensión de 175.5 Vrms.
- Corriente estimada a la salida del CHB-MLI.	- Corriente de 7.8 A.
- Potencia estimada a la salida del CHB-MLI.	- Potencia de 1.3 kW.

4.1.4 Implementación del CHB-MLI prototipo

Una vez conocida la configuración y operación de los módulos que integran al CHB-MLI prototipo. Se procedió a conectar la FPGA (con los generadores de pulsos ya programados) con sus respectivos circuitos de aislamiento integrados en módulos de puentes H que conforman al CHB-MLI prototipo. La Figura 4.3 muestra una vista general del prototipo de pruebas implementado operando a baja potencia. Mientras que la Figura 4.4 muestra físicamente al circuito de mando (tarjeta Tiny FPGA BX encerrada en el recuadro rojo), los circuitos de aislamiento (optoacopladores HCPL-2611 encerrados en el recuadro azul) y el circuito de potencia (Puente H trifásico IRAMS10UP60B encerrado en el recuadro verde).

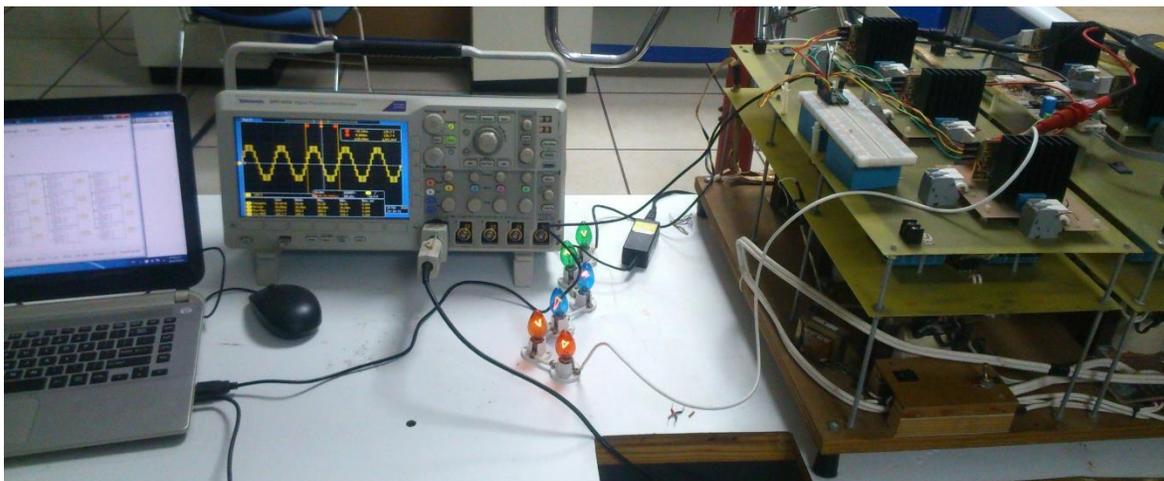


Figura 4.3. Implementación del CHB-MLI prototipo realizando una prueba de baja potencia.

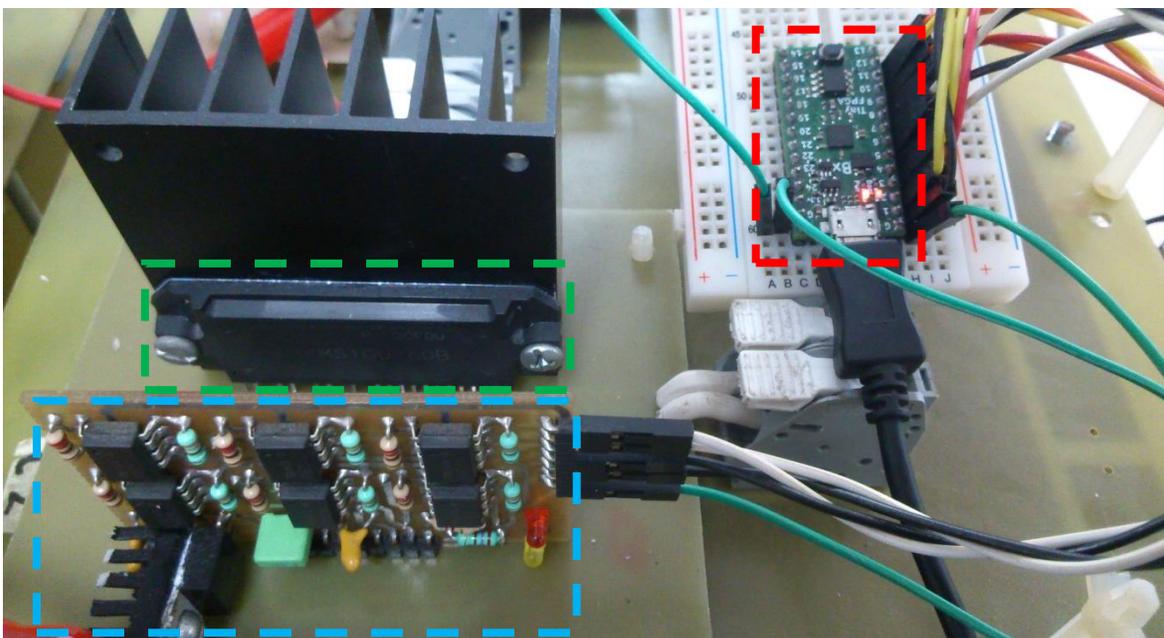


Figura 4.4. Circuitos de mando, aislamiento y potencia utilizados en el CHB-MLI prototipo.

4.2 Pruebas realizadas para cada técnica de modulación

- **Mediciones de la técnica de LS-PWM**

La Figura 4.5 presenta la señal cuasi-senoidal generada por el CHB-MLI con la modulación LS-PWM y la Figura 4.6 muestra su contenido armónico.

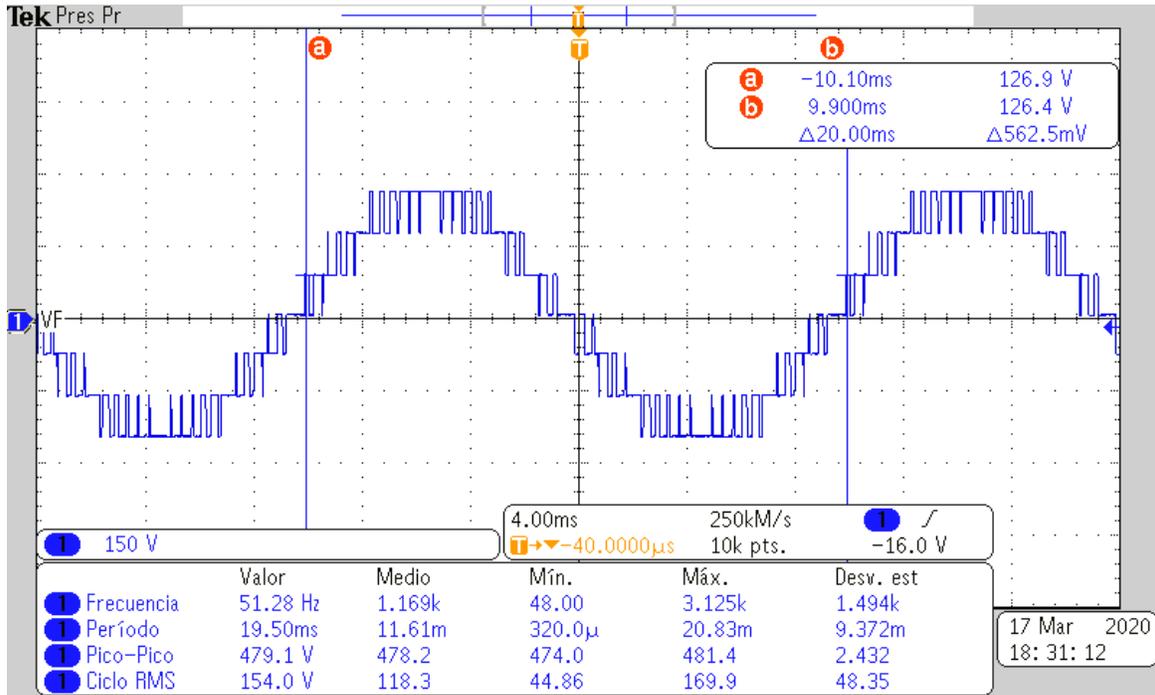


Figura 4.5. Señal cuasi-senoidal a la salida del CHB-MLI con la técnica LS-PWM.

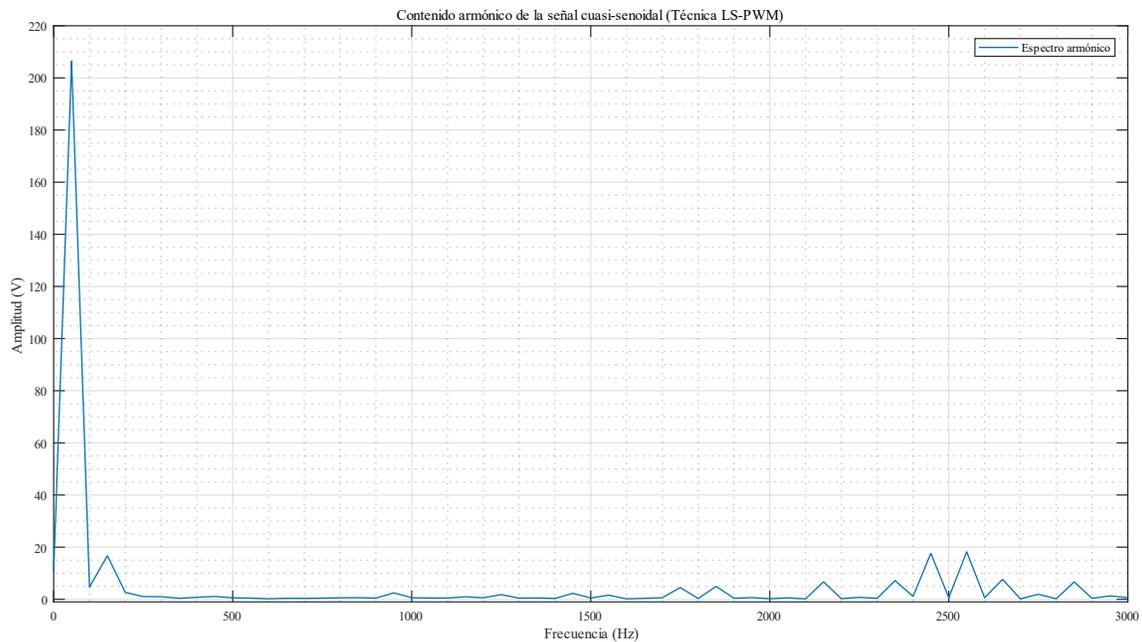


Figura 4.6. Contenido armónico de la señal cuasi-senoidal (técnica LS-PWM).

La Figura 4.7 ilustra la tensión procesada por cada celda del CHB-MLI al emplear la técnica modulación LS-PWM. Mientras que la Figura 4.8 detalla la misma función, pero con la corriente procesada por cada celda del CHB-MLI.

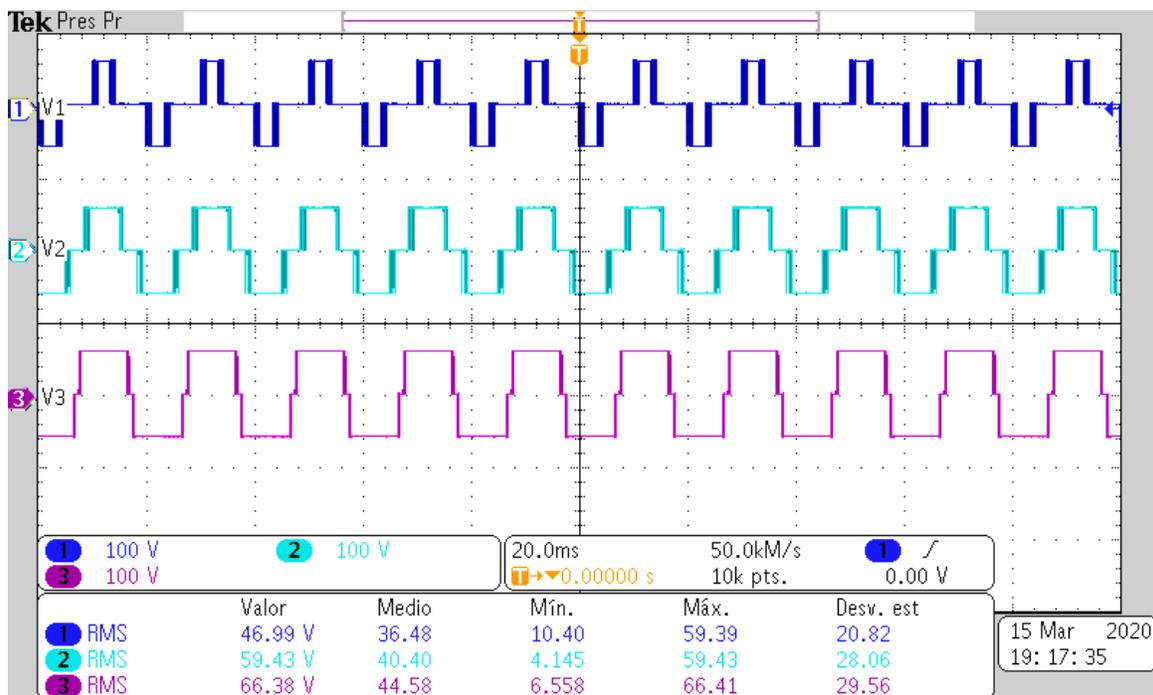


Figura 4.7. Tensión procesada por cada celda del CHB-MLI con la técnica LS-PWM.

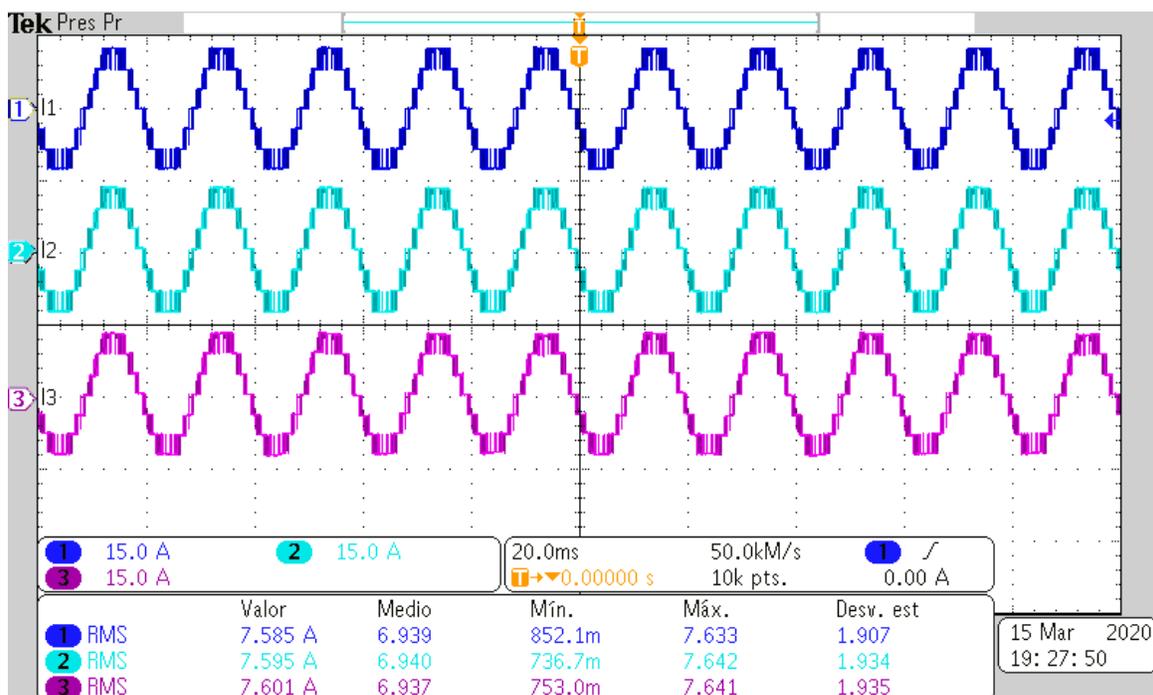


Figura 4.8. Corriente procesado por cada celda del CHB-MLI con la técnica LS-PWM.

- **Mediciones de la técnica de PWM Rotativo**

La Figura 4.9 presenta la señal cuasi-senoidal generada por el CHB-MLI con la modulación PWM Rotativo y la Figura 4.10 muestra su contenido armónico.

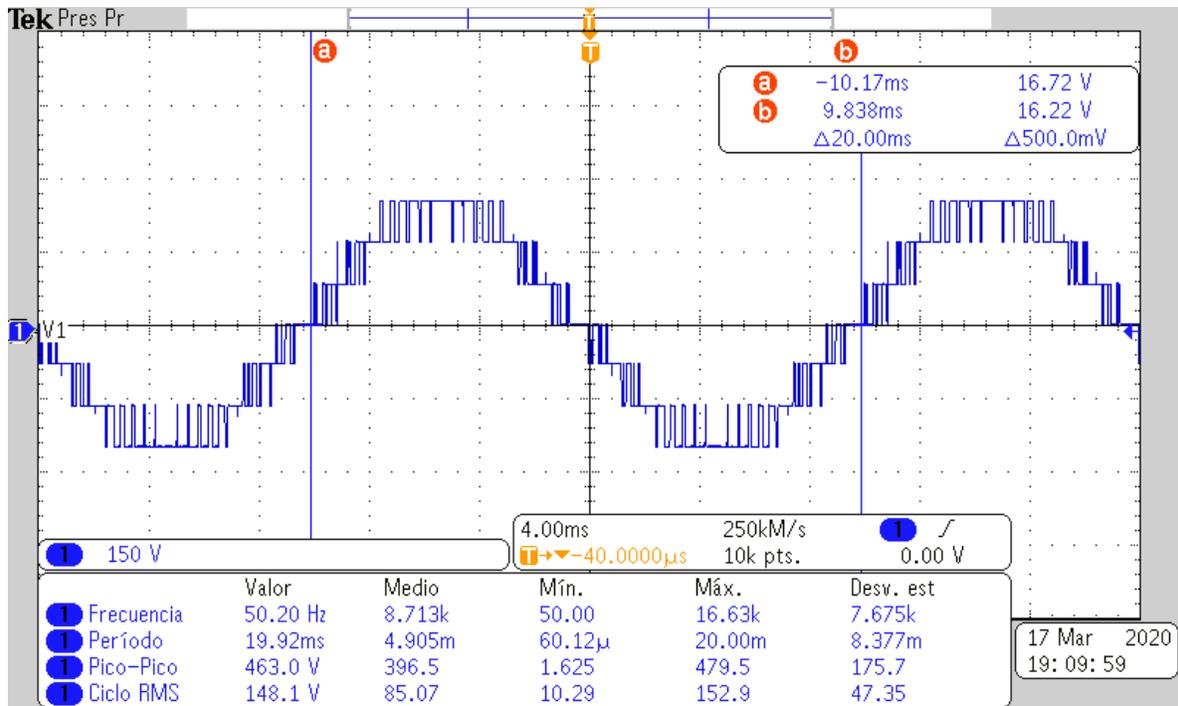


Figura 4.9. Señal cuasi-senoidal a la salida del CHB-MLI con la técnica PWM Rotativo.

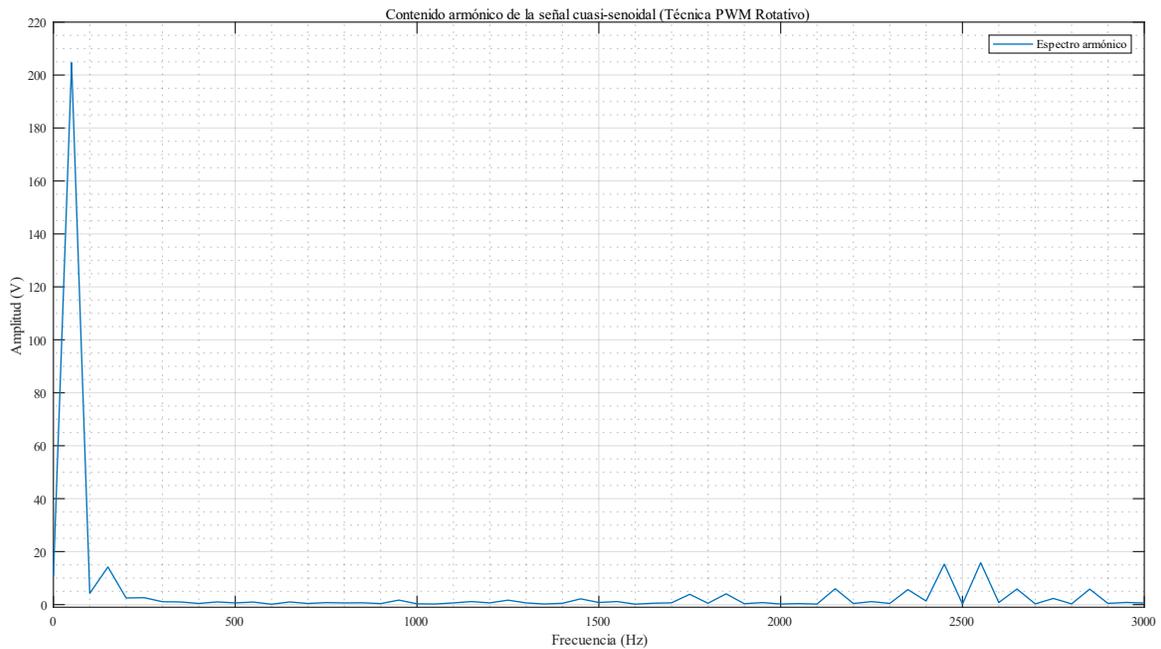


Figura 4.10. Contenido armónico de la señal cuasi-senoidal (técnica PWM Rotativo).

La Figura 4.11 ilustra la tensión procesada por cada celda del CHB-MLI al emplear la técnica modulación LS-PWM. Mientras que la Figura 4.12 detalla la misma función, pero con la corriente procesada por cada celda del CHB-MLI.

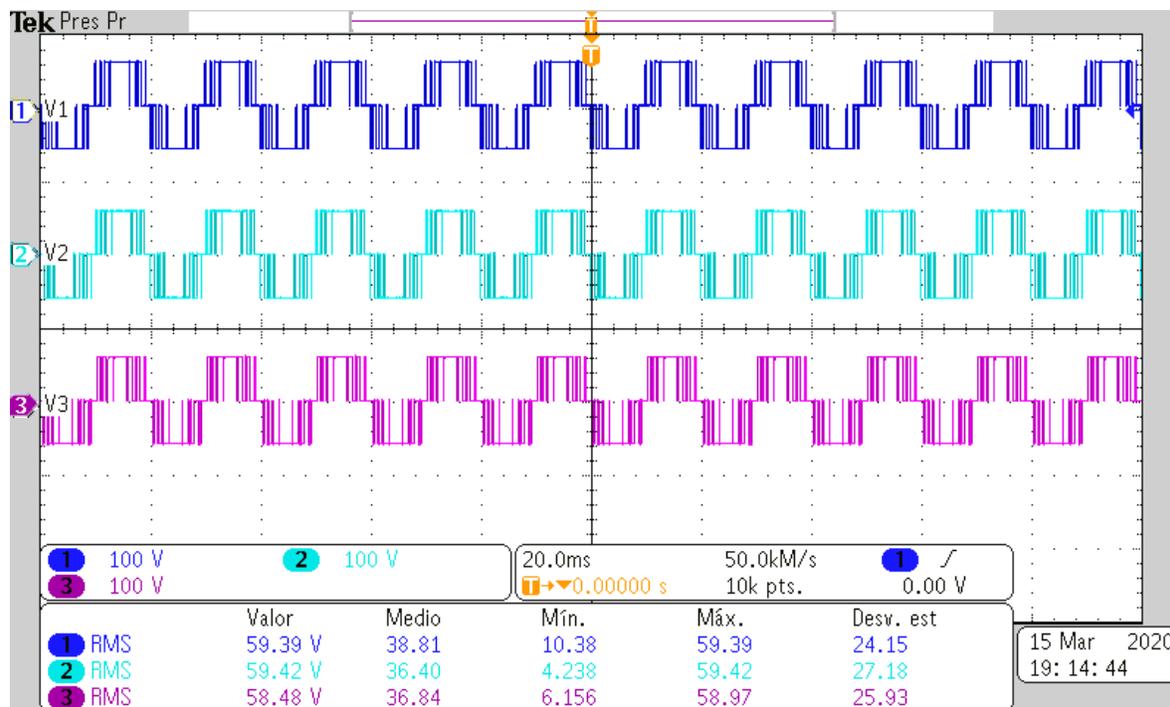


Figura 4.11. Tensión procesada por cada celda del CHB-MLI con la técnica PWM Rotativo.

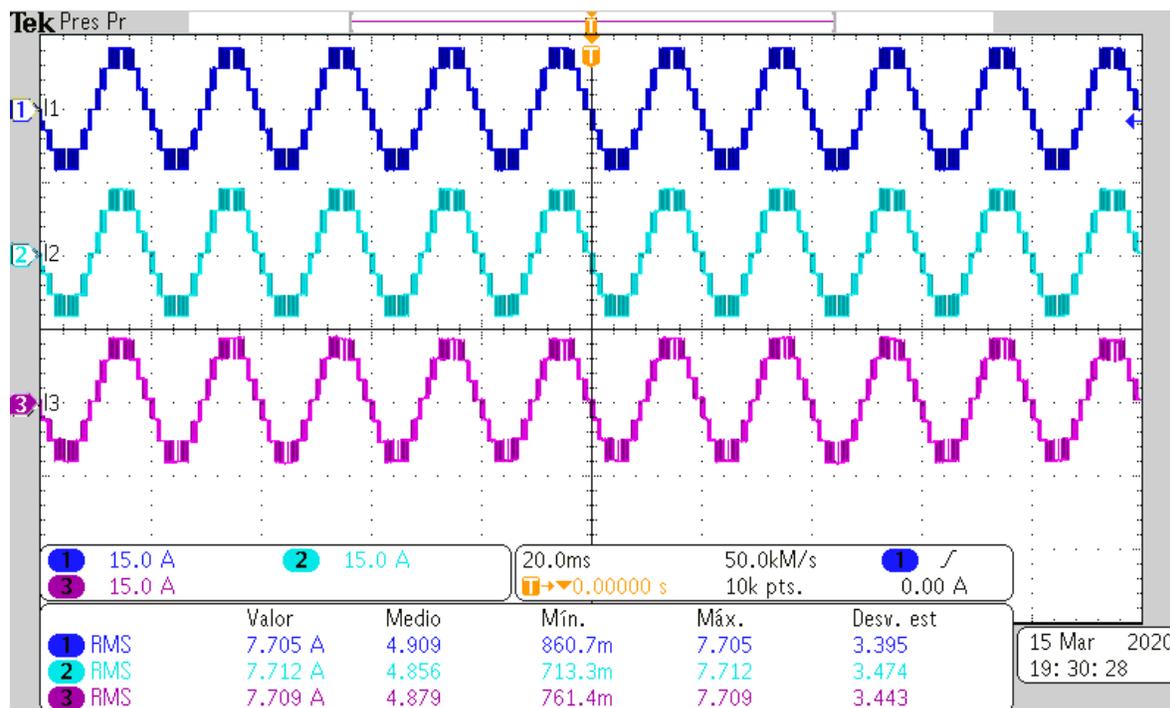


Figura 4.12. Corriente procesado por cada celda del CHB-MLI con la técnica PWM Rotativo.

- **Mediciones de la técnica de PWM Distribuido**

La Figura 4.13 presenta la señal cuasi-senoidal generada por el CHB-MLI con la modulación PWM Distribuido y la Figura 4.14 muestra su contenido armónico.

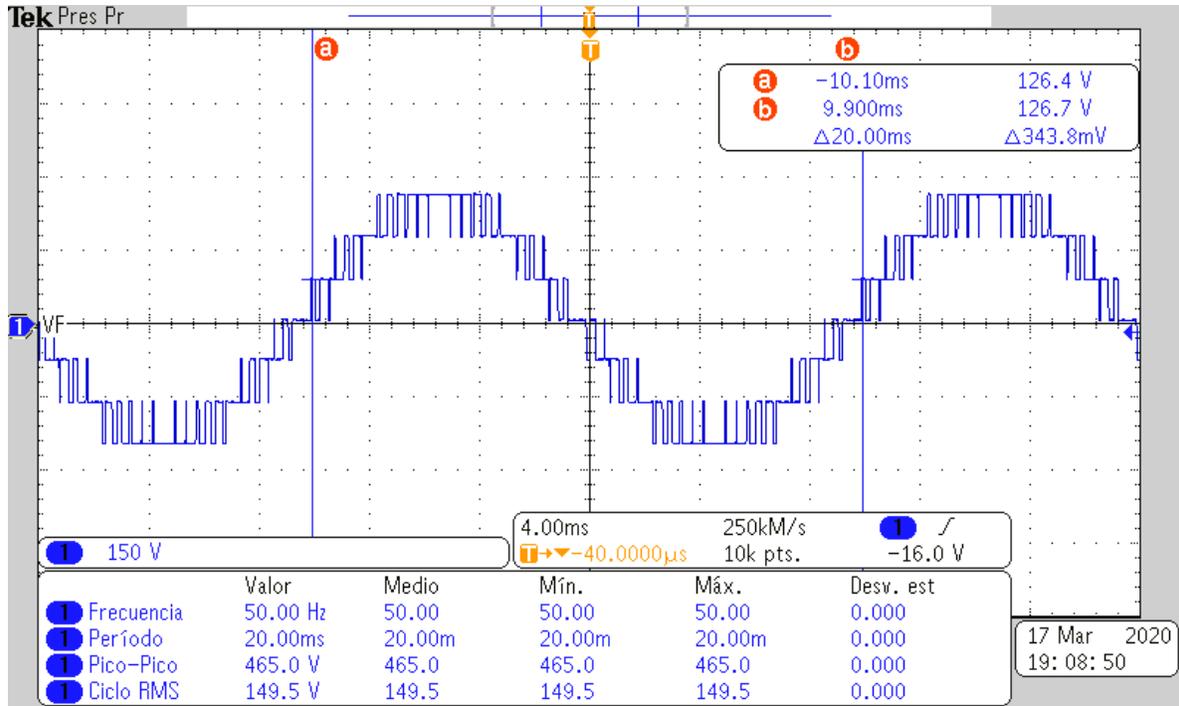


Figura 4.13. Señal cuasi-senoidal a la salida del CHB-MLI con la técnica PWM Distribuido.

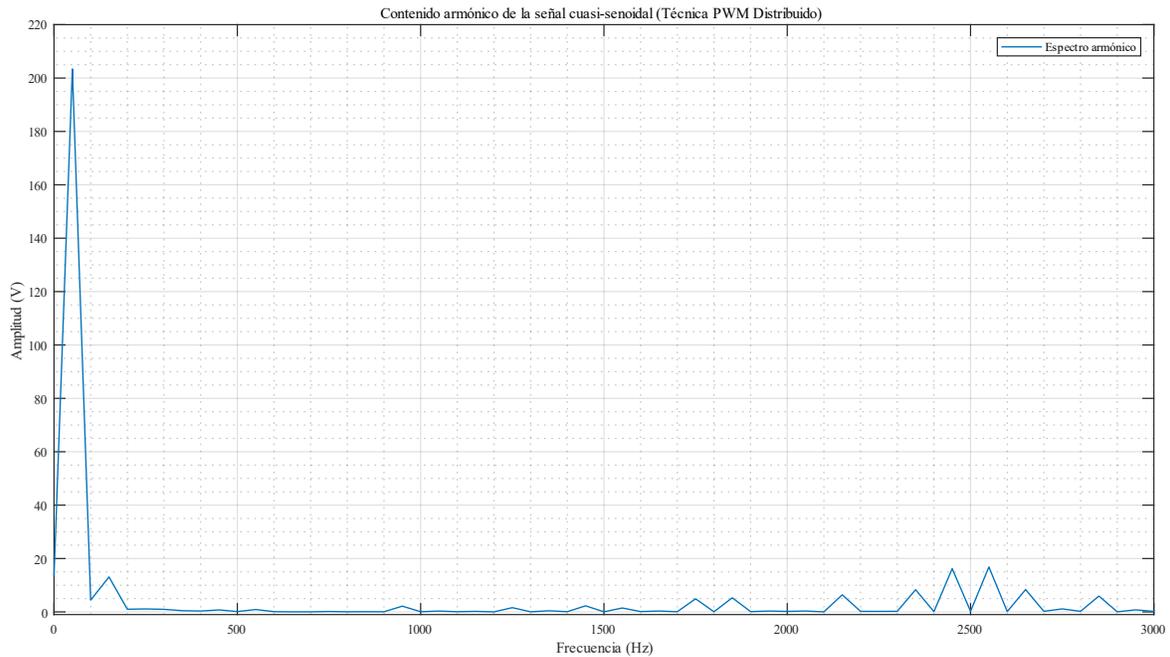


Figura 4.14. Contenido armónico de la señal cuasi-senoidal (técnica PWM Distribuido).

La Figura 4.15 ilustra la tensión procesada por cada celda del CHB-MLI al emplear la técnica modulación LS-PWM. Mientras que la Figura 4.16 detalla la misma función, pero con la corriente procesada por cada celda del CHB-MLI.

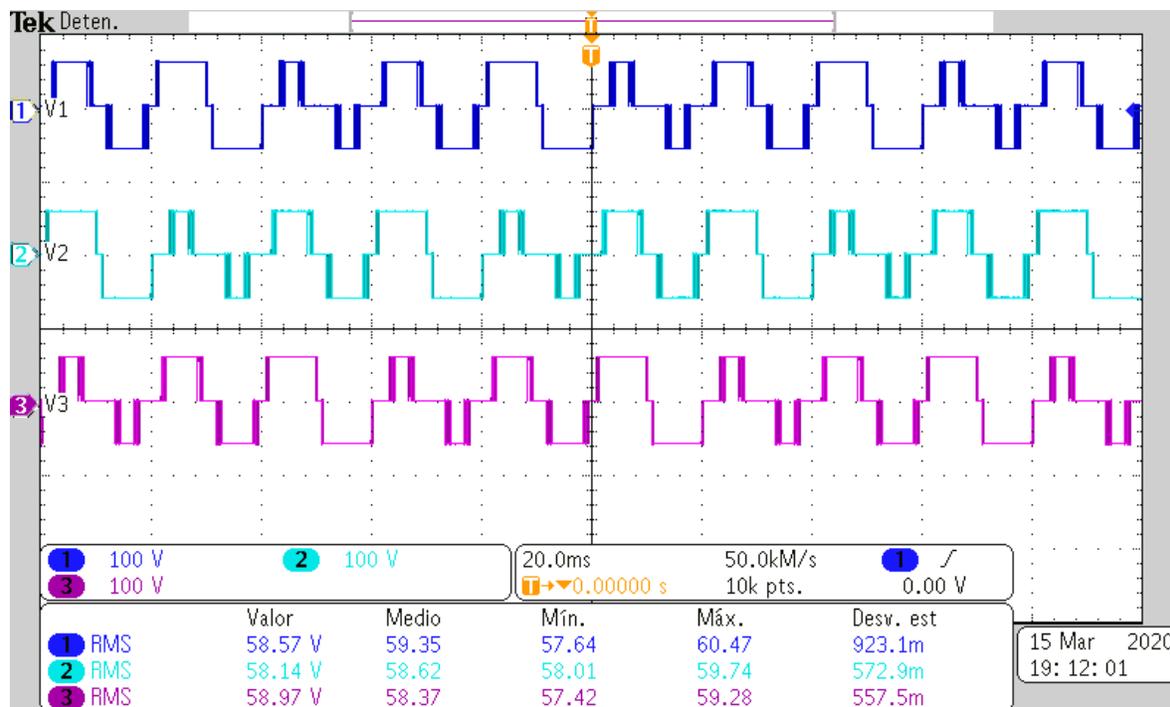


Figura 4.15. Tensión procesada por cada celda del CHB-MLI con la técnica PWM Distribuido.

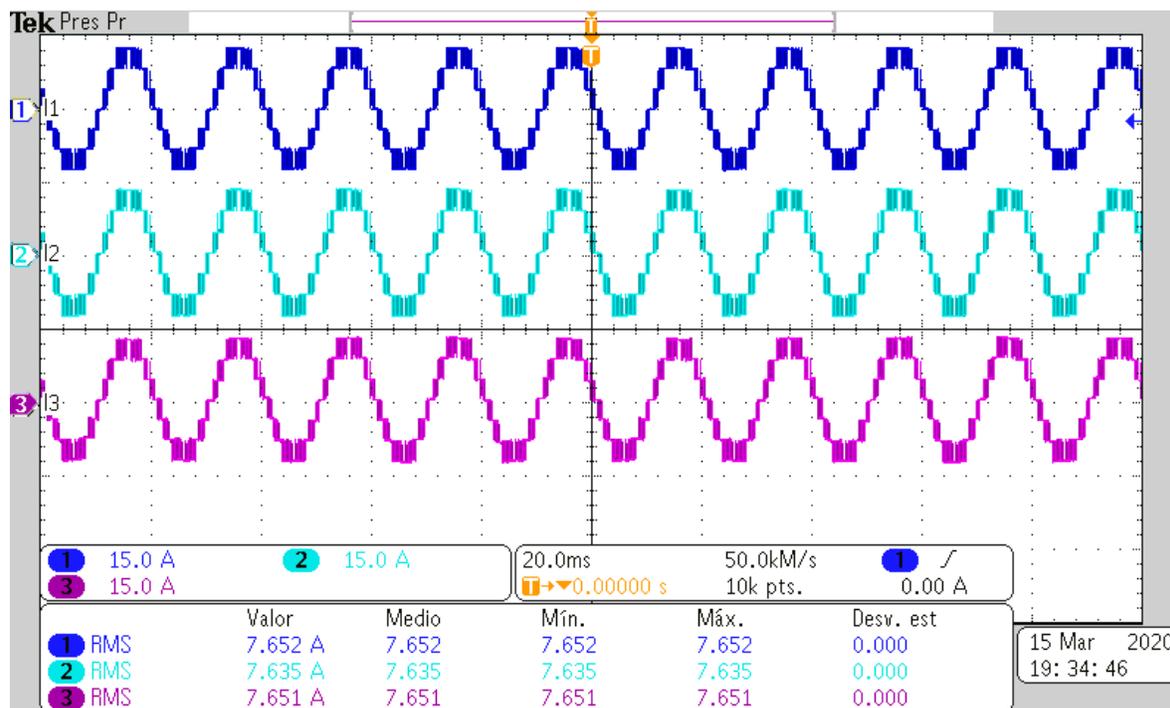


Figura 4.16. Corriente procesado por cada celda del CHB-MLI con la técnica PWM Distribuido.

- **Mediciones de la técnica de PS-PWM**

La Figura 4.17 presenta la señal cuasi-senoidal generada por el CHB-MLI con la modulación PS-PWM y la Figura 4.18 muestra su contenido armónico.

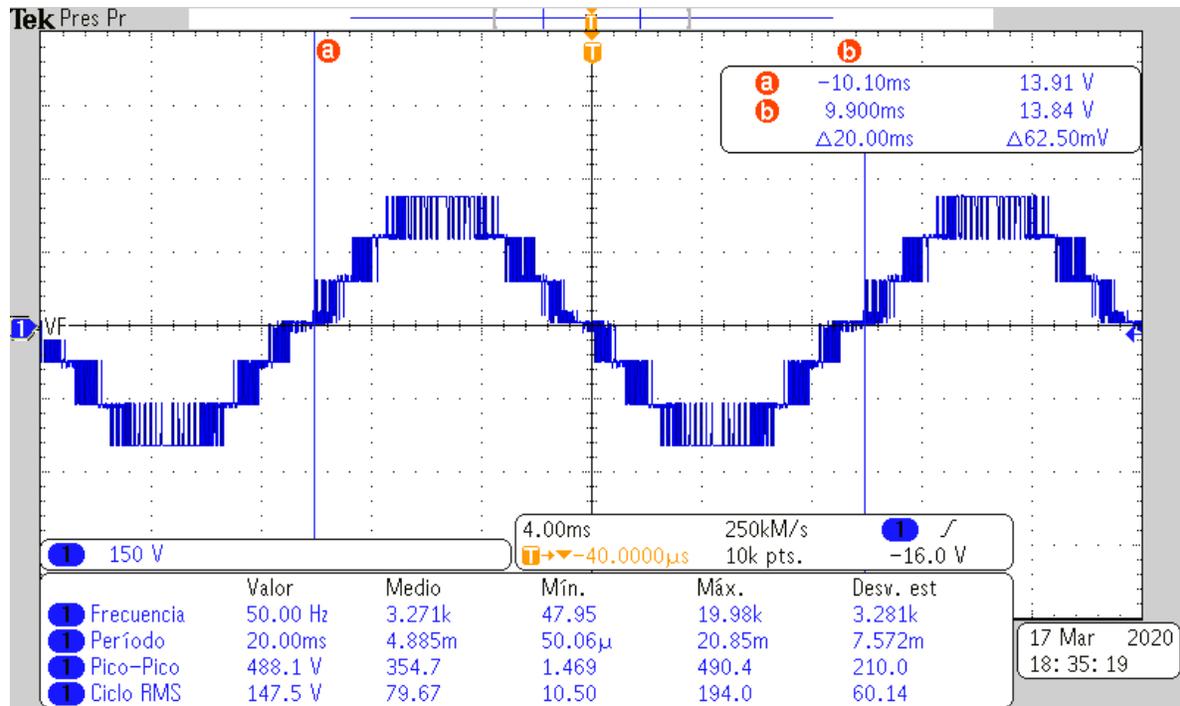


Figura 4.17. Señal cuasi-senoidal a la salida del CHB-MLI con la técnica PS-PWM.

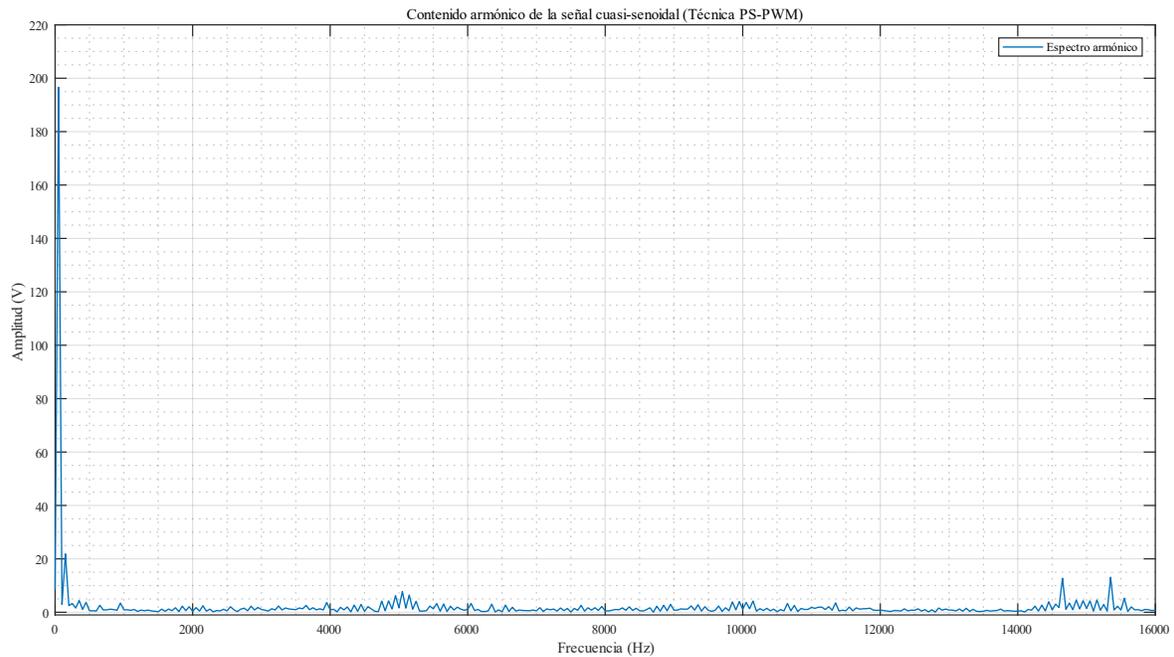


Figura 4.18. Contenido armónico de la señal cuasi-senoidal (técnica PS-PWM).

La Figura 4.19 ilustra la tensión procesada por cada celda del CHB-MLI al emplear la técnica modulación LS-PWM. Mientras que la Figura 4.20 detalla la misma función, pero con la corriente procesada por cada celda del CHB-MLI.

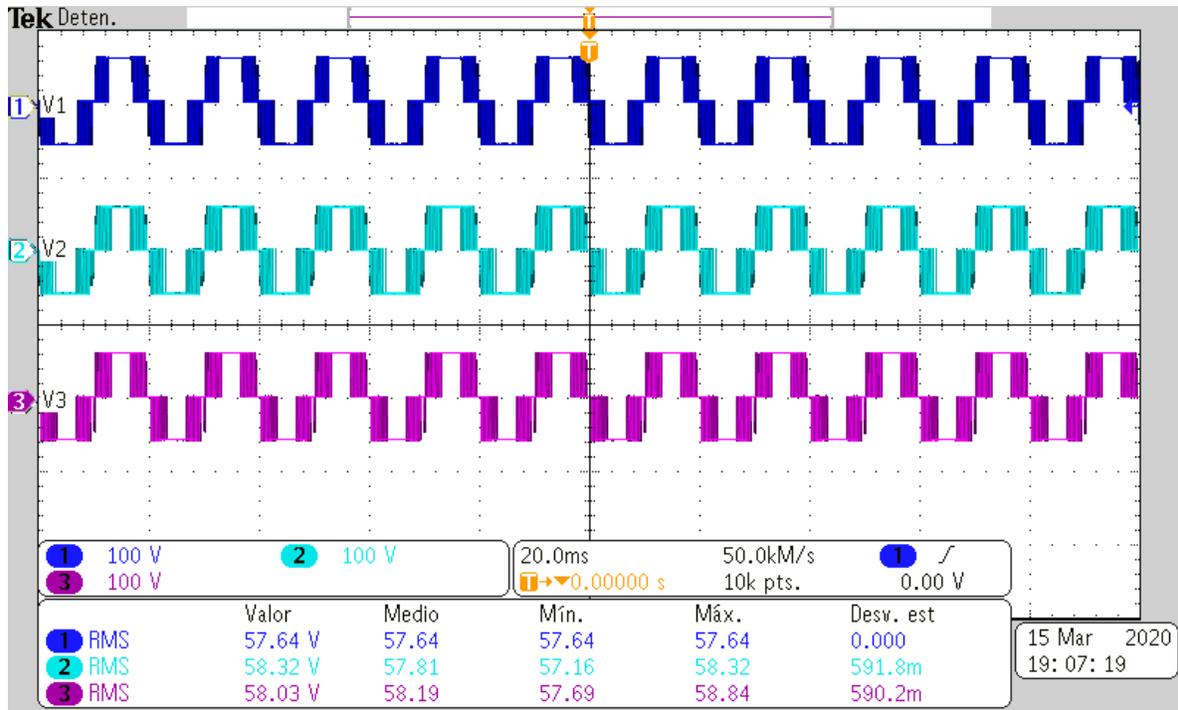


Figura 4.19. Tensión procesada por cada celda del CHB-MLI con la técnica PS-PWM.

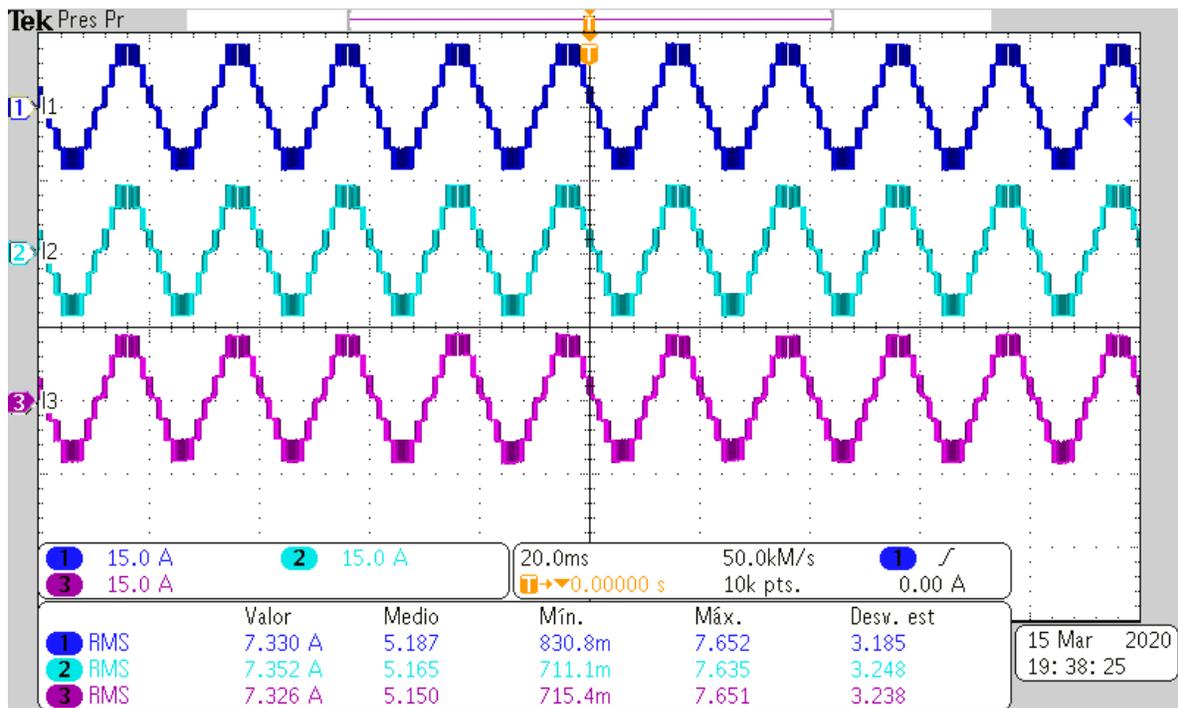


Figura 4.20. Corriente procesado por cada celda del CHB-MLI con la técnica PS-PWM.

4.3 Análisis de los resultados obtenidos

En esta actividad se organiza y presenta la información obtenida de las mediciones efectuadas al CHB-MLI prototipo de 7 niveles, que se presentaron en el subcapítulo anterior. Con la información recabada se puede evaluar y analizar el comportamiento de cada una de las cuatro técnicas de modulación estudiadas. Esta actividad se divide en 2 apartados:

El primer apartado agrupa y presenta en tablas los parámetros medidos con el osciloscopio (frecuencia, voltaje pico-pico y voltaje RMS), también se agregan los resultados del análisis de contenido armónico (% de THD, fundamental y armónico de portadora) para cada una de las cuatro técnicas de modulación estudiadas.

El segundo apartado consiste en analizar, a lo largo de un determinado número de ciclos, el comportamiento de la potencia procesada por cada una de las tres celdas que integran al CHB-MLI. Esta parte de la actividad es muy similar al trabajo que se efectuó en las simulaciones presentadas en el subcapítulo 2.3.

4.3.1 Valores de las pruebas realizadas a las técnicas de modulación

La Tabla 4.2 presentan los valores de frecuencia, voltaje pico-pico, voltaje RMS por ciclo y fundamental obtenidos para cada una de las cuatro técnicas de modulación evaluadas, todos estos valores son recabados de las mediciones efectuadas en el CHB-MLI de 7 niveles.

Tabla 4.2. Mediciones efectuadas a la señal resultante a la salida del CHB-MLI.

Frecuencia, voltaje pico pico, voltaje RMS por ciclo, THD, fundamental y armónico más significativo de portadora, por cada técnica de modulación				
	LS-PWM	PWM Rotativo	PWM Distribuido	PS-PWM
Frecuencia	51.28 Hz	50.2 Hz	50 Hz	50 Hz
Voltaje Pico-Pico	479.1 Vpp	463 Vpp	465 Vpp	488.1 Vpp
Voltaje RMS por ciclo	154 Vrms	148.1 Vrms	149.5 Vrms	147.5 Vrms
% de THD	1.9215	1.8781	1.6365	2.1473
Fundamental	206.44 V 50 Hz	204.65 V 50 Hz	203.41 V 50 Hz	196.6 V 50 Hz
Armónico de Portadora	18.21 V 2.55 kHz	15.8 V 2.55 kHz	16.84 V 2.55 kHz	13.11 V 15.35 kHz

La Tabla 4.3 muestra los valores de voltaje RMS y corriente RMS obtenidos en cada celda del CHB-MLI de 7 niveles al efectuar las pruebas a cada una de las cuatro técnicas de modulación evaluadas. Estos valores corresponden a un periodo de tres ciclos de la señal senoidal moduladora, es decir 60 ms.

Tabla 4.3. Mediciones de voltaje y corriente tomadas a cada celda del CHB-MLI.

Voltaje RMS y corriente RMS durante tres ciclos de la señal moduladora, para cada técnica de modulación evaluada				
	LS-PWM	PWM Rotativo	PWM Distribuido	PS-PWM
Voltaje RMS en Celda 1	46.99 Vrms	59.39 Vrms	58.57 Vrms	57.64 Vrms
Voltaje RMS en Celda 2	56.43 Vrms	59.42 Vrms	58.14 Vrms	58.32 Vrms
Voltaje RMS en Celda 3	66.38 Vrms	58.48 Vrms	58.97 Vrms	58.03 Vrms
Corriente RMS en Celda 1	7.585 A	7.705 A	7.652 A	7.33 A
Corriente RMS en Celda 2	7.595 A	7.712 A	7.635 A	7.352 A
Corriente RMS en Celda 3	7.601 A	7.709 A	7.651 A	7.326 A

La Tabla 4.4 emplea los valores de tensión RMS y corriente RMS de la Tabla 4.3 para calcular la potencia procesada por cada celda. Estos valores de potencia procesada por celda se suman para obtener el total de potencia a la salida del CHB-MLI prototipo (potencia recibida por la carga). Se observa que el total de potencia procesada es mayor para las técnicas PWM Rotativo y PWM Distribuido, técnicas con capacidad de balance de energía, con respecto a la técnica LS-PWM.

Tabla 4.4. Valores de potencia procesada por celda y total para cada técnica de modulación evaluada.

Potencia procesada en cada celda del CHB-MLI y total en la carga, para cada técnica de modulación evaluada				
	LS-PWM	PWM Rotativo	PWM Distribuido	PS-PWM
Potencia en Celda 1	356.419 W	457.599 W	448.177 W	422.501 W
Potencia en Celda 2	428.585 W	458.247 W	443.898 W	428.768 W
Potencia en Celda 3	504.554 W	450.822 W	451.179 W	425.127 W
Potencia total	1,289.558 W	1,366.668 W	1,343.254 W	1,276.396 W

4.3.2 Potencia procesada por las celdas del CHB-MLI durante 60 ms

De manera similar a las simulaciones de potencia presentadas en el subcapítulo 2.3, se grafica la potencia procesada por las tres celdas (y la potencia total) del CHB-MLI durante un periodo correspondiente a tres ciclos de la señal moduladora (60 ms). La información para generar las gráficas de potencia proviene de vectores de datos obtenidos de las formas de onda de tensión y corriente visualizadas previamente en el osciloscopio.

Con la Ecuación (9) se procesó la potencia obtenida de multiplicar el valor de corriente por los de tensión (provenientes de los vectores de datos). De este modo, gracias a la ecuación de valores RMS y sus gráficas se corrobora que las técnicas de modulación realicen un equilibrio de potencia por celda. De la Figura 4.21 a la Figura 4.24 se muestran las gráficas de potencia procesada por celda y total a la salida del CHB-MLI prototipo.

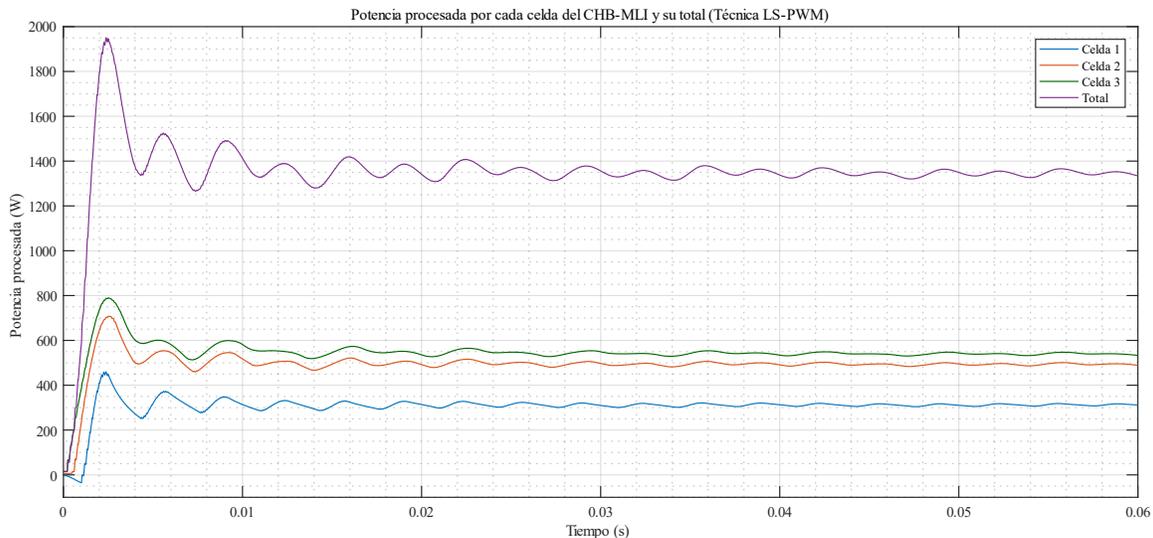


Figura 4.21. Potencia a la salida del CHB-MLI y por celda, con la técnica LS-PWM durante 60 ms.

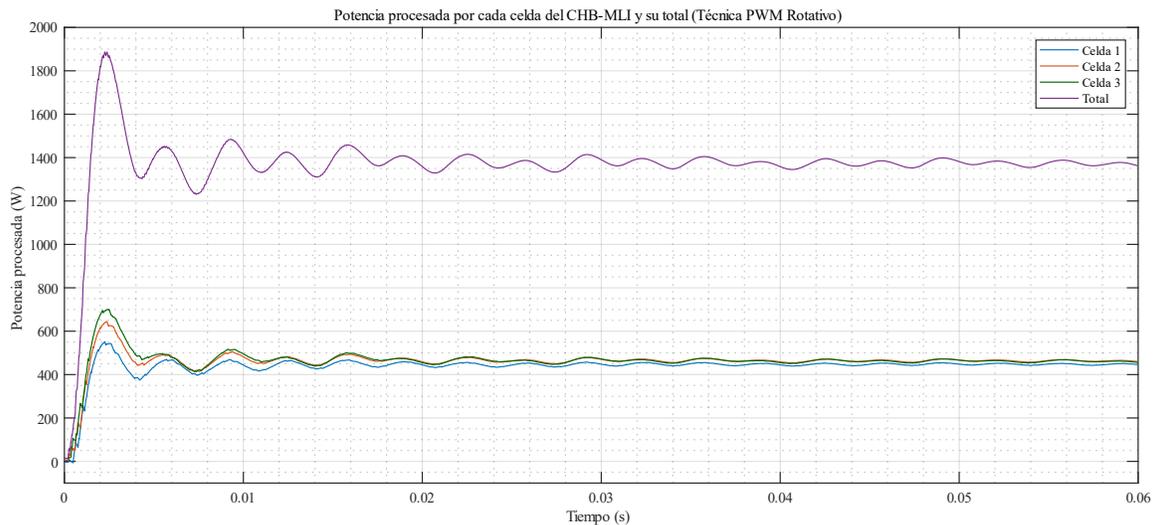


Figura 4.22. Potencia a la salida del CHB-MLI y por celda, con la técnica PWM Rotativo durante 60 ms.

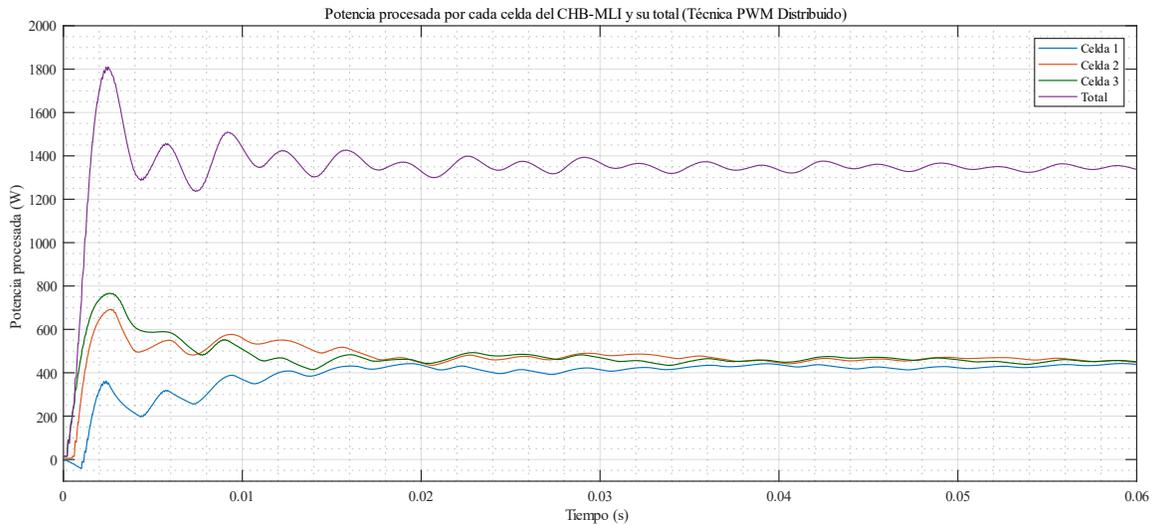


Figura 4.23. Potencia a la salida del CHB-MLI y por celda, con la técnica PWM Distribuido durante 60 ms.

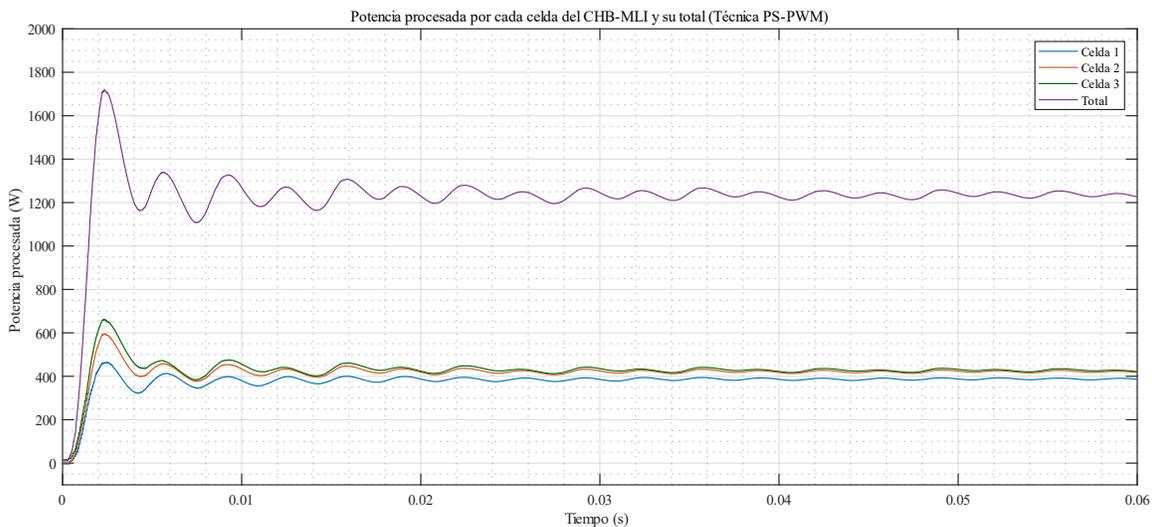


Figura 4.24. Potencia a la salida del CHB-MLI y por celda, con la técnica PS-PWM durante 60 ms.

Tomando como referencia a la celda con mayor cantidad de potencia procesada para cada técnica de modulación (ver Tabla 4.4), se calculan los porcentajes de variación de las otras dos celdas con respecto a su referencia. Los resultados se presentan en la Tabla 4.5.

Tabla 4.5. Variación de la potencia procesada entre las celdas del CHB-MLI prototipo.

Variación de la potencia procesada por las celdas 1 y 2 con respecto a la celda 3				
	Celda 1	Celda 2	Celda 3	Acumulado
LS-PWM	29.35 %	15.05 %	Referencia	44.4 %
PWM Rotativo	0.14 %	Referencia	1.62 %	1.76 %
PWM Distribuido	0.66 %	1.61 %	Referencia	2.27 %
PS-PWM	1.46 %	Referencia	0.84 %	2.3 %

4.3.3 Conversión de los valores de potencia a energía

Siguiendo el ejemplo presentado por Gadalla [27], se tomaron los valores de potencia procesada por cada celda del CHB-MLI y potencia total presente en la carga para ser convertidos a valores de energía. Estos datos son presentados en la Tabla 4.4. La relación que existe entre la energía (expresada en joules) con los valores de potencia procesada (expresado en watts) y el tiempo (expresado en segundos) es presentada en la Ecuación (16).

$$E = P_p * t_v \quad (16)$$

Donde “E” corresponde al valor de la energía, “P_p” es un valor de potencia procesada y “t_v” es el periodo almacenado en los vectores de datos.

Al sustituir en la Ecuación (16) los valores de potencia procesada de la Tabla 4.4 y el periodo correspondiente a los 60 ms que se encuentran almacenados en los vectores de datos, se obtiene la Tabla 4.6 con los valores de energía.

Tabla 4.6. Valores de energía por celda y total para cada técnica de modulación evaluada.

Energía en cada celda del CHB-MLI y total en la carga, para cada técnica de modulación evaluada				
	LS-PWM	PWM Rotativo	PWM Distribuido	PS-PWM
Energía en Celda 1	21.385 J	27.455 J	26.89 J	25.35 J
Energía en Celda 2	25.715 J	27.494 J	26.633 J	25.726 J
Energía en Celda 3	30.273 J	27.049 J	27.07 J	25.507 J
Energía total	77.373 J	81.998 J	80.593 J	76.583 J

A continuación, se presentan las gráficas de energía para cada técnica de modulación estudiada. Estas graficas se generan a partir de los vectores de datos ya mencionados.

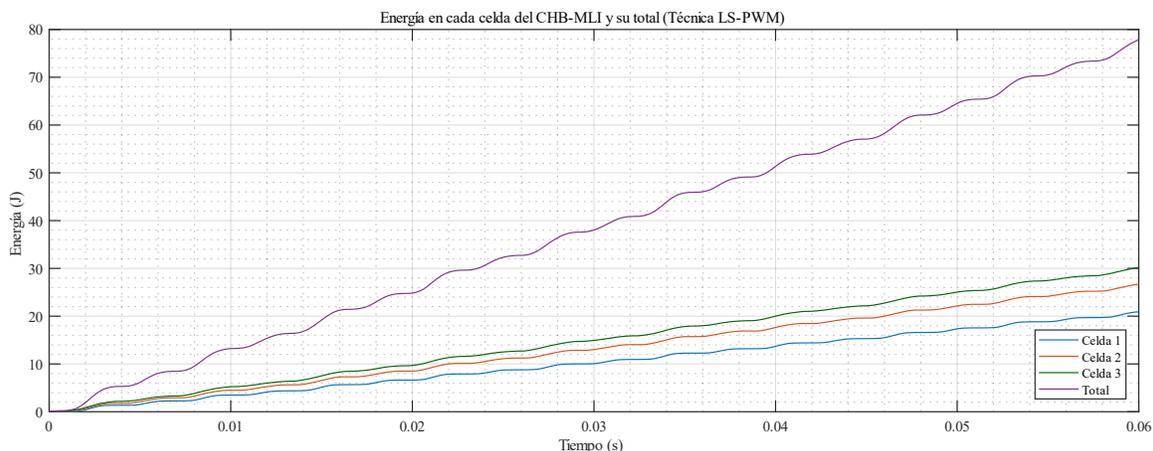


Figura 4.25. Energía a la salida del CHB-MLI y por celda, con la técnica LS-PWM durante 60 ms.

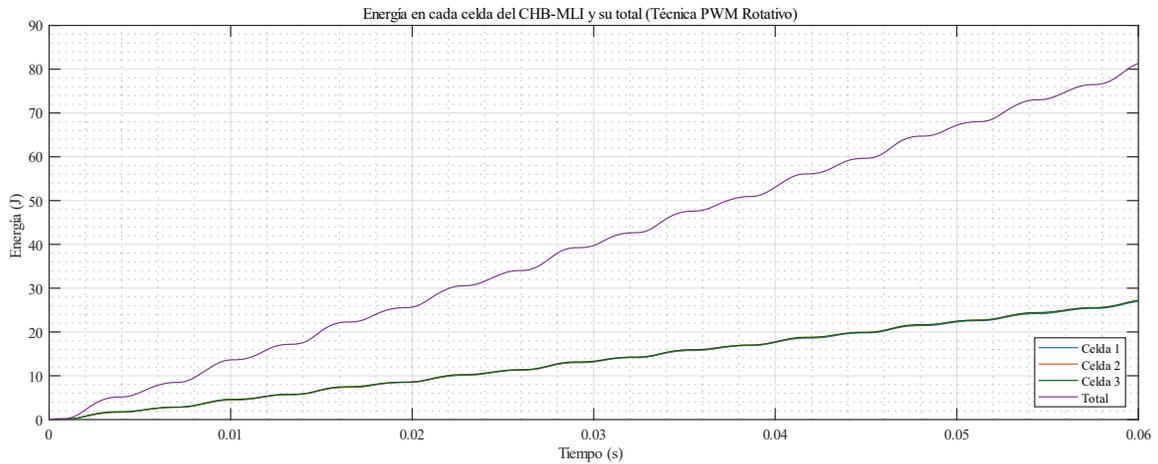


Figura 4.26. Energía a la salida del CHB-MLI y por celda, con la técnica PWM Rotativo durante 60 ms.

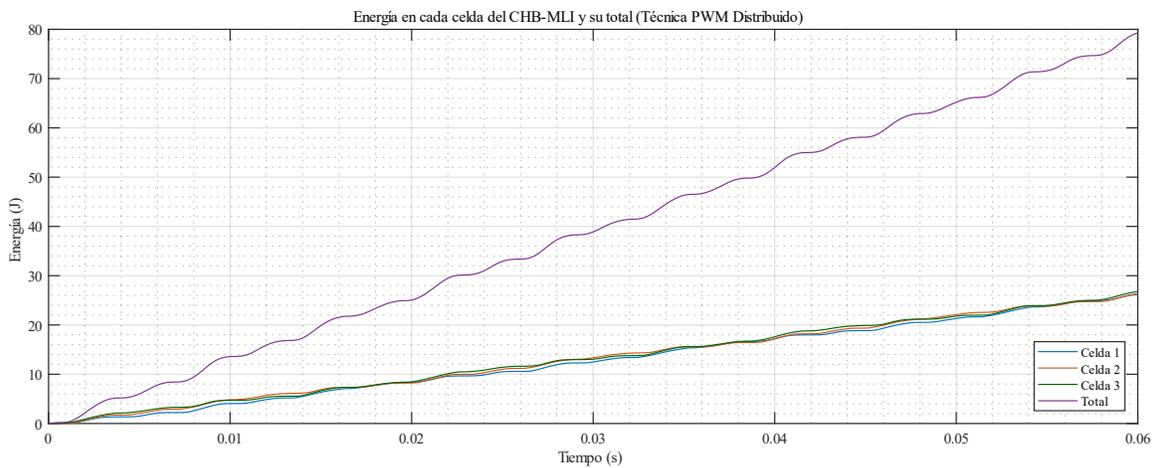


Figura 4.27. Energía a la salida del CHB-MLI y por celda, con la técnica PWM Distribuido durante 60 ms.

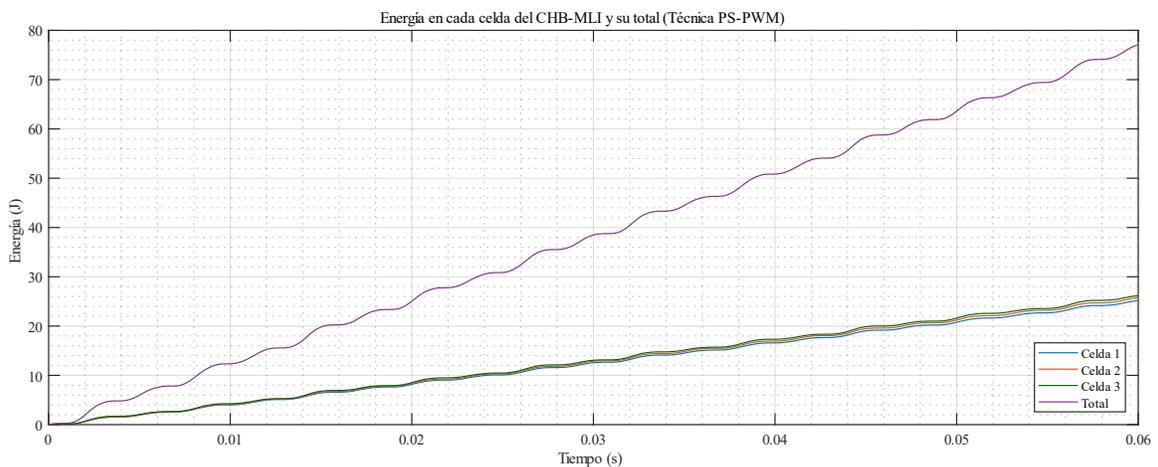


Figura 4.28. Energía a la salida del CHB-MLI y por celda, con la técnica PS-PWM durante 60 ms.

Las funciones mostradas de la Figura 4.25 a la Figura 4.28 describen la transferencia de energía en cada una de las celdas del CHB-MLI prototipo según la técnica evaluada. Al concluir los 60 ms se obtiene el valor final de energía por celda, estos valores de energía por cada grafica corresponden con los valores presentados en la Tabla 4.6.

Capítulo 5: Conclusiones del trabajo de tesis y trabajos futuros

Este capítulo brinda el cierre de la información reportada por este trabajo de tesis. Se presentan las conclusiones obtenidas al analizar los resultados producidos en las pruebas de laboratorio. Además, se brindan algunas propuestas de trabajos futuros para continuar desarrollando el tema de investigación abordado.

5.1 Conclusiones del trabajo de tesis

Una vez detalladas todas las actividades desarrolladas en este trabajo de investigación, se analizan los resultados obtenidos para llegar a las siguientes observaciones y conclusiones.

5.1.1 Observaciones del trabajo desarrollado

El estudio del estado del arte permitió conocer tres técnicas de modulación propuestas para generar el balance de energía procesada en las celdas de un inversor multinivel. Dichas técnicas de modulación son: la técnica PWM Rotativo, la técnica PWM Distribuido y la técnica PS-PWM. La Tabla 1.2 permite corroborar que la técnica PWM Rotativo es la propuesta más veces mencionada en los trabajos de investigación encontrados.

Las simulaciones muestran que algunas de las técnicas propuestas presentan ciertos compromisos con respecto a la técnica LS-PWM. La técnica PWM Rotativo que varía el nivel de las portadoras, mejora la distribución de la energía desde el primer ciclo de senoidal. La técnica PWM Distribuido también varía el nivel de las portadoras, pero el balance de energía se consigue después de un cierto número de ciclos. Mientras que la técnica PS-PWM también requiere de varios ciclos de senoidal para conseguir el balance de potencia, y como consecuencia incrementa el número de pulsos de comando generados de forma drástica.

La implementación de las cuatro técnicas de modulación en un prototipo para pruebas de laboratorio basado en un CHB-MLI de 7 niveles permitió validar el comportamiento visto en las simulaciones. Al observar los valores de la Tabla 4.3 a la Tabla 4.6, se puede corroborar que las técnicas PWM Rotativo, PWM Distribuido y PS-PWM mejoran la distribución de potencia y energía en cada celda del CHB-MLI, en comparación con la potencia y energía que la técnica LS-PWM ordena procesar en cada celda del inversor.

La técnica PWM Rotativo comparada con las otras técnicas presenta valores de potencia procesada y energía ligeramente más elevados (por lo que efectúa un mejor aprovechamiento de los buses de alimentación CD), además de un menor porcentaje de variación entre celdas. La gráfica de potencias procesadas de la técnica PWM Rotativo (Figura 4.22), muestra que el comportamiento de dichas potencias durante los 60 ms tiene una variación despreciable.

5.1.2 Conclusiones finales

- La implementación efectuada en FPGA cumplió con los requerimientos solicitados.
- La técnica de modulación PWM Rotativo es la que brinda mejores prestaciones de las técnicas de modulación analizadas, consiguiendo el balance de potencia y energía.
- No se encuentran inconvenientes si se reemplaza a la técnica LS-PWM con la técnica PWM Rotativo.

5.2 Trabajos futuros

Para dar continuidad al estudio presentado en este trabajo de tesis se propone atender los siguientes puntos:

- Efectuar una comparación de las técnicas de modulación con capacidad de balance de energía ajustando las frecuencias de las portadoras (PS-PWM), para que todas las técnicas arrojen resultados similares de contenido armónico.
- Analizar el comportamiento térmico de las cuatro técnicas de modulación implementadas en el CHB-MLI prototipo.
- Realizar una comparación de las cuatro técnicas de modulación variando su índice de modulación en amplitud, con el propósito de observar su comportamiento en los estados de sub-modulación y sobremodulación.
- Agregar a la comparación de las técnicas con capacidad de balance de energía la técnica de modulación PWM híbrido, que resulta de combinar la técnica PWM Rotativo y PS-PWM.
- Implementar en la FPGA un generador de pulsos de comando basado en la discretización de las señales analógicas de cualquier técnica SPWM.

Referencias

- [1] L. G. Franquelo, J. Rodriguez, J. I. Leon, S. Kouro, R. Portillo, and M. A. M. Prats, “The age of multilevel converters arrives,” *IEEE Ind. Electron. Mag.*, vol. 2, no. 2, pp. 28–39, 2008, doi: 10.1109/MIE.2008.923519.
- [2] J. Rodriguez, Jih-Sheng Lai, and Fang Zheng Peng, “Multilevel inverters: a survey of topologies, controls, and applications,” *IEEE Trans. Ind. Electron.*, vol. 49, no. 4, pp. 724–738, 2002, doi: 10.1109/TIE.2002.801052.
- [3] A. Nabae, I. Takahashi, and H. Akagi, “A New Neutral-Point-Clamped PWM Inverter,” *IEEE Trans. Ind. Appl.*, vol. IA-17, no. 5, pp. 518–523, 1981, doi: 10.1109/TIA.1981.4503992.
- [4] Jih-Sheng Lai and Fang Zheng Peng, “Multilevel converters—a new breed of power converters,” *IEEE Trans. Ind. Appl.*, vol. 32, no. 3, pp. 509–517, May 1996, doi: 10.1109/28.502161.
- [5] R. G. Jani and P. N. Kapil, “Analysis of different modulation techniques for multilevel inverters,” in *2016 IEEE 1st International Conference on Power Electronics, Intelligent Control and Energy Systems (ICPEICES)*, 2016, pp. 1–6, doi: 10.1109/ICPEICES.2016.7853179.
- [6] S. Sankarakumar *et al.*, “Performance Analysis of Multicarrier Sine PWM Based Cascaded H-Bridge Multi Level Inverter,” in *2018 2nd International Conference on Trends in Electronics and Informatics (ICOEI)*, May 2018, pp. 1018–1023, doi: 10.1109/ICOEI.2018.8553726.
- [7] T. Petter, H. Raffel, and B. Orlik, “Multi-level converter power unit,” in *2005 European Conference on Power Electronics and Applications*, 2005, pp. 10 pp.-P.10, doi: 10.1109/EPE.2005.219324.
- [8] B. Rajesh and Manjesh, “Comparison of harmonics and THD suppression with three and 5 level multilevel inverter-cascaded H-bridge,” in *2016 International Conference on Circuit, Power and Computing Technologies (ICCPCT)*, 2016, pp. 1–6, doi: 10.1109/ICCPCT.2016.7530116.
- [9] E. Babaei, C. Buccella, and M. Saeedifard, “Recent Advances in Multilevel Inverters and Their Applications—Part I,” *IEEE Trans. Ind. Electron.*, vol. 63, no. 11, pp. 7145–7147, Nov. 2016, doi: 10.1109/TIE.2016.2602270.
- [10] E. Babaei, C. Buccella, and M. Saeedifard, “Recent Advances in Multilevel Inverters and Their Applications—Part II,” *IEEE Trans. Ind. Electron.*, vol. 63, no. 12, pp. 7777–7779, 2016, doi: 10.1109/TIE.2016.2610943.
- [11] A. M. Hava, R. J. Kerkman, and T. A. Lipo, “Simple analytical and graphical methods for carrier-based PWM-VSI drives,” *IEEE Trans. Power Electron.*, vol. 14, no. 1, pp. 49–61, 1999, doi: 10.1109/63.737592.
- [12] S. Thamizharasan, J. Baskaran, S. Ramkumar, and S. Mubarak Ali, “Modified carrier

- PWM strategies for multilevel inverters,” in *2013 International Conference on Computation of Power, Energy, Information and Communication (ICCPEIC)*, 2013, pp. 51–54, doi: 10.1109/ICCPEIC.2013.6778497.
- [13] B. P. McGrath and D. G. Holmes, “A comparison of multicarrier PWM strategies for cascaded and neutral point clamped multilevel inverters,” in *2000 IEEE 31st Annual Power Electronics Specialists Conference. Conference Proceedings (Cat. No.00CH37018)*, 2000, vol. 2, pp. 674–679 vol.2, doi: 10.1109/PESC.2000.879898.
- [14] G. Carrara, S. Gardella, M. Marchesoni, R. Salutari, and G. Sciutto, “A new multilevel PWM method: a theoretical analysis,” *IEEE Trans. Power Electron.*, vol. 7, no. 3, pp. 497–505, 1992, doi: 10.1109/63.145137.
- [15] Y. Li and B. Wu, “A Novel DC Voltage Detection Technique in the CHB Inverter-Based STATCOM,” *IEEE Trans. Power Deliv.*, vol. 23, no. 3, pp. 1613–1619, 2008, doi: 10.1109/TPWRD.2008.919251.
- [16] E. Bárcenas, “Análisis y Desarrollo de un Inversor Multinivel,” Tesis de Maestría, CENIDET, Cuernavaca, Morelos, 2002.
- [17] C. A. Sanabria, “Estrategia PWM Implementada en un FPGA para Aplicación en Inversores Multinivel,” Tesis de Maestría, CENIDET, Cuernavaca, Morelos, 2004.
- [18] R. Vargas, “Convertidor Multinivel en Cascada con Emulación de Fallas en Circuito Abierto en los Interruptores,” Tesis de Maestría, CENIDET, Cuernavaca, Morelos, 2011.
- [19] D. D. Mora, “Análisis de un convertidor multinivel en cascada con tolerancia a fallas en los interruptores empleando la técnica IPDPWM,” Tesis de Maestría, CENIDET, Cuernavaca, Morelos, 2004.
- [20] J. A. Estrada, “Modulador PWM en FPGA para un Inversor Multinivel en Cascada,” Tesis de Maestría, CENIDET, Cuernavaca, Morelos, 2009.
- [21] O. Jimenez, “Estudio de Técnicas de Modulación para el Inversor Multinivel en Cascada Híbrido (Simétrico-Asimétrico),” Tesis de Maestría, CENIDET, Cuernavaca, Morelos, 2012.
- [22] A. Figueroa, “Eliminación de Armónicos en un Inversor Multinivel en Cascada Asimétrico con Fuentes Desiguales,” Tesis de Maestría, CENIDET, Cuernavaca, Morelos, 2015.
- [23] Nimmi and A. Mahesh, “Carrier rotation schemes for equal device conduction periods in Cascaded H-bridge Multilevel Inverter,” in *2018 International Conference on Power Energy, Environment and Intelligent Control (PEEIC)*, pp. 696–701, 2018, doi: 10.1109/PEEIC.2018.8665419.
- [24] I. Sarkar and B. G. Fernandes, “Modified hybrid multi-carrier PWM technique for cascaded H-Bridge multilevel inverter,” in *IECON 2014 - 40th Annual Conference of the IEEE Industrial Electronics Society*, Oct. 2014, pp. 4318–4324, doi: 10.1109/IECON.2014.7049152.

- [25] J. V Rao and A. Mahesh, "Hardware implementation of carrier rotation strategy for Cascaded H-bridge multilevel inverters," in *2017 International Conference on Computing, Communication and Automation (ICCCA)*, May 2017, pp. 1578–1583, doi: 10.1109/CCAA.2017.8230055.
- [26] M. Xiao, Q. Xu, and H. Ouyang, "An Improved Modulation Strategy Combining Phase Shifted PWM and Phase Disposition PWM for Cascaded H-Bridge Inverters," *Energies*, vol. 10, no. 9, p. 1327, Sep. 2017, doi: 10.3390/en10091327.
- [27] A. S. Gadalla, X. Yan, S. Y. Altahir, and H. Hasabelrasul, "Evaluating the capacity of power and energy balance for cascaded H-bridge multilevel inverter using different PWM techniques," *J. Eng.*, vol. 2017, no. 13, pp. 1713–1718, 2017, doi: 10.1049/joe.2017.0624.
- [28] J. V. Rao and A. Mahesh, "Carrier Rotation Strategies for Equal Power Distributions in Cascaded H-Bridge Multilevel Inverters," *Int. J. Emerg. Electr. Power Syst.*, vol. 18, no. 5, p. 20170076, 2017, doi: 10.1515/ijeeps-2017-0076.
- [29] A. K. Sadigh, V. Dargahi, and K. Corzine, "New active capacitor voltage balancing method for five-level stacked multicell converter," in *2016 IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2016, pp. 1191–1197, doi: 10.1109/APEC.2016.7468020.
- [30] K. K. Gupta, P. Bhatnagar, H. Vahedi, and K. Al-Haddad, "Carrier based PWM for even power distribution in cascaded H-bridge multilevel inverters within single power cycle," in *IECON 2016 - 42nd Annual Conference of the IEEE Industrial Electronics Society*, Oct. 2016, pp. 6470–6475, doi: 10.1109/IECON.2016.7793061.
- [31] D. Sreenivasarao, P. Agarwal, and B. Das, "Performance evaluation of carrier rotation strategy in level-shifted pulse-width modulation technique," *IET Power Electron.*, vol. 7, no. 3, pp. 667–680, 2014, doi: 10.1049/iet-pel.2013.0109.
- [32] J. Chavarria, D. Biel, F. Guinjoan, C. Meza, and J. J. Negroni, "Energy-Balance Control of PV Cascaded Multilevel Grid-Connected Inverters Under Level-Shifted and Phase-Shifted PWMs," *IEEE Trans. Ind. Electron.*, vol. 60, no. 1, pp. 98–111, 2013, doi: 10.1109/TIE.2012.2186108.
- [33] M. Angulo, P. Lezana, S. Kouro, J. Rodriguez, and B. Wu, "Level-shifted PWM for Cascaded Multilevel Inverters with Even Power Distribution," in *2007 IEEE Power Electronics Specialists Conference*, 2007, pp. 2373–2378, doi: 10.1109/PESC.2007.4342382.
- [34] D.-. Kang, W.-. Lee, and D.-. Hyun, "Carrier-rotation strategy for voltage balancing in flying capacitor multilevel inverter," *IEE Proc. - Electr. Power Appl.*, vol. 151, no. 2, pp. 239–248, 2004, doi: 10.1049/ip-epa:20040220.
- [35] M. Xiao, Q. Xu, and H. Ouyang, "An Improved Modulation Strategy Combining Phase Shifted PWM and Phase Disposition PWM for Cascaded H-Bridge Inverters," *Energies*, vol. 10, no. 9, 2017, doi: 10.3390/en10091327.
- [36] D. W. Hart, *Power Electronics*. McGraw-Hill Higher Education, 2010.

- [37] M. H. Rashid, *Power Electronics: Devices, Circuits, and Applications, International Edition*. Pearson Education Limited, 2014.
- [38] N. Mohan, T. M. Undeland, and W. P. Robbins, *Power Electronics: Converters, Applications, and Design*, no. v. 1. Wiley, 2003.
- [39] S. Bernet, “Recent developments of high power converters for industry and traction applications,” *IEEE Trans. Power Electron.*, vol. 15, no. 6, pp. 1102–1117, Nov. 2000, doi: 10.1109/63.892825.
- [40] K. K. Gupta and P. Bhatnagar, *Multilevel Inverters: Conventional and Emerging Topologies and Their Control*. Elsevier Science, 2017.
- [41] H. Amano, *Principles and Structures of FPGAs*. Springer Singapore, 2018.
- [42] D. G. Bailey, *Design for Embedded Image Processing on FPGAs*. Wiley, 2011.
- [43] J. J. Rodriguez, E. de la Torre, and M. D. Valdes, *FPGAs: Fundamentals, Advanced Features, and Applications in Industrial Electronics*. CRC Press, 2017.
- [44] B. J. LaMeres, *Introduction to Logic Circuits & Logic Design with VHDL*. Springer International Publishing, 2019.
- [45] B. J. LaMeres, *Introduction to Logic Circuits & Logic Design with Verilog*. Springer International Publishing, 2019.
- [46] B. Chavarria, J. Aguayo, S. De Leon, and J. Chacha, “Implementación de señales de conmutación tipo SPWM en FPGA para inversores multinivel,” in *CIINDET 2019 - Tecnologías Útiles para la Sustentabilidad Energética para Beneficio de la Sociedad*, 2019, pp. 14–20.
- [47] Lattice Semiconductor, “iCE40 LP/HX Family Data Sheet,” Portland, USA, 2018.
- [48] L. Valenty, “TinyFPGA BX User Guide.” <https://tinyfpga.com/bx/guide.html> (accessed Jul. 22, 2020).
- [49] International IOR Rectifier, “IRAMS10UP60B,” Kansas St., USA, 2012.
- [50] Fairchild Semiconductor Corporation, “HIGH SPEED-10 MBit/s LOGIC GATE OPTOCOUPLED SINGLE-CHANNEL 6N137 HCPL-2601 HCPL-2611 DUAL-CHANNEL HCPL-2630 HCPL-2631,” Sunnyvale, USA, 2001.