



EDUCACIÓN

SECRETARÍA DE EDUCACIÓN PÚBLICA



TECNOLÓGICO
NACIONAL DE MÉXICO

Tecnológico Nacional de México

Centro Nacional de Investigación
y Desarrollo Tecnológico

Tesis de Maestría

Análisis de tiempo muerto en el convertidor
multinivel en cascada

presentada por

Ing. Mayra Rocio Valencia Brito

como requisito para la obtención del grado
de

**Maestra en Ciencias en Ingeniería
Electrónica**

Director de tesis

Dr. Jesús Aguayo Alquicira

Codirector de tesis

Dr. Víctor Hugo Olivares Peregrino

Cuernavaca, Morelos, México. Agosto del 2022



Cuernavaca,
Mor.,
No. de Oficio:
Asunto:

08/agosto/2022

DIE/112/2022

Aceptación de documentos de tesis

DR. CARLOS MANUEL ASTORGA ZARAGOZA
SUBDIRECTOR ACADÉMICO
PRESENTE

Por este conducto, los integrantes de Comité Tutorial de la C. Ing. Mayra Rocio Valencia Brito, con número de control M20CE080 de la Maestría en Ciencias en Ingeniería Electrónica, le informamos que hemos revisado el trabajo de tesis profesional titulado "Análisis de Tiempo Muerto en el Inversor Multinivel en Cascada" y hemos encontrado que se han realizado todas las correcciones y observaciones que se le indicaron, por lo que hemos acordado aceptar el documento de tesis y le solicitamos la autorización de impresión definitiva.

DIRECTOR DE TESIS

Dr. Jesús Aguayo Alquicira
Doctor en Ciencias en Ingeniería
Electrónica
Cédula profesional 4706315

CODIRECTOR DE TESIS

Dr. Víctor Hugo Olivares Peñegrino
Doctor en Ciencias en Ingeniería
Electrónica
Cédula profesional 5999002

REVISOR 1

Dr. Rodolfo Amalio Vargas Méndez
Doctor en Ciencias en Ingeniería
Electrónica
Cédula profesional 9526506

REVISOR 2

Dr. Jarniel García Morales
Doctor en Ciencias en Ingeniería
Electrónica
Cédula profesional 11106825

Cp. Lic. Silvia del Carmen Ortiz Fuentes- jefa del Departamento de Servicios Escolares
Estudiante
HEE/mrsr





Cuernavaca, Mor.,
No. De Oficio:
Asunto:

08/agosto/2022
SAC/125/2022
Autorización de
impresión de tesis

**MAYRA ROCIO VALENCIA BRITO
CANDIDATA AL GRADO DE MAESTRA EN CIENCIAS
EN INGENIERÍA ELECTRÓNICA
PRESENTE**

Por este conducto, tengo el agrado de comunicarle que el Comité Tutorial asignado a su trabajo de tesis titulado "Análisis de Tiempo Muerto en el Inversor Multinivel en Cascada", ha informado a esta Subdirección Académica, que están de acuerdo con el trabajo presentado. Por lo anterior, se le autoriza a que proceda con la impresión definitiva de su trabajo de tesis.

Esperando que el logro del mismo sea acorde con sus aspiraciones profesionales, reciba un cordial saludo.

ATENTAMENTE
Excelencia en Educación Tecnológica®
"Educación Tecnológica al Servicio de México"

**DR. CARLOS MANUEL ASTORGA ZARAGOZA
SUBDIRECTOR ACADÉMICO**



C. c. p. Departamento de Ingeniería Eléctrica
Departamento de Servicios Escolares

CMAZ/CHG



Dedicatorias:

A mi Mamita.

*El camino que nos tocó recorrer ha sido difícil, pero gracias a el tenemos la gran oportunidad de a vernos conocido más, hoy te dedico mi tesis, a ti mamá que me has apoyado en todo momento, gracias por ser como eres, gracias por no fastidiarte, y sobre todo gracias por quererme como yo te quiero a ti, la vida no es fácil y si lo fuese estaríamos en una zona de confort, en donde no valoraríamos los pequeños grandes momentos.

Gracias por creer en mí, porque después de ti nada importa.

Con todo mi amor para ti mamita Martha Valencia Brito, eres mi infinito para siempre.

A Mayra.

*Me dedico mi tesis a mí, a mi esfuerzo, a mi paciencia, a mis ganas de salir adelante, me dedico esto por que no ha sido fácil, si yo hablara de mi como tercera persona te diría: Mayra lo lograste, al final las dificultades que atravesaste siempre te ayudaron a ser mejor cada día tanto personalmente como intelectualmente.

A el ser supremo.

*Todos necesitamos creer en algo, en un ser superior que en momentos difíciles nos haga no caer a un mundo de oscuridad, no me considero fiel creyente de dios, pero si creo en la energía, universo, espiritualidad y a esos seres de luz les dedico este logro.

Agradecimientos:

Al centro nacional de investigación y Desarrollo Tecnológico (cenidet) por haberme dado la oportunidad de realizar mis estudios de posgrado en el area de maestría en ciencias de la ingeniería electrónica.

Al Dr. Jesús Aguayo Alquicira por proponer un tema de tesis muy interesante y así yo poderlo seleccionar.

Al Dr. Víctor Hugo Olivares Peregrino que desde el primer día que tuve el privilegio de tomar su clase, procuro explicarme a detalle lo que es electrónica de Potencia, aprendí mucho, a lo largo del camino de la Maestría como mi codirector se pudo llegar al objetivo esperado gracias a su empeño y perseverancia, pues no dejo a la deriva la Tesis lo único que hizo es echarle muchas ganas al trabajo realizado.

Al Dr. Rodolfo Amalio Vargas Méndez por a verse dado el tiempo, el espacio para darme asesorías, por no dejar que se este trabajo se diera por perdido, por el enorme apoyo, muchas gracias.

Al Dr. Jarniel García Morales quien se dio a la misión de estar en el comité de revisores, agradezco el que este y sus criticas tan acertadas para mejorar el trabajo de investigación. Muchas Gracias

Al Dr. Mario Ponce quien fue mi profesor de Resonantes y se dio el espacio de enseñarme a utilizar PSpice, a quien le preguntaba

y jamás se negó a explicarme, quien me oriento a tener amor a la investigación.

Al Dr. Hugo Gjumlich quien se dio el tiempo de darme asesorías, para atender cualquier duda que tuviese.

Al Dr. Jaime Eugenio Arau Roffiel porque sin sus comentarios jamás me hubiera motivado tanto para echarle tantas ganas a la maestría pues di el 200%.

A Rocío Salazar por que sin usted mis tramites hubiesen sido muy difíciles, agradezco su empatía, su humanidad, no tengo como agradecerle.

A el maestro Manuel Marín que a pesar de que jamás nos conocimos de manera presencial, se daba su espacio para poderme asesorar referente a la simulación.

A mi compañero Sergio Iván Suriano Sánchez que siempre mostro bueno vibra al explicarme una y otra vez lo mismo, se daba un espacio para poder responderme dudas, un gran maestro para sus discípulos.

A mi muy querido amigo Adán López, quien se apareció en mi vida como esas casualidades que siempre se agradecen, que me ha ayudado en mi camino y sin él, estos breves momentos fuesen imposibles, eres mi ángel, jamás podría agradecerte todo lo que haces por mí.

A mi querido Lenin Palacios, que desde que inicie este camino a estado conmigo, apoyándome cuando e necesitado de su ayuda,

gracias por estar aquí a pesar de la distancia, tu apoyo ha sido incondicional.

A la vida, gracias por permitirme estar viviendo estos momentos, gracias por permitirme estar.

Al Consejo Nacional de Ciencia y Tecnología (conacyt) por el apoyo económico durante mi estancia en cenidet. Fue un honor ser parte de esto. Muchas gracias

iiiEn lo general quiero agradecer a todo el personal del cenidet, Muchas Gracias!!!

Lo que es correcto no siempre es popular y lo que es popular no siempre es correcto. A. Einstein

CONTENIDO

RESUMEN.....	III
ABSTRACT	IV
LISTA DE ACRONIMOS.....	V
NOMENCLATURA.....	VII
LISTA DE FIGURAS	IX
LISTA DE TABLAS	XI
CAPÍTULO 1 “INTRODUCCIÓN GENERAL”	1
1.1 INTRODUCCIÓN.....	2
1.2 ANTECEDENTES.....	4
1.3 ESTADO DEL ARTE.	5
1.4 PROBLEMÁTICA Y PROPUESTA SOLUCIÓN.....	11
1.5 OBJETIVO GENERAL Y OBJETIVOS ESPECÍFICOS.....	11
1.6 ALCANCES Y LIMITACIONES.	12
1.7 ORGANIZACIÓN DEL DOCUMENTO.	12
CAPÍTULO 2 “INVERSORES MULTINIVEL”	14
2.1 INTRODUCCIÓN.....	15
2.2 CARACTERÍSTICAS DE LOS CONVERTIDORES MULTINIVEL.....	15
2.3 CONFIGURACIONES MULTINIVEL.	16
2.4 INVERSORES MULTINIVEL DIODO ENCLAVADO.....	16
2.5 INVERSOR MULTINIVEL CONDENSADORES FLOTANTES.....	16
2.6 INVERSOR MULTINIVEL EN CASCADA.	17
2.6.1 Inversor de medio puente.	18
2.6.2 Inversor de puente completo	19
2.7 VENTAJAS Y DESVENTAJAS DE LAS TRES TOPOLOGÍAS	20
2.8 SELECCIÓN DE TIPO DE TRANSISTOR	21
2.9 SELECCIÓN DEL TIPO DE SOFTWARE DE SIMULACIÓN A UTILIZAR.....	22
2.10 DISEÑO DEL CONVERTIDOR MULTINIVEL	23
CAPÍTULO 3 “TÉCNICAS DE MODULACIÓN BASADA EN NIVELES”	24
3.1 INTRODUCCIÓN	25
3.2 SHE.....	27
3.2.1 Método de Newton-Raphson.	28
3.3 MODULACIÓN SENOIDAL DE ANCHO DE PULSO.....	29
3.4 SELECCIÓN DE LA TÉCNICA DE MODULACIÓN	29

CAPÍTULO 4 “TIEMPO MUERTO”	31
4.1 INTRODUCCIÓN.....	32
4.2 TIEMPO MUERTO.	32
4.3 EFECTO DEL TIEMPO MUERTO.....	35
4.4 LA COMPENSACIÓN DEL TIEMPO MUERTO.	36
4.4.1 Efecto del tiempo muerto y la compensación.....	37
4.5 LA SELECCIÓN DEL TIEMPO MUERTO PARA LA SIMULACIÓN.....	37
CAPÍTULO 5 “DISEÑO, SIMULACIÓN Y RESULTADOS DEL INVERSOR MULTINIVEL EN CASCADA”	40
5.1 INTRODUCCIÓN.....	41
5.2 SOFTWARE DE SIMULACIÓN.....	41
5.3 TÉCNICA DE MODULACIÓN ELIMINACIÓN SELECTIVA DE ARMÓNICOS (SHE).....	42
5.4 DISEÑO DEL INVERSOR MULTINIVEL EN CASCADA PUENTE H.....	43
5.5 IGBT (INSULATED GATE BIPOLAR TRANSISTOR) GT15J101.....	44
5.5.1 Selección del voltaje de alimentación.....	44
5.5.2 SHE (<i>Selective Harmonic Elimination</i>).....	45
5.6 VARIACIÓN DEL TIEMPO MUERTO EN LA TENSIÓN DE SALIDA DEL INVERSOR MULTINIVEL EN CASCADA.....	45
5.6.1 El efecto del tiempo muerto en el VRMS, Rango 1.....	52
5.6.2 El efecto del tiempo muerto en el VRMS, Rango 2.....	54
5.6.3 El efecto del tiempo muerto en el VRMS, Rango 3.....	56
5.7 ANÁLISIS DE LOS RANGOS.....	57
5.8 SIMULACIÓN CON MOSFET RANGO 2 T_d	58
5.8.1 Efecto del tiempo muerto Rango 2.....	59
5.8.2 Comparación de la variación del t_d en MOSFET e IGBT en el Rango 2 aceptado.....	60
5.9 EL EFECTO DEL TIEMPO MUERTO EN LA CORRIENTE (I_o).....	62
CAPÍTULO 6 “CONCLUSIONES”	64
6.1 CONCLUSIONES.....	65
6.2 TRABAJOS FUTUROS	66
REFERENCIAS BIBLIOGRAFICAS	67
ANEXO A PROGRAMA DE SOLUCIÓN N-R Y CÁLCULOS.....	75
ANEXO B DISEÑO EN OrCAD PSpice.....	79
ANEXO C THD DEL TIEMPO MUERTO 311ns a 606ns.....	84

RESUMEN

Investigaciones actuales muestran, que hoy en día las estructuras de los convertidores de potencia en específico CD-CA son de uso exorbitante en aplicaciones industriales, así como en aplicaciones domésticas.

Existen tres tipos de topologías multinivel que son habitualmente usadas, entre ellas destaca por sus ventajas el convertidor multinivel en cascada.

La investigación de la topología antes mencionada está orientada al análisis de tiempo muerto en el convertidor multinivel en cascada.

Los resultados son logrados mediante pruebas de simulación, por lo tanto, aún no se consideran resultados de práctica de campo.

La tesis trata el análisis del tiempo muerto, mediante la investigación de la literatura, englobando así un tiempo muerto que se obtuvo de un estudio de diversos *IGBTs* y *MOSFETs*, cuando se obtuvo el tiempo muerto general se evalúa en un índice de tres Rangos, gracias al estudio realizado se concluye que el Rango 2 es aceptable.

ABSTRACT

Current research shows that today the structures of power converters in specific CD-CA are of exorbitant use in industrial applications as well as in domestic applications.

There are three types of multilevel topologies that are commonly used, among which the multilevel converter in cascade stands out for its advantages.

The topology research mentioned above is oriented to the analysis of downtime in the multilevel cascade converter.

The results are achieved through simulation tests; therefore, they are not yet considered the results of field practice.

The thesis covers the analysis of the dead time, through the investigation of the literature, thus encompassing a dead time that was obtained from a study of various *IGBTs* and *MOSFETs*, when the general dead time was obtained is evaluated in an index of three Ranges, Thanks to the study carried out, it is approved that Rank 2 is acceptable.

LISTA DE ACRONIMOS

<i>BJT</i>	Transistor de Unión Bipolar, siglas derivadas de su nombre en inglés " <i>Bipolar Junction Transistor</i> ".
<i>CA</i>	Corriente Alterna.
<i>CA-CA</i>	Cicloconvertidores.
<i>CA-CD</i>	Rectificadores.
<i>CD</i>	Corriente Directa.
<i>CD-CA</i>	Inversores.
<i>CD-CD</i>	Troceadores.
<i>CHB</i>	<i>Cascaded H Bridge</i> por sus siglas en inglés "Cascada puente H".
<i>CM</i>	Convertidor Multinivel.
<i>DTVD</i>	<i>Voltage Drop</i> "Caída de tensión DTVD".
<i>FC</i>	Condensadores Flotantes, siglas derivadas de su nombre en inglés " <i>Flying Capacitor</i> ".
<i>IGBT</i>	Transistor Bipolar de Puerta Aislada, siglas derivadas de su nombre en inglés " <i>Insulated Gate Bipolar</i> ".
<i>IGCT</i>	Tiristor Controlado por Puerta Integrada, siglas derivadas de su nombre en inglés " <i>Integrated Gate-Commutated Thyristor</i> ".
<i>MMC</i>	Convertidor Multinivel Modular, siglas derivadas de su nombre en inglés por sus siglas en inglés " <i>Multilevel Modular Converter</i> ".
<i>MOSFET</i>	Transistor de Efecto de Campo Metal-Oxido Semiconductor, siglas derivadas de su nombre en inglés " <i>Metal Oxide Semiconductor Field-Effect Transistor</i> ".
<i>NCP</i>	Diodo Enclavado, siglas derivadas de su nombre en inglés " <i>Neutral Point Clamped</i> ".
<i>N-R</i>	<i>Newton Raphson</i> .
<i>NRS</i>	Número de Rangos Simétricos.

<i>PSC</i>	Portadora Cambio de Fase, siglas derivadas de su nombre en inglés “ <i>Phase Shift Carrier</i> ”.
<i>PWM</i>	Modulación por Ancho de Pulso, siglas derivadas de su nombre en inglés “ <i>Pulse Width Modulation</i> ”.
<i>SHE</i>	Eliminación Selectiva de Armónicos, siglas derivadas de su nombre en inglés “ <i>Selection Harmonic Elimination</i> ”.
<i>SHEPWM</i>	Modulación de Ancho de Pulso con Eliminación Selectiva de Armónicos, siglas derivadas de su nombre en inglés “ <i>Pulse Modulation with Selection Elimination of Harmonic</i> ”.
<i>SPWM</i>	Modulación de Ancho de Pulso Sinusoidal, siglas derivadas de su nombre en inglés “ <i>Sinusoidal Pulse Width Modulation</i> ”.
<i>SVM</i>	Modulación Vectorial Espacial, siglas derivadas de su nombre en inglés “ <i>Spatial Vector Modulation</i> ”.
<i>THD</i>	Distorsión Armónica Toral, siglas derivadas de su nombre en inglés “ <i>Total Harmonic Distortion</i> ”.
<i>VC</i>	Voltaje Constante
<i>VRMS</i>	<i>Root Mean Square</i> por sus siglas en inglés “Valor eficaz”.
<i>VSC</i>	Convertidor de Picos de Tensión, siglas derivadas de su nombre en inglés “ <i>Voltage Source Converter</i> ”.

NOMENCLATURA

hFE	Hibrido paramétrico.
mA	Micro Amperes.
I_o	Corriente.
S_1	“Interruptor 1”.
S_2	“Interruptor 2”.
S_3	“Interruptor 3”.
S_4	“Interruptor 4”.
S_5	“Interruptor 5”.
S_6	“Interruptor 6”.
S_7	“Interruptor 7”.
S_8	“Interruptor 8”.
t_0	“Tiempo cero”.
t_d	“Tiempo muerto”.
t_{off}	“Tiempo de apagado”.
t_{on}	“Tiempo de encendido”.
V_{CD}	Voltaje de Corriente Directa.
V_{GE}	Control voltage of a device (gate-emitter) en español es “Voltaje de control de un dispositivo (compuerta-emisor)”.
V_o	Output Voltage en español “Voltaje de salida”.
m	Índice de modulación.
SiC	Silicium Carbid en español Carburo de Silicio.
R	Resistencia.

M_{NP}	Número de t_d o test.
$V_{m\acute{a}x}$	Valor máximo.
$V_{m\acute{i}n}$	Valor mínimo.
ΔV	Diferencial del Voltaje.

LISTA DE FIGURAS

Figura 1.1. Tipos de conversión de energía.....	2
Figura 1.2. Clasificación de los inversores, por el nivel de tensión a la salida.	3
Figura 2.1. Ejemplificación del producto cruzado en un puente H.....	17
Figura 2.2. Inversor multinivel en cascada.....	18
Figura 2.3. Inversor medio puente.	18
Figura 2.4. Inversor puente H.....	19
Figura 2.5. Esquema del sistema de diseño para el inversor multinivel en cascada.....	23
Figura 3.1. Esquema de las técnicas de modulación basada en niveles de tensión.....	26
Figura 3.2. Esquema de las técnicas de modulación basada en espacio de estados.....	26
Figura 4.1. Forma de conmutación de los interruptores en un puente H.....	32
Figura 4.2. Forma de conmutación de los interruptores en un multinivel en cascada.....	33
Figura 4.3. Gráfica que muestra el t_d	33
Figura 5.1. Inversor multinivel en cascada con <i>IGBTs</i>	43
Figura 5.2. Inversor multinivel en cascada con <i>MOSFETs</i>	43
Figura 5.3. El efecto del tiempo muerto en el Rango general seleccionado de t_d	48
Figura 5.4. El efecto del t_d en el <i>VRMS</i> , t_d de 11ns a 900ns, gráfica con ZOOM de los valores de la Figura 5.3.	49
Figura 5.5. El efecto del tiempo muerto (11ns a 900ns) en la <i>THD</i>	52
Figura 5.6. En efecto del tiempo muerto en la <i>THD</i> con el Rango 2.....	52
Figura 5.7. El efecto del tiempo muerto en el <i>VRMS</i> , observando el valor máximo <i>VRMS</i> de 260.812V en el t_d de 26ns y valor mínimo de <i>VRMS</i> 260.024V en el t_d de 266ns.	53
Figura 5.8. El efecto del tiempo muerto en el <i>VRMS</i> , observando los <i>VRMS</i> que se encuentran junto a la línea de tendencia, esta línea presenta una inclinación muy notable.....	54
Figura 5.9. El efecto del tiempo muerto en el <i>VRMS</i> , observando el valor máximo <i>VRMS</i> de 260.795V en el t_d de 381ns y valor mínimo de <i>VRMS</i> 260.013V en el t_d de 336ns.	55
Figura 5.10. El efecto del tiempo muerto en el <i>VRMS</i> , observando los <i>VRMS</i> que se encuentran junto a la línea de tendencia, esta línea se puede observar que no presenta tanta inclinación como la línea de tendencia del Rango 1, de hecho esta línea esta casi horizontal.....	55
Figura 5.11. El efecto del tiempo muerto en el <i>VRMS</i> , observando el valor máximo <i>VRMS</i> de 260.774V en el t_d de 666ns y valor mínimo de <i>VRMS</i> 260.059V en el t_d de 816ns.....	56
Figura 5.12. El efecto del tiempo muerto en el <i>VRMS</i> , observando los <i>VRMS</i> que se encuentran junto a la línea de tendencia, la línea de tendencia presenta inclinación como en el Rango 1.	57
Figura 5.13. Rango general dividido en 3 de manera simétrica, se encierra de color rojo el Rango 2 que ha sido el aceptado como el mejor t_d	58
Figura 5.14. Efecto del <i>VRMS</i> , interruptor <i>MOSFET</i> , se observa un valor máximo de 260.186V en el t_d de 516ns y un valor mínimo de 259.419V en el t_d de 461ns.	59

Figura 5.15. El efecto del tiempo muerto en el <i>VRMS</i> , observando los <i>VRMS</i> que se encuentran junto a la línea de tendencia, la línea de tendencia se presenta de una manera horizontal como en las pruebas realizadas con <i>IGBT</i> .	60
Figura 5.16. Comparación de los <i>VRMS</i> en los interruptores <i>MOSFET</i> e <i>IGBT</i> .	62
Figura 5.17. El efecto del tiempo muerto en la I_o , se muestra una variación muy pequeña, el Rango 2 también ha sido viable para la I_o debido a la inclinación de la tendencia como se observa las líneas de tendencias prácticamente están horizontales.	63
Figura B1. Página de inicio.	79
Figura B2. Barra de herramientas.	79
Figura B3. Menú File.	79
Figura B4. Clic en menú New.	80
Figura B5. Menú Project.	80
Figura B6. Pantalla New Project.	80
Figura B7. Create PSpice Project.	80
Figura B8. Carpeta Desing Resources.	81
Figura B9. Subcarpeta nuevo.dsn.	81
Figura B10. Pantalla de trabajo.	81
Figura B11. Clic menú Place.	82
Figura B12. PSpice Component.	82
Figura B13. Place Part Search.	82
Figura B14. Menú de selección de diversos componentes.	83
Figura B15. Elaboración del inversor multinivel en cascada con <i>IGBT</i> .	83

LISTA DE TABLAS

Tabla I. Tabla de conmutaciones válidas para el inversor en cascada.....	19
Tabla II. Ventajas y desventajas de los inversores multinivel clásicos.....	20
Tabla III. Características de los semiconductores o interruptores.....	22
Tabla IV. Características de los softwares de simulación.	22
Tabla V. Características de las dos técnicas de modulación para forma escalonada.	29
Tabla VI. Selección del Rango General para el análisis de t_d	38
Tabla VI. Valores de los voltajes de los motores de aparatos electrodomésticos	44
Tabla VII. Datos de los rangos obtenidos para el uso en gráficas.	46
Tabla VIII. Valores de los tres Rangos seleccionados de manera simétrica.	46
Tabla IX. Datos del t_d y Rangos.....	49
Tabla X. Rango 1, Rango 2 y Rango 3.....	50
Tabla XI. Comparación de VRMS del IGBT vs <i>MOSFET</i>	60
Tabla XII. Efecto del t_d en la I_o	63

CAPÍTULO 1

“INTRODUCCIÓN GENERAL”

“Si buscas resultados distintos, no hagas siempre lo mismo”. A. Einstein.

1.1 INTRODUCCIÓN.

Actualmente, la conversión de energía eléctrica es de mucha importancia debido a la existencia de una gran variedad de cargas, las cuales presentan diferentes requerimientos para realizar un trabajo específico. En la electrónica de potencia los principales tipos de conversión de energía eléctrica se mencionan a continuación [1].

*Conversión de corriente alterna a corriente alterna (*CA-CA*): Este tipo de convertidor se encarga de proporcionar una tensión de salida en *CA* controlada a partir de una entrada de *CA* sin regular.

*Conversión de corriente alterna a corriente directa (*CA-CD*): Este es llamado por lo regular rectificador, su implementación más sencilla es con diodo y un filtro para obtener el nivel de *CD*.

*Conversión de corriente directa a corriente directa (*CD-CD*): Es utilizado primordialmente para elevar o disminuir el voltaje de *CD* de salida respecto a la entrada y obtener un nivel *CD* regulada.

*Conversión de corriente directa a corriente alterna (*CD-CA*): Son llamados inversores y se encargan de producir una tensión alterna controlada en su salida a partir de una tensión *CD* [2].

En la Figura 1.1 se observa un diagrama que muestra los nombres de los diferentes tipos de convertidores.

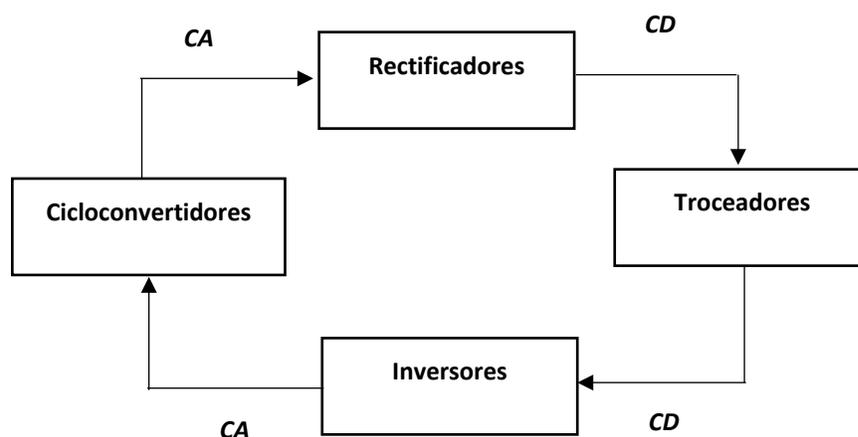


Figura 1.1. Tipos de conversión de energía.

La presente investigación tiene enfoque en la conversión de energía de corriente directa a corriente alterna (*CD-CA*), como se menciona anteriormente este tipo de conversión de energía eléctrica consiste en cambiar la tensión de entrada de corriente directa a una tensión de salida simétrica de corriente alterna. En este tipo de convertidor se busca que la corriente de salida presente un bajo contenido armónico [3].

A continuación, se muestra en la Figura 1.2 la clasificación de los inversores por el nivel de tensión de salida. Estos reciben una tensión de entrada de corriente directa proveniente de una fuente de alimentación, se ejemplifica de la siguiente manera: baterías, paneles fotovoltaicos, entre otras formas de energía eléctrica de corriente directa *CD*. Después la convierte en niveles de tensión simétrica de la salida de corriente alterna *CA*, la cual puede ser administrada a la red en instalaciones eléctricas aisladas o a una carga específica. Los inversores son manejados primordialmente en sistemas de alimentación ininterrumpibles decir: por activadores de motores eléctricos, filtros, en términos generales en aquellas aplicaciones que requieran una tensión de corriente alterna. Recordando que, de acuerdo al número de niveles de la tensión de salida, las topologías se clasifican como múltiples o convencionales [4]-[5].

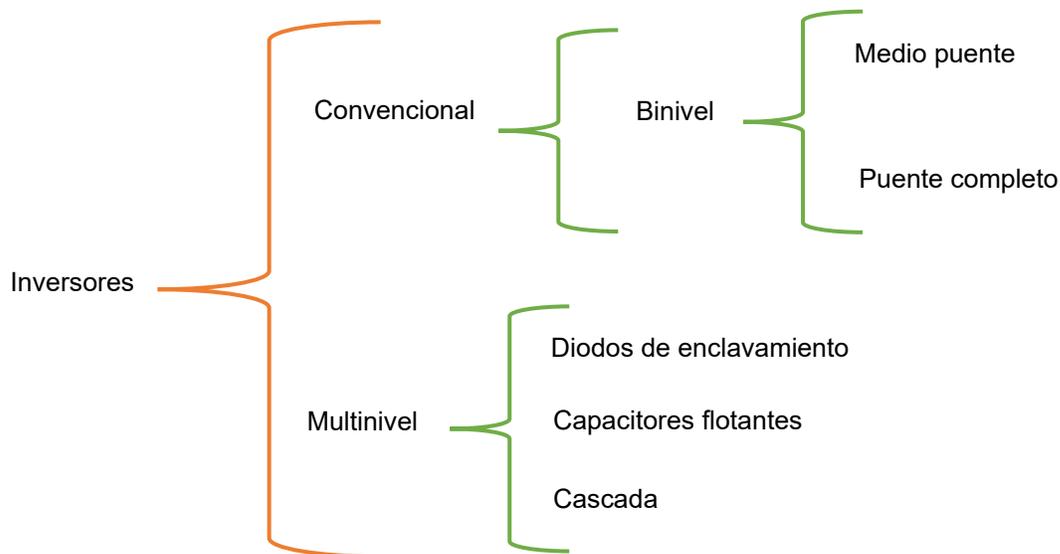


Figura 1.2. Clasificación de los inversores, por el nivel de tensión a la salida.

Los inversores tienen la funcionalidad de generar una corriente alterna a partir de una fuente de corriente directa. Los inversores se ubican en la conversión de energía eléctrica que es *CD-CA*, los inversores multinivel abarcan un conjunto de fuentes de tensión y semiconductores, esto con el fin de formar a la salida una tensión en forma de escalera [6]-[7].

Los convertidores multinivel o inversores se consideran hoy en día una solución muy atractiva para aplicaciones de alta potencia de media tensión. Es por ello que varios fabricantes importantes comercializan topologías *NCP (Neutral Point Clamped)*, *FC*

(*Flying Capacitor*) o *CHB* (*Cascaded H Bridge*) conocidos así por sus siglas en inglés, con una amplia variedad de métodos de control, cada una de las topologías antes mencionadas dependen del método de control [8].

En un inversor multinivel se busca sintetizar una forma de onda mucho más parecida a una señal sinusoidal, en la cual, dependiendo del número de fuentes de *CD* disponibles, la distorsión armónica, va a ser mucha más baja. Los objetivos principales de las estrategias de conmutación para convertidores *CD-CA* son la regulación de la amplitud y frecuencia de salida y minimización del contenido armónico de la tensión a la salida del inversor [9]-[10].

Dado las investigaciones recolectadas, se puede deducir que el estudio de estos inversores es de gran interés, debido a la funcionalidad de estos, hoy en día los inversores multinivel tienen un gran auge en la industria es por ello por lo que se desea obtener un desempeño más adecuado de estos sistemas.

1.2 ANTECEDENTES.

El aumento de la demanda mundial de energía ha supuesto la aparición de nuevas topologías convertidoras de potencia y nuevos semiconductores capaces de conducir la energía necesaria. Sin embargo, actualmente existe una fuerte competencia entre el uso de topologías clásicas de convertidores de potencia que utilizan semiconductores de alta tensión. En la década de los años ochenta las preocupaciones de los investigadores de electrónica de potencia se enfocaron en el aumento de potencia del convertidor, es decir aumento de tensión o corriente.

La exigencia de convertir energía de *CD* a *CA* surge de la utilización de sistemas de generación como los paneles foto voltaicos y del uso de almacenamiento de energía como las baterías de litio, todos los dispositivos nombrados funcionan con corriente continua, por lo tanto para el uso habitual de la energía de estos, es preciso transformar corriente directa a corriente alterna, una solución a esto es el uso de inversores multinivel.

Investigadores comenzaron a trabajar con la idea de aumentar voltaje en lugar de corriente, para lograr esta meta los investigadores estaban desarrollando nuevas topologías de convertidores. En 1981, A. Nabae, I. Takahashi y H. Akagi presentaron el primer convertidor de modulación de ancho de pulso *PWM* (Pulse Width Modulation) de *NCP*, generalmente llamados convertidos de diodos de enclavamiento, años después, se presentaron otros convertidores multinivel, es decir, nuevas topologías como *FC* o *CHB*.

Los convertidores multinivel *FC* y *CHB*, presentan diferentes características en comparación con *NPC*, como el número de componentes, modularidad, complejidad de control, eficiencia y tolerancia a fallas [11]-[12].

Debido a la información escrita con anterioridad acerca de los *FC*, *NPC* y *CHB* se puede deducir que, en la actualidad, los inversores o también conocidos como convertidores de potencia son relacionados con tener mayor demanda de manejo en la industria. Por ende, el análisis del comportamiento de los inversores bajo diferentes circunstancias de trabajo es de gran importancia, primordialmente para asegurar un idóneo desempeño del proceso de conversión de energía y por lo tanto prevenir pérdidas económicas en la industria.

Las aplicaciones industriales requieren, equipos de una potencia mayor con mediana tensión, de modo que de los resultados emergen los inversores que son alimentados por tensión, esto para ser una alternativa para las aplicaciones de mediana tensión y alta potencia [13]. Una aplicación importante en los procesos industriales, son los motores de inducción, por lo que resulta fundamental asegurar el ideal rendimiento del conjunto motor-inversor, los fenómenos esenciales a este conjunto que intervienen directamente en la vida útil del motor es la distorsión armónica total (*Total Harmonic Distortion, THD*, por sus siglas en inglés), provenientes de la señal de salida del inversor. Esta distorsión se debe básicamente a la conmutación de dispositivos lo que representa un comportamiento no lineal [14]-[15].

Es importante mencionar que en la conversión de *CD-CA*, los inversores multinivel muestran un bajo contenido armónico, así como bajas pérdidas por la conmutación, así mismo, los inversores multinivel se enfocan en mejorar la calidad de la onda a la salida es por ello por lo que estos convertidores se hacen más atractivos para la industria.

En la actualidad, los científicos a nivel mundial ponen gran tenacidad en mejorar la apariencia de los inversores multinivel, algunas de las cosas que han realizado son las que a continuación se mencionan: obtener diferentes algoritmos para conseguir menor *THD*, creación de nuevas topologías de los inversores multinivel, manejar nuevos sistemas de conmutación, etc.

1.3 ESTADO DEL ARTE.

El estado del arte es una compilación de información existente que trata temas semejantes al propuesto de tesis. Los temas de interés son tres: por una parte, los convertidores multinivel en cascada, por otra el tiempo muerto y las técnicas de modulación, se decide colocar un cuarto capítulo donde se colocan los trabajos que involucran lo que es inversores multinivel en cascada, tiempo muerto y la técnica de

modulación. A continuación, se muestran los resultados de la revisión de la literatura a su vez clasificándolos en los temas de enfoque.

Trabajos relacionados con inversores multinivel en cascada.

[16] López-Cañón, Díez-Medina, Perilla-Galindo y Patiño-Guevara (2012). Este artículo menciona que *“analiza y diseña un convertidor multinivel en topología escalera para aplicación de alto voltaje, a su vez hace una comparación con otras estructuras conocidas como lo es condensadores flotantes, y muestra sencillas en la implementación y en el control”*.

Menciona que *“para la selección de la topología realiza un cuadro comparativo de las ventajas y desventajas partiendo del convertidor de condensadores flotantes, al analizar la topología escalera, se encuentra con ventajas significativas a su vez la sencillez de esa topología para aplicaciones CD-CD llegando así a la conclusión de utilizarla como elevador de voltaje”*.

“Concluye lo siguiente: se analizó e implemento un convertidor multinivel en topología en escalera para una aplicación DC-DC, alcanzó satisfactoriamente un voltaje de salida de 3000V y 100mA”.

En la comparación que realiza se *“observa que por resultados la topología escalera es mejor que la de condensadores flotantes”* (p.117).

[17] Pereda (2013) La presente tesis cita lo siguiente, *“los convertidores multinivel pueden operar sistemas de alto desempeño y potencia utilizando semiconductores estándar y tienden a ser tolerantes a las fallas en algunos casos, a su vez estos entregan mayor calidad de energía eléctrica en comparación con los convertidores convencionales, tanto en la carga como en la fuente, generando una reducción de armónicos, ruido, torque pulsante, pérdidas por conmutación, voltaje de modo común, perturbaciones, cambios abruptos de voltaje, daño en aislamiento y rodamiento y filtros adicionales”*.

Menciona que *“la elección del semiconductor depende del voltaje, potencia, frecuencia, temperatura, disparo, factibilidad de conexiones serie o paralelo, y de factores económicos de corto y largo plazo, costos de componente, eficiencia, tiempo de vida, tasa de falla. Los convertidores multinivel utilizan IGBTs e IGCTs que tienen un alto voltaje, potencia, confiabilidad y frecuencia de conmutación.*

Relacionado a la selección de interruptores refiere que los desarrollos en IGBT e IGCTs hacen predecir un aumento extraordinario de convertidores multinivel”.

Alude como objetivo primordial, *“la existencia de numerosas topologías de conversores multinivel que se pueden clasificar en 5 grupos; el NPC (Neutral Point Clamped), FC (Flying Capacitor) y CM (Cascaded Multilevel) con su exponente (Cascaded H-Bridge).*

Redacta una exposición de las diferentes topologías, dando ejemplificación de cada una de ellas”.

[18] Lin, Wang, Li (2016) En este artículo se *“discute la teoría generalizada de portadora desplazado por fase PWM (PSC-PWM) para convertidores en cascada, puente H (CHB) y convertidores modulares (MMC), este trabajo de investigación describe que el convertidor de CHB y MMC son considerados como la tendencia en desarrollo de los convertidores multinivel de alta tensión de alta potencia. Tienen las ventajas de menos tensión del dispositivo semiconductor de potencia, fácil montaje, tamaño de filtro más pequeño, menor pérdida de potencia, fácil montaje etc”.*

Menciona *“algunos problemas de menor eficiencia en el ámbito del convertidor tradicional NPC, distribución desigual de las pérdidas en los dispositivos externos e interno, manifiesta a su vez ventajas significativas de los inversores, y la construcción de estos dispositivos, tal así, como el funcionamiento de ellos. Menciona la modulación PWM para análisis de submódulos, a su vez con un análisis matemático estricto” (p.23).*

Trabajos relacionados con tiempo- muerto.

[19] Alawieh, Arab-Tehrani, Azzouz y Dakyo (2014) En este artículo cita lo siguiente, *“muestra un método de eliminación del tiempo muerto para un modelo de un inversor de tensión, el método necesita medir la tensión terminal de los dispositivos de alimentación mediante un circuito detector de baja tensión conectado en paralelo a cada dispositivo. La técnica propuesta nos permite disminuir la distorsión armónica total actual y mejorar el perfil de corriente durante el cruce de cero”.*

Menciona *“las ventajas de utilizar IGBT las cuales se muestran a continuación, aplicaciones de alta tensión, funcionamiento a alta temperatura de unión, aplicaciones de alta potencia, bajas pérdidas, impedancia de entrada muy alta y circuitos de protección simple”.*

Explica que *“para el voltaje positivo debemos encender el transistor (interruptor superior IGBT) conectado a la mitad positiva, y para el voltaje negativo debemos encender otro transistor (interruptor inferior IGBT) conectado a la mitad negativa. En un inversor clásico (Half-Bridge Model) entre dos transistores se implementa un tiempo muerto o en blanco. Este tiempo muerto puede evitar cortocircuito de tensión de enlace DC. Para un inversor de tensión, los defectos en la estrategia PWM resultarían en desviaciones de tensión en los terminales de carga y se intensificarían mediante la adición del inversor en tiempo muerto”.*

“En algunos enfoques, la minimización del tiempo muerto requiere incluir un tiempo muerto durante el cruce cero de la corriente, en ese caso la distorsión solo aparece en

ese lapso. Por lo tanto, las desventajas se pueden clasificar como, la exactitud de los sensores de corriente y la cantidad de tiempo muerto que apenas está relacionado con las características físicas de los módulos de potencia, la frecuencia de conmutación y la corriente de carga. A diferencia del enfoque de minimización, la compensación de tiempo muerto re-computa los ángulos de encendido y apagado correspondientes a los dos PWM sinusoidales entrantes complementarios en el objetivo de que, a pesar de la intersección del tiempo muerto, la tensión de salida es bastante cercana a la tensión deseada” (p.1).

[20] Kan, Hyun, Hong y Won (2015) Este artículo “propone un nuevo método de PWM, el cual no tiene tiempo muerto, cita que un método convencional de PWM, el cual menciona que cuando la dirección de corriente y de tensión, la tensión a la salida positiva se dirigirá a la dirección de corriente de salida que es cero, esto es lo mismo que un estado de tiempo muerto. En otras palabras, la corriente de fase esta influenciada por el S_1 sin interruptor S_3 , el método que se propone es dividir cuatro sesiones de acuerdo con la fase diferente entre la tensión de referencia y la corriente de salida”.

“El método propuesto es aplicado por un inversor NPC de 3 niveles. Para evitar fallos de corto circuito, el método convencional PWM aplica tiempo muerto, pero causa distorsión de la corriente de salida y desequilibrio de voltaje DC-Link. Sin embargo, el método PWM propuesto no es complementario”.

“Por lo tanto, la corriente de salida no aparece distorsión. El THD del método PWM convencional aparece alrededor del 5.3% pero el THD del método PWM propuesto es más bajo que el método PWM convencional del 3.4%” (p.1069).

[21] Piao y Hung (2015) El artículo redacta “un análisis detallado y una compensación del efecto del tiempo muerto en un convertidor de matriz directa. Para evitar un cortocircuito en la fuente de alimentación, menciona, un tiempo de retardo de conmutación que es necesario para insertar en señales de modulación de ancho de pulso (PWM). Para la compensación del efecto del tiempo muerto utiliza una combinación de la modificación en la tensión de salida y métodos que se basan en pulsos”.

Menciona “que las desviaciones de los vectores de tensión causadas por el efecto del tiempo muerto dependen de la dirección de la corriente de salida. La distorsión armónica aumenta la tensión de salida y disminuye el rendimiento del control. El método propuesto es que el valor del tiempo muerto se ajusta on-line por el valor de la corriente de la fase correspondiente. Los resultados de la simulación indican que el método propuesto puede mejorar la forma de onda sinusoidal y el desplazamiento de fase de la corriente de salida” (p.90).

[22] Zhang, Wang, Costinett, Tolbert, Blalock y Lu (2015) Este artículo “propone un enfoque para lograr un tiempo muerto óptimo para el VSC basado en SiC, se centra en dos principales puntos, primero se investiga los comportamientos de desconexión

en diversas condiciones operativas y se establece la separación entre el tiempo muerto óptimo y las corrientes de carga. En segundo lugar, se introduce un método práctico para la regulación adaptativa del tiempo muerto mediante un modelo previamente establecido y dos circuitos de asistencia de compuerta, para finalizar con la construcción de un Buck con 1200V SiC MOSFET para la verificación experimental de la validez de este enfoque propuesto”.

“El enfoque propuesto es basado en modelos para regular adaptativamente el tiempo muerto del VSC basado en SiC para mejorar la fiabilidad y reducir pérdidas de potencia activa”.

“Se basa en el análisis diferentes transiciones de desconexión, incluyendo la desconexión sincrónica, el apagado dominado por el bucle de alimentación y el apagado dominado por el bucle de la puerta, en conjunto una relación entre tiempo muerto óptimo, y los parámetros de desconexión relacionados con la conmutación se establece como el modelo para la optimización del tiempo muerto” (p.1145).

[23] Sun, Zhang, Liu, y Wang (2019) Este artículo *“propone un enfoque para lograr un tiempo muerto óptimo para el VSC basado en SiC, se centra en dos principales puntos, primero se investiga los comportamientos de desconexión en diversas condiciones operativas y se establece la separación entre el tiempo muerto óptimo y las corrientes de carga. En segundo lugar, se introduce un método práctico para la regulación adaptativa del tiempo muerto mediante un modelo previamente establecido y dos circuitos de asistencia de compuerta, para finalizar con la construcción de un Buck con 1200V SiC MOSFET para la verificación experimental de la validez de este enfoque propuesto”.*

“El enfoque propuesto es basado en modelos para regular adaptativamente el tiempo muerto del VSC basado en SiC para mejorar la fiabilidad y reducir pérdidas de potencia activa”.

“Se basa en el análisis diferentes transiciones de desconexión, incluyendo la desconexión sincrónica, el apagado dominado por el bucle de alimentación y el apagado dominado por el bucle de la puerta, en conjunto una relación entre tiempo muerto óptimo, y los parámetros de desconexión relacionados con la conmutación se establece como el modelo para la optimización del tiempo muerto” (p.1).

Trabajos relacionados con técnicas de modulación

[24] En la tesis describe la implementación de la técnica de modulación Eliminación Selectiva de armónicos para un medio puente inversor. Para ello se inicia con la explicación teórica sobre los inversores y los tipos de modulaciones más comunes. En continuo se presenta las formulaciones matemáticas que sustentan la eliminación. Después se pasa a la etapa en la que se implementa la técnica de modulación y con

ello la descripción del circuito electrónico y cada uno de los dispositivos utilizados. (Rivera, 2013, p.11).

[25] Li, Czarkowski, Liu y Pillay (2000) Este artículo menciona *“la modulación por impulsos de eliminación selectiva de armónicos (SHEPWM) cita que se introduce por primera vez a inversores PWM conectados a múltiples niveles, el método que se implementa es basado en técnicas de optimización, el punto de partida de optimización se obtiene mediante un cambio de fase es decir de enfoque de supresión armónica”*.

Este trabajo, *“desarrolla un modelo SHEPWM de un inversor de fuentes de voltaje conectados a múltiples niveles que se puede utilizar para un número arbitrario de niveles y ángulos de conmutación. Propone un método SHEPWM de orden reducido por espejo se verifica experimentalmente la formación armónica de excedentes para inversores de cinco niveles”* (p. 160).

Trabajos que combinan, convertidores multinivel, tiempo muerto y técnica de modulación.

[26] Chen, Chen, Tian, Yuan y Yao (2015) Este documento se centra en el *“análisis y la supresión de corrientes armónicas circulantes en un convertidor modular multinivel MMC considerando el impacto del tiempo muerto en aplicaciones de mediana tensión. Se presenta un modelo equivalente continuo del MMC que contiene dos modelos de transformadores ideales. Usando ese modelo se analiza el impacto del voltaje armónico en el lado CC, y se anclara el mecanismo de producción de corrientes armónicas circulantes. Al mismo tiempo se estudia el impacto de la caída de tensión del transistor bipolar IGBT”*.

“Con el método utilizado DTVD, el THD en la salida aumenta ligeramente y en un estado inversor el voltaje del condensador disminuye. Las corrientes armónicas circulantes son producidas por las tensiones en el lado DC” (p. 160).

[27] Cárdenas, Horta y Echavarría (1996) Menciona que *“un inversor multinivel puede obtener baja distorsión de salida de voltaje y corriente de onda. Sin embargo, el tiempo muerto causa un error de tensión de salida en la fase del inversor. El error de tiempo muerto causa no linealidad de voltaje de salida y ondas de corriente de fase con ondas de 5º y 7º orden de frecuencia fundamental. La ondulación actual disminuye el rendimiento del control del motor”*.

Este documento presenta *“compensación de tiempo muerto para el inversor de condensador volador de tres niveles que es operado por modulación de ancho de pulso de cambio de fase. Este método se centra en el hecho de que los dispositivos de conmutación de potencia, que causan un error de voltaje por tiempo muerto, dependen de las polaridades de corriente. El algoritmo es simple, y el tiempo muerto se inserta en el instante de encender y apagar por dispositivos de conmutación para no afectar la tensión de salida”*.

“El resultado de la simulación muestra que los armónicos de alto orden causados por el efecto de tiempo muerto se eliminan utilizando este método” (p.3542).

Los trabajos de investigación estudiados con anterioridad pueden demostrar el efecto que tiene el tiempo muerto en los inversores, argumentan que el tiempo muerto es indispensable con esto se deduce su importancia. La literatura se dirige fundamentalmente en optimización, mejoras de tiempo muerto bajo algunos criterios de técnicas de modulación.

1.4 PROBLEMÁTICA Y PROPUESTA SOLUCIÓN.

Las soluciones obtenidas en [15] y [21] fueron excelentes, para el análisis y compensación del tiempo muerto en el inversor, los artículos analizados mencionan, ya sea análisis, compensación, optimización y mejora del tiempo muerto en los inversores de voltaje por mencionar algunos sería en [19], [20] menciona un método de implementación de *PWM* en el tiempo muerto para reducir la distorsión armónica, los resultados son favorables en ciertos casos, debido a que cumplen el objetivo primordial del artículo.

Mediante la literatura analizada se encuentra la problemática del tiempo muerto, es importante no perder el enfoque del trabajo de investigación el cual es el análisis del tiempo muerto del inversor multinivel en cascada, puesto que el objetivo es saber qué es lo que sucede cuando el tiempo muerto es mayor o menor a lo estimado, se genera una interrogante la cual es ¿Cómo afecta el tiempo muerto en la tensión de la salida en el inversor multinivel cascada?

El presente proyecto tiene como finalidad realizar una simulación donde se pueda representar el tiempo muerto, modificándolo de acuerdo con las pruebas que se requieran ya sean si será un tiempo muerto muy pequeño o mayor, el simulador dará la respuesta para las interrogantes de ¿Qué sucede con la tensión de salida, cuando el tiempo muerto es muy pequeño, mediano, o muy grande?

1.5 OBJETIVO GENERAL Y OBJETIVOS ESPECÍFICOS.

Analizar, el impacto de la variación del tiempo muerto del convertidor en cascada mediante el método de modulación *PWM*-Programado, con la técnica Eliminación Selectiva de Armónicos (*SHE*, por sus siglas en inglés) para conocer qué efectos tiene con la tensión de salida.

A continuación, se muestran los objetivos específicos los cuales son:

- * Analizar las características generales de la topología del inversor multinivel en cascada.
- * Analizar sobre el efecto de la variación del tiempo muerto en la tensión a la salida del inversor.
- * Realizar una simulación de un inversor donde muestre el comportamiento de la tensión de salida

1.6 ALCANCES Y LIMITACIONES.

ALCANCES

El presente proyecto tiene como alcance diseñar y simular un inversor multinivel monofásico en cascada, el cual mostrará que sucede cuando el tiempo muerto es mayor o menor, mostrando a su vez lo que sucede en la tensión de salida. La simulación permite poder cambiar de manera sencilla el tiempo muerto que se solicite, esto con el fin de ir variando los valores.

LIMITACIONES:

El trabajo se elaborará como un proyecto de simulación, es decir no se harán ensayos en el laboratorio.

El trabajo se limita al inversor multinivel en cascada monofásico.

1.7 ORGANIZACIÓN DEL DOCUMENTO.

En el capítulo 2 se muestran los conceptos preliminares de los inversores multinivel, se definen los tres tipos de inversores multinivel clásicos, enfocándose en el inversor multinivel en cascada, donde se encuentran definiciones como: inversor medio puente, inversor puente H completo e inversor multinivel en cascada, avanzando así a las ventajas y desventajas de las tres topologías, después se continua con la selección del tipo de interruptor a utilizar, continuando con la selección del software de simulación a utilizar, finalizando con el diseño del convertidor multinivel en cascada.

En el capítulo 3 se muestran conceptos de las técnicas de modulación recomendados para una tensión de salida en forma de escalera o escalonada, presenta

las técnicas de modulación *SHE* y *SPWM* finalizando con la selección de la técnica de modulación.

En el capítulo 4 se muestran conceptos acerca de lo que es, y cómo funciona el tiempo muerto, efectos del t_d , la compensación del t_d , y las especificaciones de rangos del t_d . en la simulación.

En el capítulo 5 se muestran el diseño, la simulación y los resultados que se obtuvieron en el trabajo de tesis, se aporta un pequeño manual en donde el lector podrá consultar este capítulo para poder tener una pequeña visión de como utilizar el software PSpice. Mas adelante se muestran los resultados de las simulaciones realizadas con el t_d , en donde se observará los diferentes Rangos de t_d seleccionados, primero se empieza con la simulación del *VRMS*, después se realizan pruebas a la *THD* y corriente, una vez que se completa estas pruebas se verá reflejado cual es el Rango viable tanto para trabajar con *IGBT*, así como *MOSFET*, y se realizan pruebas pertinentes en ese aspecto.

En el capítulo 6 se muestran las conclusiones obtenidas del trabajo de investigación, en donde se concluye de manera generalizada y a su vez existe una conclusión del proyecto elaborado. Mas adelante se puede observar los trabajos que se proponen para realizar en un futuro próximo.

CAPÍTULO 2

“INVERSORES

MULTINIVEL”

“la verdadera sabiduría está en reconocer la propia ignorancia”. Sócrates.

2.1 INTRODUCCIÓN.

En el presente capítulo se muestran las topologías clásicas de inversores multinivel en cascada. Se analizan las diferentes topologías extrayendo sus principales características. Esto con el fin de definir el mejor inversor multinivel para trabajar.

2.2 CARACTERÍSTICAS DE LOS CONVERTIDORES MULTINIVEL.

Los convertidores multinivel se han fortalecido en los últimos años como una alternativa competitiva para la conversión de energía eléctrica, en el estatus de media, mediana y alta potencia, esto es por un lado en la prospectiva técnica como la económica.

La manera frecuente de comprender los convertidores *CD-CA* multinivel es considerarlos como sintetizadores de tensión. La tensión alterna de salida, de valor elevado, se sintetiza partiendo de diversos niveles de tensión continua de entrada, de un valor más diminuto, conectando adecuadamente los interruptores del inversor, es esta la diferencia básica referente a un convertidor *CD-CA*, en la cual la tensión directa de entrada muestra un único nivel [11].

Los convertidores multinivel tienen dos características principales.

1. Permiten alcanzar una tensión máxima para un semiconductor.
2. El aumento de niveles que hace posible un control de la corriente, obteniendo así una *THD* menor.

Hay tres tipos de convertidores multinivel denominados como los “Convertidores clásicos”, estos llevan como nombre:

- *NPC o neutral point clamped*, en español sería convertidor multinivel de diodo enclavado, este conecta dos diodos al punto medio al medio punto del bus para conseguir un grado más de tensión.
- *FC o Flying Capacitor*, en español es Convertidor multinivel de condensadores flotantes, esta emplea condensadores, para restar o sumar la tensión de la propia a la tensión del bus y así obtener un número superior de niveles de tensión.
- *CHB o Cascaded H-Bridge*, en español Convertidor multinivel en cascada, este inversor conecta en serie puentes H para poder conseguir más niveles de tensión [6].

Sin embargo, existen otras topologías, que no son tan importantes, estas son en algunos casos variantes de las anteriores. A continuación, se mencionan:

- ✓ Convertidor multinivel generalizado.
- ✓ Convertidor *New Diode Clamped*.
- ✓ Convertidor *Diode/ Capacitor -Clamped*.
- ✓ Inversores acoplados por transformador.
- ✓ Rectificador elevador de tres niveles.

- ✓ Convertidor matricial.
- ✓ Convertidor con conmutación suave.
- ✓ Convertidor con topologías multinivel en cascada.
- ✓ Convertidor con puentes en cascada y fuentes *CD-CD* con asilamiento.
- ✓ Convertidor asimétrico híbrido.

2.3 CONFIGURACIONES MULTINIVEL.

Estas configuraciones clásicas solo logran dar un máximo de tres niveles de salida. Por lo tanto, un convertidor multinivel permite formar señales de salida de más de tres niveles. La salida tiene una buena forma a pesar de ser escalonada se acerca a la sinusoidal, gracias a esto minimiza la distorsión armónica y reduce filtros de salida. Los inversores multinivel son capaces para trabajar con potencias altas, al sumar el número de niveles, pero cuando se aumentan los números de niveles el control se vuelve más complejo [28].

2.4 INVERSORES MULTINIVEL DIODO ENCLAVADO.

Los convertidores denominados como “multinivel diodo enclavado” o el equivalente que es “multipunto enclavado” aparecieron en la literatura formal en el año de 1991.

Esta topología multinivel rara vez se emplea en aplicaciones industriales puesto que existen algunos inconvenientes principalmente el conjunto de condensadores que integra su enlace *CD* multinivel.

La tarea principal del inversor multinivel de diodos de enclavamiento es simplificar una onda sinusoidal a partir de muchos niveles de tensión, regularmente adquirida de condensadores que funcionan como fuentes *CD*. Estos condensadores se conectan en serie para poder dividir la tensión y así los dispositivos de potencia trabajan con una tensión menor entre las terminales [29].

Es decir, esta aplicación utiliza diodos enclavados y condensadores, se usan para tensión media y alta potencia, se fabrican en estructuras de 3-4 y 5 niveles.

2.5 INVERSOR MULTINIVEL CONDENSADORES FLOTANTES.

La función de los condensadores es como la de un circuito de anclaje prevé de forma natural la tensión entre los interruptores, por lo que las señales de control pueden ser intercambiadas de estado para eludir problemas de cambios rápidos en la pendiente de la tensión de salida.

El convertidor de condensadores flotantes prácticamente no sufre de las limitaciones de rendimiento impuestas por el equilibrio de la tensión en comparación con el punto múltiple de tensión [30].

2.6 INVERSOR MULTINIVEL EN CASCADA.

El inversor en cascada es importante para grandes unidades automotrices totalmente eléctricas porque utilizan varios niveles de fuentes de tensión de CD, que estarían disponibles a partir de baterías o pilas de combustible.

Los convertidores multinivel en cascada por lo regular son utilizadas para sistemas de alta potencia con fuentes de *CD* independientes. Este se puede usarse como inversor fotovoltaico o para manejar baterías independientes. En estos casos cada fuente de *CD* puede estar operando en diferentes puntos, como los modulares convencionales que generan formas de onda con alta distorsión, esto degrada la productividad del convertidor [31]-[34].

Una de las ventajas que se exponen en los inversores multinivel es que tiene una baja distorsión armónica en la tensión a la salida y una mayor capacidad de la potencia, para que la carga pueda tener una tensión a la salida (+) o (-) en sus terminales es necesario encender dos interruptores en manera cruzada, dependiendo como se elija la numeración de los interruptores un ejemplo sería que en la primera rama se tenga un S_1 y S_3 esta rama será la rama superior y una segunda rama que tenga S_2 y S_4 , el producto cruzado sería reconocido como el siguiente S_1 con S_4 y S_2 con S_3 , en la Figura 2.1 se muestra de forma pictográfica como sería el producto cruzado con las flechas de color azul y rojo esto con el fin de ejemplificar mejor el texto. Los inversores o convertidores multinivel presentan varios niveles de tensión en la onda de salida, estos niveles de tensión también son llamados escalones [35]-[38].

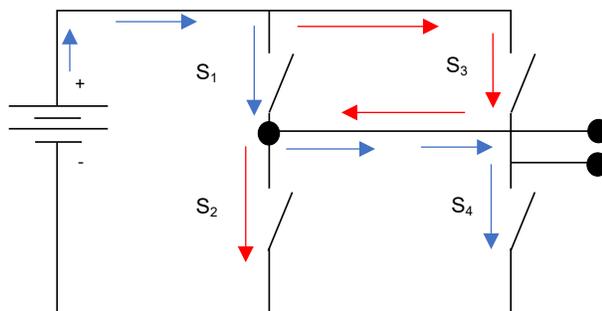


Figura 2.1. Ejemplificación del producto cruzado en un puente H.

Un inversor multinivel en cascada es la continuación de los puentes H, esta formación está en serie y se pueden agregar los puentes H que se deseen de acuerdo con la aplicación que los requiera Figura 2.2.

Se puede aumentar el número de niveles de los inversores sin aumentar el número de fuentes de tensión utilizando la configuración de puentes H. Estos puentes se construyen utilizando dos inversores multinivel idénticos.

En este caso se tendrán dos puentes H que darán como resultado a la salida una forma en escalera de 5 niveles, en esta situación se utilizarán ocho interruptores [7].

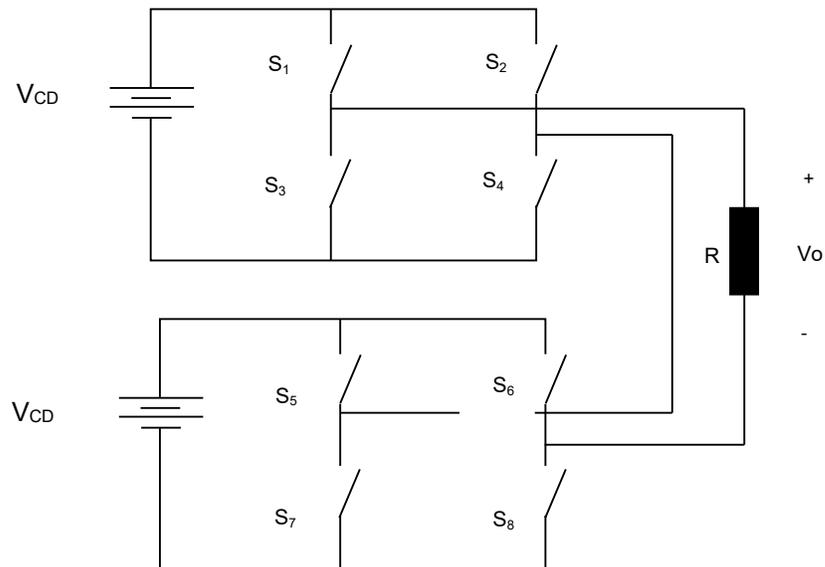


Figura 2.2. Inversor multinivel en cascada.

2.6.1 INVERSOR DE MEDIO PUENTE.

La topología básica de un inversor monofásico es la denominada inversor de medio puente. El inversor está compuesto por dos interruptores, estos llevarán el nombre de S_1 y S_4 , cuando el interruptor S_1 se enciende el interruptor S_4 permanecerá apagado esto con el fin de evitar cortos circuitos. Estos nunca deben de estar activos en la misma rama, debido a que causaría un corto circuito en el inversor.

El resultado a la salida esperado es una señal cuadrada o en escalones lo más parecida a una sinusoidal [39]. Figura 2.3.

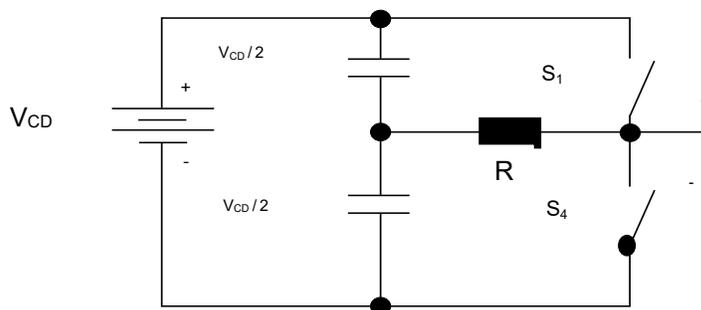


Figura 2.3. Inversor medio puente.

2.6.2 INVERSOR DE PUENTE COMPLETO

El inversor puente completo o puente H se muestra en la Figura 2.4, este inversor está formado por cuatro interruptores S_1 , S_2 , S_3 y S_4 , los interruptores trabajan de la siguiente forma, cuando S_1 está encendido S_4 también lo estará, es decir se produce un efecto cruzado, para evitar cortos circuitos. Sin embargo cuando se enciendan S_1 con S_2 genera un cero en la carga [39].

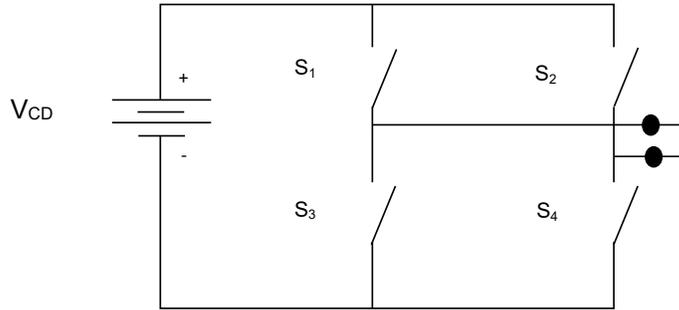


Figura 2.4. Inversor puente H.

Una vez seleccionado el convertidor multinivel en cascada, se continua con la elaboración de una tabla donde se colocarán las maneras validas de conmutación. Siguiendo las siguientes reglas que se muestran a continuación.

Cuando se tiene un puente H con cuatro interruptores las combinaciones posibles de conmutación serán (ecuación 2.1) de:

$$2^4 = 16 \quad (2.1)$$

Cuando se tiene un inversor en cascada con ocho interruptores las combinaciones posibles serán (ecuación 2.2) de:

$$2^8 = 256 \quad (2.2)$$

Debido a que es un número considerable se decide colocar la Tabla I que muestra las conmutaciones válidas para el inversor en cascada de 5 niveles, con ocho interruptores y dos puentes H.

Tabla I. Tabla de conmutaciones válidas para el inversor en cascada.

S1	S2	S3	S4	S5	S6	S7	S8	Vca
1	1	0	0	1	1	0	0	0
1	1	0	0	1	0	0	1	1
1	0	0	1	1	0	0	1	2
0	0	1	1	1	0	0	1	1
0	0	1	1	0	0	1	1	0

0	0	1	1	0	1	1	0	-1
0	1	1	0	0	1	1	0	-2
1	0	0	0	0	1	1	0	-1

2.7 VENTAJAS Y DESVENTAJAS DE LAS TRES TOPOLOGÍAS

Cuando se considera un análisis de este tipo es muy importante tener la proyección de hacia dónde va dirigido dicho análisis es decir a que tipo de topología, en esta situación como anteriormente se ha mencionado existen tres topologías clásicas de inversores multinivel que son: diodo enclavado, condensadores flotantes y en cascada, cada uno de ellos tiene sus pro y sus contras, es por ello que se realizó tabla comparativa donde se observan las ventajas y desventajas de los inversores multinivel, Tabla II.

Tabla II. Ventajas y desventajas de los inversores multinivel clásicos.

Ventajas		
Diodo enclavado	Condensadores flotantes	En cascada
<p>La tensión de bloqueo de los interruptores es la tensión de una capacidad de entrada.</p> <p>El número de condensadores requerido es pequeño en comparación con otras topologías multinivel.</p> <p>Este punto es especialmente interesante dado que solo los componentes reactivos los que suponen un mayor coste en el convertidor se pueden conectar directamente a un bus de continua, sin necesidad de crear otros buses adicionales.</p> <p>No requiere transformadores. Cambio de un estado a otro accionando un solo interruptor [6].</p>	<p>No hay diodos de fijación en el convertidor, eliminando la problemática asociada a estos diodos.</p> <p>El control de la tensión de los condensadores flotantes se realiza mediante el uso apropiado de los estados redundantes del convertidor.</p> <p>Algunas transiciones entre estados obligan a conmutar más de un interruptor a la vez, incluso hasta cuatro conmutaciones y es preferible evitarlas siempre y cuando el equilibrado de las tensiones de los condensadores lo permita.</p> <p>El equilibrio de las condensadores flotantes puede ser abordado de forma independiente para cada rama del convertidor, mientras que en el convertidor diodo enclavada debe considerarse para el sistema trifásico completo [16].</p>	<p>Al estar constituidos por asociación de etapas en puente, la construcción puede ser modular, rebajando complejidad del montaje y costes.</p> <p>Requiere menor número de componentes que otras topologías multinivel para alcanzar el mismo número de niveles. No necesitan diodos de fijación o condensadores flotantes.</p> <p>La topología es tolerante a fallos, puesto que el convertidor puede continuar funcionando con un menor nivel de tensión, aunque una de sus etapas este cortocircuito.</p> <p>Los convertidores de corriente directa a corriente alternan son utilizados como drives de motores y como fuentes de corriente alterna sinusoidal interrumpida y tiene como objetivo producir una señal de corriente sinusoidal, cuya magnitud y frecuencia puedan ser controlados.</p>

Desventajas		
Diodo enclavado	Condensadores flotantes	En cascada
<p>En topologías de más de tres niveles, los diodos de fijación requieren bloquear diferente tensión, en función de su posición en el convertidor, siendo la tensión máxima de bloqueo $V_{pn}(n-2)/(n-1)$, haciendo necesaria la Asociación serie de Dios o el uso de diodos de mayor tensión [11] .</p> <p>*Complicación de la estructura, que no ha sido cuidadosamente desarrollada incluso en lugar de que todo lo necesario aspectos para su ejecución práctica en la industria de alta potencia [6].</p>	<p>Emplea un número elevado de condensadores. La corriente que circula a través de todos los condensadores flotantes es la misma, por lo tanto, los condensadores deberían tener el mismo valor capacitivo para mantener valores similares de tensión de rizado.</p> <p>Los condensadores flotantes deben soportar la corriente de carga, por lo tanto, deben seleccionarse adecuadamente, con objetivo de no generar excesivas pérdidas y para no condicionar la corriente máxima del convertidor [30].</p>	<p>Si bien se pueden cancelar determinados armónicos del lado de la red mediante la elección apropiada de los grupos horarios de los secundarios los transformadores con múltiples secundarios aislados presentan inconvenientes que impiden su más amplia implantación.</p> <p>Las características del transformador hacen que el coste del convertidor se incremente de forma notable [11].</p>

Las ventajas generales de los tres topologías multinivel antes mencionadas son las siguientes: pérdidas de conmutación más bajas, una eficiencia alta, calidad de la energía, tamaños más pequeños en los filtros de energía, modularidad, rango de potencia [40].

Gracias a la elaboración de la tabla se decide realizar dicho análisis de tiempo muerto al multinivel en cascada.

2.8 SELECCIÓN DE TIPO DE TRANSISTOR

Una vez que se ha definido la topología que se va a utilizar para analizar, es necesario contar con el tipo de interruptor que se desea ocupar, por sus características generales, el tipo de interruptor que se busca es uno que en su tiempo de apagado y encendido sea más prolongado.

En la actualidad como lo menciona la literatura, los interruptores más populares debido a las características que tienen de variadores de frecuencia, en convertidores de potencia y en grandes máquinas eléctrica son *IGBT* y *MOSFET*, debido a la tecnología que utilizan, por este motivo se decide realizar una tabla comparativa para seleccionar dicho interruptor.

A continuación, se presenta una tabla comparativa donde se definen las características de cada uno de los interruptores más comunes que hay en el mercado, Tabla III.

Es importante mencionar que ya no se hace la evaluación de un *BJT* debido a que es un transistor algo antiguo y por los niveles que maneja por debajo de los antes mencionados.

Tabla III. Características de los semiconductores o interruptores.

Características de los semiconductores.	
<i>MOSFET</i>	<i>IGBT</i>
<p>Se describe como un dispositivo controlado por voltaje, porque su corriente de salida varía en función de un pequeño voltaje aplicado a su puerta.</p> <p>Funcionalmente, lo que está sucediendo es que el campo electrostático de la puerta está afectando al igual la resistencia del canal de fuente a drenaje "Transistor de efecto de campo"</p>	<p>Puede considerarse un dispositivo controlador de voltaje ya que su corriente de salida también es función de un pequeño voltaje aplicado a su puerta.</p> <p>Defiere funcionalmente en que este voltaje de señal de control módulos una resistencia de canal que a su vez también varia el número de portadores de corriente tanto electrones como agujeros, disponibles disponible para transportar corriente desde el terminal de emisor al terminar colector.</p>

Debido a las características que se mencionan, se selecciona como el interruptor base un *IGBT*.

2.9 SELECCIÓN DEL TIPO DE SOFTWARE DE SIMULACIÓN A UTILIZAR

Como se observa, ya se cuenta con una selección de topología, interruptor, ahora se requiere seleccionar el tipo de software a utilizar, según lo investigado los dos *softwares* más populares para simulaciones en donde muestren el t_d son *SIMULINK* y *PSpice*, una vez que se investigó se elaboró una tabla de las características de dos simuladores que son los principales en el uso de la electrónica, Tabla IV.

Tabla IV. Características de los softwares de simulación.

<i>SIMULINK</i>	<i>PSpice</i>
<p>Es un entorno de diagrama de bloques que se utiliza para diseñar sistemas con modelos multidominio, simular antes de implementar en hardware, <i>SIMULINK</i> es parte del software de <i>MATLAB</i> [41]-[42].</p>	<p>El software <i>Pspice</i> tiene la gran ventaja de trabajar en un entorno de dominio en el tiempo, por lo cual el tiempo muerto se puede observar con mayor facilidad en la simulación</p>

Para analizar el circuito o inversor, mediante el uso del Teorema de Superposición, se pueden realizar en *SIMULINK* para poder observar de manera más eficaz los resultados de un *PWM* portadora con multifase, para el *PWM SHE* no se requiere de manera tan puntual. [42].

Una de las maneras mejores para realizar una simulación es en el software *MATLAB* pero el *PSpice* da la garantía de poder observar con mayor visión el t_d [43].

Debido a esta característica vital el *software* a utilizar es el *PSpice*.

2.10 DISEÑO DEL CONVERTIDOR MULTINIVEL

Una vez que se tienen los elementos anteriores seleccionados se inició con el diseño del convertidor multinivel, para dicho diseño será necesario un esquema que se muestra a continuación esto para tener mejor visión de lo que se realizará.

A continuación, se muestra el sistema de diseño para el inversor multinivel en cascada en la Figura 2.5.



Figura 2.5. Esquema del sistema de diseño para el inversor multinivel en cascada.

En la Figura 2.5, se muestra un esquema a bloques del sistema requerido, este sistema tiene 3 pasos a seguir los cuales se explican a continuación.

La etapa de control: Es la que se encarga de originar las señales de encendido y apagado de los interruptores.

La etapa de planta del sistema: En este caso el sistema será denotado como “inversor” es el componente del cual se desea dirigir su funcionamiento por medio del empleo de sus variables de salida que podrían ser de tensión o corriente.

La etapa de rendimiento: Es donde se consiguen información eficaz de la planta para después facilitar a la etapa de control con el fin de que esta última realice los cambios y ajustes pertinentes en las señales [44].

CAPÍTULO 3

“TÉCNICAS DE MODULACIÓN BASADA EN NIVELES”

“Si lo que quieres es encontrar los secretos del universo, piensa en términos de energía, frecuencia y vibración”. Nicolás Tesla.

3.1 INTRODUCCIÓN

Las principales aplicaciones de las técnicas de modulación en el ámbito de la electrónica de potencia son de originar las señales necesarias para el control de los convertidores de *CD-CA*. Hoy en día hay diferentes tipos de técnicas de modulación para el control de los convertidores de *CD-CA* [45].

Las técnicas de modulación son una parte importante para los inversores de *CD-CA*, ya que se le relaciona con la eficiencia total de todo el sistema o aplicación. Existen diferentes tipos de técnicas de modulación como lo son:

- Método de modulación basado en portadoras (*SPWM*).
- Modulación con eliminación selectiva de armónicos (*SHE*).
- Espacio-Vector (*SVM*).

Dentro del espacio de las técnicas de modulación se han planteado distintos algoritmos de modulación, esto con el objetivo de disminuir de manera considerable las pérdidas por conmutación o el contenido armónica (*THD*), esto para que el inversor aumente la eficiencia y reduzca la distorsión o ruido de la señal [46]

Las técnicas de modulación basadas en niveles con salida tipo escalera son dos importantes la *SHE* y la *SPWM*, estas son de baja y alta frecuencia, de acuerdo con la frecuencia que se trabaje se seleccionara la que mejor convenga.

A continuación, se muestran dos esquemas donde se encuentran las modulaciones multinivel, en la Figura 3.1, se observa la modulación basada en niveles de tensión y en la Figura 3.2 la modulación basada en espacios de estados.

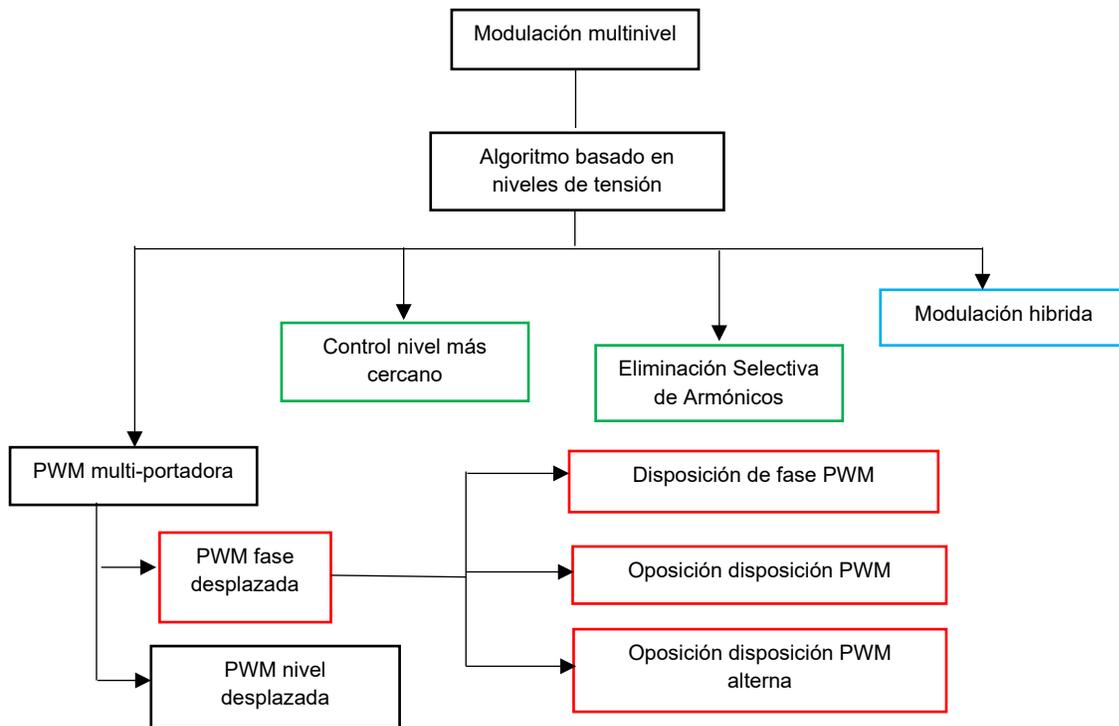


Figura 3.1. Esquema de las técnicas de modulación basada en niveles de tensión.

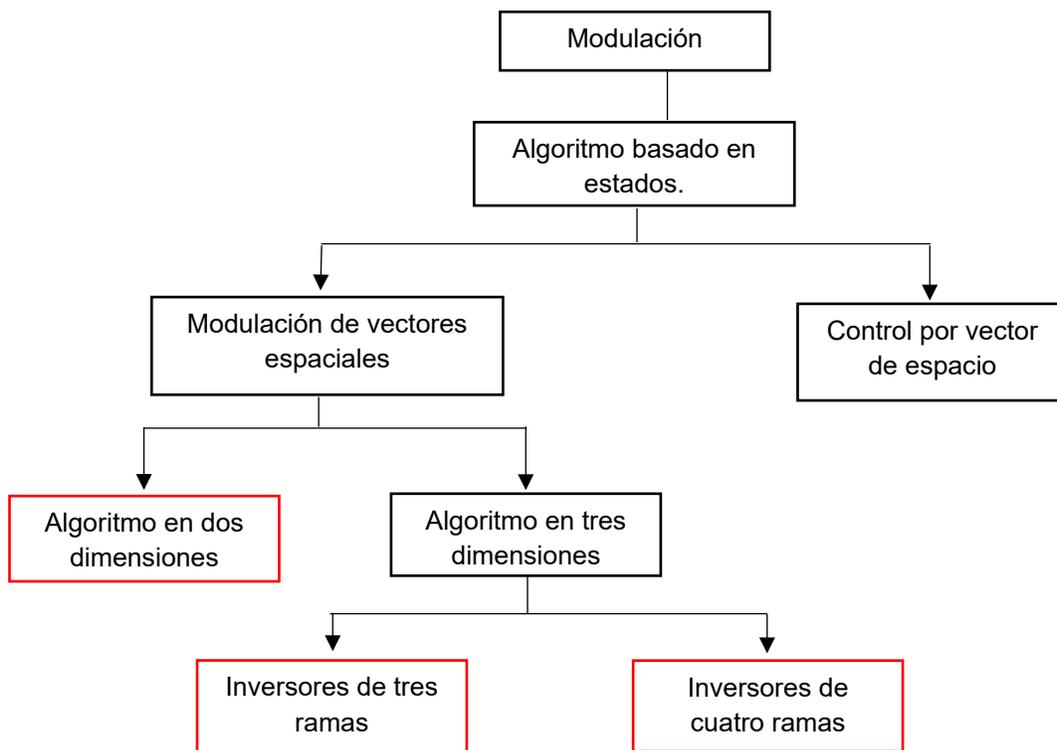


Figura 3.2. Esquema de las técnicas de modulación basada en espacio de estados.

En los esquemas se muestran colores diferentes, en este apartado se menciona que significan, el color verde indica que trabaja con bajas frecuencias, el color rojo con altas frecuencias y el color amarillo con frecuencia combinada.

Los principales resultados de las técnicas de modulación *PWM* es la disminución del contenido armónico, en la componente fundamental de la tensión del inversor.

El t_d genera armónicos que dan como resultado distorsión o ruido, con dichas técnicas los armónicos de bajo orden pueden suprimirse dando así un resultado sin tanto ruido a la salida [47].

La modulación de ancho de pulso programado que suprime contenido armónico de orden inferior produce espectros de salida de alta calidad lo que a su vez da como consecuencia una ondulación de corriente mínima, los pulsos pares se ven escasos por consiguiente complace varios criterios de productividad y colabora con la mejora de la productividad general. Entonces son posibles varios patrones de conmutación de *PWM* programada para eliminar los armónicos de la salida del inversores monofásicos y trifásicos. Cada una de las opciones implica ventajas específicas en los inversores ya anteriormente mencionados dependiendo de la aplicación que se use [48]-[49].

3.2 SHE.

En el año de 1973, la modulación *SHE* fue elegida para los inversores de dos, tres niveles, a esta técnica algunas veces se le conoce como *PWM* programada.

La técnica *SHEPWM* multinivel tiene un condicional teórico primordial para obtener la mejor alta calidad de potencia de salida a bajas frecuencias de conmutación en comparación de las otras técnicas. El complejo de sus ecuaciones generadas hace que sea un método complejo [50].

La técnica de eliminación selectiva de armónicos es una estrategia de modulación que corresponde a la clasificación de frecuencia fundamental, la implementación de esta técnica proporciona bajas pérdidas por conmutación.

Esta técnica de modulación concede tener simetría de un cuarto de onda, esto significa que será necesario encontrar los ángulos de disparo presentes en el primer cuarto de onda, los demás ángulos se encontraran sumando o restando el cuarto de onda.

Es importante mencionar que $\frac{1}{4}$ de onda equivale a tener $\pi = 90^\circ$, o también $\frac{1}{2}$ onda que equivale a tener $2\pi=180^\circ$ relativamente al ángulo que se desee encontrar [51].

La eliminación selectiva de armónicos fue presentada para las bajas frecuencias de conmutación en el año de 1960, a esta técnica también se le llama como *PWM* óptimo [52]-[53].

3.2.1 MÉTODO DE NEWTON-RAPHSON.

Es un método de optimización repetitivo, que se forma en aproximaciones a través de la serie de Taylor con un máximo de orden 2.

El método de Newton es un algoritmo para hallar aproximaciones de los ceros o raíces de una función real. También puede ser usado para encontrar el máximo o mínimo de una función, encontrando los ceros de su primera derivada.

N-R es una herramienta matemática que dará solución para trabajar con la técnica de modulación *SHE* [54].

El método de *Newton-Raphson* concede encontrar una raíz de una ecuación no lineal y siempre cuando se parta de una buena estimación inicial de la misma.

El esquema iterativo de *N-R* puede derivarse del desarrollo de Taylor de la función alrededor de la estimación inicial. (ecuación 3.1)

$$f(x) = 0 = f(x_0) + f'(x_0) * (x - x_0) + O(h^2) \quad (3.1)$$

Entonces, la recta tangente de la función que pasa por el punto $[x_0, f(x_0)]$, se encuentra declarada por la siguiente (formula 3.2):

$$g(x) = f(x_0) + f'(x_0) * (x - x_0) \quad (3.2)$$

Si se nombra x_1 a la intersección de $g(x)$ con el eje (es decir, la raíz $g(x)$), resolviendo dicha ecuación obtenemos la siguiente (expresión 3.3):

$$x_1 = x_0 - \frac{f(x_0)}{f'(x_0)} \quad (3.3)$$

Para obtener la siguiente expresión (ecuación 3.4):

$$x_{n+1} = x_n - \frac{f(x_n)}{f'(x_n)} \quad (3.4)$$

Para que este método converja deben de cumplirse ciertas condiciones de convergencia las cuales se mencionan a continuación.

- Existencia de raíz, Unicidad de raíz y Concavidad

3.3 MODULACIÓN SENOIDAL DE ANCHO DE PULSO.

La modulación senoidal de ancho de pulsos (*SPWM* por sus siglas en inglés *Sinusoidal Pulse Width Modulation*), es una técnica de modulación suficientemente estudiada y utilizada en aplicaciones en la industria.

Esta técnica es utilizada primordialmente por los resultados que ofrece ya que son aceptables y la técnica es fácil de implementar.

El objetivo de esta técnica es controlar la magnitud y frecuencia de la señal de salida del inversor.

Esta modulación *SPWM* se basa en la comparación de una señal llamada moduladora con una señal triangular que es llamada portadora, de la comparación de estas dos señales se adquieren señales de control de los interruptores del inversor. Esta técnica se basa en la modificación de la señal portadora esto con el fin de disminuir el contenido armónico de la señal de salida [55].

3.4 SELECCIÓN DE LA TÉCNICA DE MODULACIÓN.

Para la correcta selección de la técnica de modulación a utilizar se realizó una Tabla V, que muestra las características de dichas técnicas de modulación, en un análisis metódico se llega a lo siguiente:

Tabla V. Características de las dos técnicas de modulación para forma escalonada.

Técnicas de modulación basadas en niveles	
<i>SHE</i> (Eliminación Selectiva de armónicos)	<i>SPWM</i> (Modulación sinusoidal por ancho de pulso)
En esta técnica, la eliminación de armónicos es selectiva ya que se eliminan armónicos de bajo orden de una forma de onda que puede ser de tensión o corriente. Una de las características principales de esta técnica es que los armónicos de orden inferior serán reducidos por los armónicos dominantes. Esta técnica trabaja a muy baja frecuencia con esto se puede reducir pérdidas de	Esta técnica habitual se centra en la comparación de una relación sinusoidal con señales portadoras, esta técnica es utilizada en alta frecuencia de conmutación [56]. Como se mencionó anteriormente esta es una técnica muy popular para los disparos de los transistores en los inversores multinivel, tiene características de cambiar la

conmutación y tener una amplitud que se adapte a la componente fundamental [56]- [57].

Esta técnica consiente tener una simetría de cuarto de onda, es decir que es preciso encontrar los ángulos de disparo que se encuentran en el primer cuarto de onda, los siguientes ángulos se encuentran sumándole o restándole el cuarto de onda, se requiere recordar que $\frac{1}{4}$ de onda equivale a tener 90° o media onda que equivaldría al doble es decir 180° esto debido a el ángulo que se desea encontrar, para la solución de este método o técnica de acuerdo a como lo quiera nombrar es importante mencionar que se inicia un análisis de la series de Fourier es decir de la forma de salida del inversor multinivel [58]-

$$[59]. V_{out} \sum_{n=1}^{\infty} \frac{4V_{cd}}{n\pi} \left[\sum_{k=1}^s \cos(n\theta_k) \right] \text{sen}(n\omega t)$$

amplitud de la tensión a la salida. Es importante mencionar que la señal moduladora será la sinusoidal comparando con la portadora que es la triangular [51].

Una vez que se cuenta con dicha información se seleccionó por sus características la técnica de modulación *SHE*, la cual dará como resultado ecuaciones transcendentales las cuales tiene que ser solucionadas con ayuda de un método y un software de computación.

Más a delante se detallará lo mencionado anteriormente, para que se tenga una visión mejor proyectada.

CAPÍTULO 4

“TIEMPO MUERTO”

“Nuestra mayor debilidad radica en renunciar. La forma más segura de tener éxito es siempre intentarlo una y otra vez”.

Thomas A. Edison.

4.1 INTRODUCCIÓN.

En este capítulo se muestra lo que es el tiempo muerto en los inversores multinivel en cascada, hace ver el cómo funciona y para qué sirve.

4.2 TIEMPO MUERTO.

El tiempo muerto se utiliza ampliamente para evitar cortos circuitos entre los lados positivos y negativos debido a que los dispositivos de potencia tienen características de un tiempo de retardo de encendido y otro tiempo de retardo de apagado durante la conmutación. A lo largo los tiempos muertos, las tensiones de la fase de salida están determinadas por las polaridades de las corrientes de salida[15]-[60].

Por lo tanto, ejemplificando en la Figura 4.1, se muestra que cuando S_1 y S_4 que será la pareja número uno, están encendidos, los interruptores S_3 y S_2 tendrán que estar apagados, como se observa en la Figura 4.1 se tiene un producto cruzado.

Es importante mencionar que el t_0 no es un t_d estos dos tiempos tiene una función en el sistema. Es cotidiano ver que las personas se confunden con estos términos por eso se aclaran en esta sección [61]-[63].

Ahora en la Figura 4.2. se observan los mismos puntos de la Figura 4.1, pero esta refleja un convertidor multinivel en cascada, como se observa son dos puentes H que están unidos en serie, como se mencionaba para hacer el correcto encendido y apagado de los interruptores se procede a hacer un producto cruzado en los puentes H, es decir: cuando S_1, S_4, S_5 y S_8 están encendidos S_2, S_3, S_6 y S_7 estarán apagados esto con el fin de evitar conducciones simultaneas y causar un corto circuito.

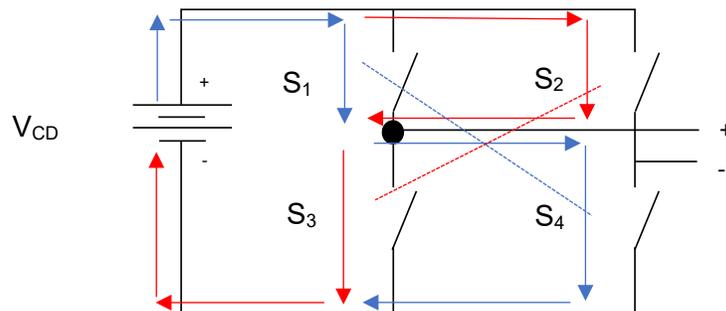


Figura 4.1. Forma de conmutación de los interruptores en un puente H.

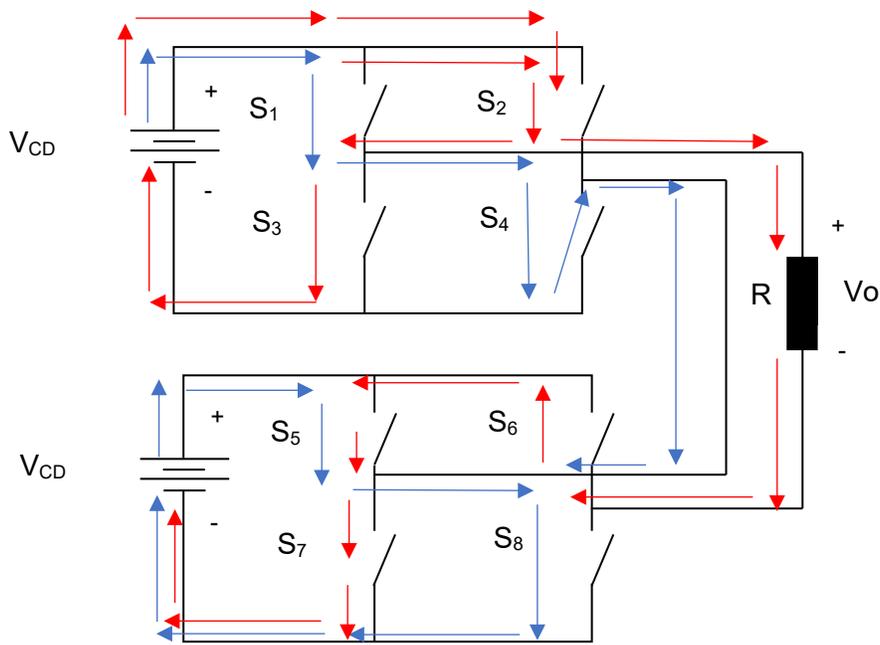


Figura 4.2. Forma de conmutación de los interruptores en un multinivel en cascada.

En la Figura 4.3, se muestra una gráfica donde se observa en la zona punteada el t_d .

Como se muestra en la figura se tiene cuatro interruptores eso significa que estamos hablando de un inversor puente H completo, la zona de color gris muestra los interruptores que este t_{on} y donde está en color blanco son los que están en t_{off} , como se dijo anteriormente la zona de puntos rojos es el t_d el cual a pesar de que a veces es invisible a nuestros ojos existe para evitar los cortos circuitos.

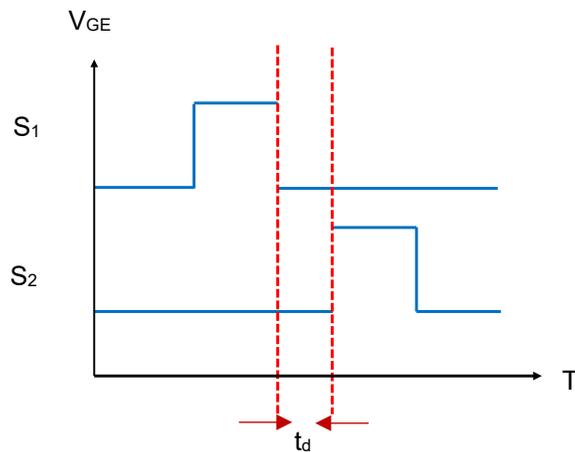


Figura 4.3. Gráfica que muestra el t_d .

En concreto, cuando dos interruptores se encuentran en una misma rama, es indispensable dejar pasar un tiempo que permita el apagado de uno de los interruptores antes de encender el otro, para que se evite una conducción simultanea y por ende un

corto circuito. Este tiempo es nombrado como “tiempo muerto”. Por lo tanto, el tiempo muerto es en realidad el tiempo de retardo en la señal de encendido de los interruptores S_1 y S_2 [64]-[66].

En la literatura se expresa lo siguiente acerca del tiempo muerto que dice: que el tiempo muerto es inevitable en los inversores de fuentes de tensión que son conmutados de forma dura o duros los cuales son convencionales para evitar el disparo en el tramo de la fase. En cambio, el tiempo muerto puede causar problemas como distorsión en la tensión de salida de corriente y pérdidas de tensión fundamental [67].

La inclusión del tiempo muerto en las secuencias de conmutación introduce pérdidas de tensión y a su vez genera armónicos adicionales al sistema, debido a la no linealidad provocada por el tiempo muerto, el diseño del controlador de bucle cerrado se vuelve más complicado en especial para los sistemas de control que no tiene sensores, estos efectos son más predominantes a frecuencias de conmutación más altas, donde la relación entre tiempo muerto y el período de conmutación es mayor [68].

Cuando se habla de las componentes del inversor se puede señalar que la componente de cd se debe al tiempo muerto, se puede utilizar una compensación del ya mencionado para eliminar dicha componente, por lo tanto, la corriente circulante contiene un solo componente de frecuencia de conmutación [69].

El tiempo muerto también es utilizado en conversiones de energía eléctrica de $CD-CD$, debido a la zona de seguridad que proporciona, también se puede estabilizar el tiempo muerto obteniendo un generador de tiempo muerto dinámico [70].

Los tiempos muertos se generan mediante el ajuste de los tiempos de la señal de control [71].

El tiempo muerto es causante de armónicos, para contrarrestarlos se requiere una estrategia de control simplificada dependiendo del tipo de inversor que utilice [72]. Los tiempos muertos provocan distorsión de la corriente del lado de la conversión de energía de CA , esto no es aceptable primordialmente en las aplicaciones que necesitan un control de corriente de máxima precisión [73].

A lo largo del t_d , la salida del módulo no está en congruencia con las reglas de modulación y equivale para reducir la tensión VC durante el t_d . Cuando se elude que el interruptor de arriba se encienda, la corriente cae inmediatamente a cero, y continuamente por medio del diodo antiparalelo inferior, en el transcurso del tiempo muerto por ende la salida es cero. Después de encender el interruptor inferior, la corriente sigue siendo continua a través del diodo antiparalelo inferior y el voltaje de salida es cero. En este momento, el tiempo muerto no tiene influencia en el sistema.

Se entiende que un t_d grande dará a mayores ganancias o en el caso diferente a pérdidas de tensión esto genera mayores distorsiones ya que un par de pulsos están encerrados por el t_d esto se da por la carencia de pulsos *PWM* [74].

Los t_d provocan pérdidas de potencia, al igual provoca armónicos a la salida esto degradara el tiempo de vida del motor, es por ello de la importancia de analizarlo [75]-[76].

4.3 EFECTO DEL TIEMPO MUERTO.

El concepto de efecto de tiempo muerto indica el suceso de las distorsiones causadas por el tiempo de enclavamiento que es inevitable para una secuencia de conmutación segura de acuerdo con el estado sin riesgo de corto circuito [77].

Durante el tiempo muerto, la tensión de la terminal *CA* es de $\frac{-v_{CC}}{2}$ para las fases *A* y *B* debido a la corriente positiva y la corriente negativa de la tensión de *CA* esto se retrasa por el tiempo muerto (t_d). El efecto del tiempo muerto causa una diferencia en el promedio de *CA*. El efecto del tiempo muerto daría como resultados armónicos en la señal de salida mayores cuando el *MMC* trabaja en condiciones de baja potencia. Cuando se encuentra la tensión a la salida durante el tiempo muerto se encuentra el momento inicial del mismo efecto del tiempo muerto y a su vez cuánto dura dicho efecto [69]-[78].

En el convertidor *CHB*, el efecto de tiempo muerto introduce otra distorsión de tensión. Está de más mencionar que el tiempo de apagado se interpreta como t_{off} y el tiempo de encendido como t_{on} , ahora se sabe que el tiempo t_{off} es mayor que el t_{on} . Por consiguiente, debe de incluirse un tiempo muerto t_d , este retrasa el pulso de encendido, en las señales de control del convertidor para evitar lo que ya se ha mencionado con anterioridad cortos circuitos. Entonces el t_d tiene que estar sujeto a lo siguiente [79]: (expresión 4.1).

$$t_d > t_{off} > t_{on}. \quad (4.1)$$

Uno de los resultados visibles del efecto del t_d es la distorsión de la tensión y la corriente por el ya mencionado para compensarlo se propone un controlador resonante esto para que elimine los armónicos predominantes, recordar que los armónicos dominantes son el quinto y el séptimo [80].

El efecto del t_d para el control del inversor multinivel tiene una total dependencia del esquema *PWM* debido a que los tiempos muertos suceden solo en el instante de conmutación, esta se decide únicamente por el esquema *PWM* seleccionado [81]-[82].

4.4 LA COMPENSACIÓN DEL TIEMPO MUERTO.

En este apartado se mencionan las estrategias de compensación del efecto del tiempo muerto, este se puede dividir en dos grupos el primero incluye estrategias en las que se modifican las secuencias de las señales de la puerta, estos métodos pueden nombrarse estrategia de compensación basadas en pulsos.

Las duraciones de los pulsos de puerta para los interruptores de los inversores se modifican para contrarrestar el efecto del ya mencionado y para compensar las caídas de tensión en los transistores y diodos de conducción. En los inversores, donde se implementa el control orientado al campo, existe una relación entre las polaridades de corriente y el ángulo del rotor del motor eléctrico. Los algoritmos de compensación también se pueden realizar sobre la base de la posición actual del vector.

El segundo grupo consiste en estrategias de compensación en el que el error de tensión causado por el tiempo muerto se reduce mediante modificaciones de una tensión de referencia, en estas soluciones se agrega una tensión de compensación utilizando el valor promedio del voltaje de compensación que se puede nombrar estrategia de composición de valor promedio o métodos de compensación de voltios por segundo.

La tensión de compensación debe ser igual al voltaje de perturbación causada por las no linealidades del inversor, se puede definir como la diferencia entre el vector de tensión de referencia y el vector de tensión generado en el inversor, la influencia del tiempo muerto en la tensión de la fase para la señal de modulación positiva se muestra en la corriente de carga negativa y positiva respectivamente, el t_d indica la duración del tiempo muerto [83]-[84].

Es importante tener presente que todos los métodos de compensación pueden conseguir, teóricamente hablando, el efecto de compensación de tiempo muerto [85] [86].

Para compensar u optimizar el tiempo muerto en la literatura proponen una corrección digital en un solo paso en el algoritmo para proporcionar un ajuste rápido y preciso del tiempo muerto, en si se enfoca en sintetizar el tiempo muerto [87].

Un problema de compensación convencional es el del cruce cero, esta distorsión es causada por las formas de onda actuales y la compensación habitual impropia del efecto del t_d . El efecto del tiempo muerto y la compensación cruce cero necesita de la frecuencia de conmutación y del factor de potencia de la carga y corriente de carga [88].

Una de las formas de compensar el tiempo muerto es aplicando técnicas de modulación *PWM* esto se utiliza en las diferentes topologías estudiadas, gracias a la correcta aplicación de las técnicas se pueden eliminar armónicos de alto orden [89]-[90].

Otra manera de compensar el t_d según la literatura dice que se propone un controlador resonante que compense la 6° armónica, este método de compensación no requiere mediciones experimentales ni cálculos complicados.

4.4.1 EFECTO DEL TIEMPO MUERTO Y LA COMPENSACIÓN.

Se menciona que el efecto del tiempo muerto con lleva a la desviación de la tensión obligado por la demora de tiempo esto hace que se oponga a la corriente en un flujo en cualquier dirección. Como resultado la corriente podría disminuir a cero durante el t_d .

Para analizar la distorsión causada por el t_d se asume lo siguiente: el t_{off} del dispositivo de conmutación se descuida, la frecuencia de conmutación es superior a la fundamental y se descuidan las ondas actuales. Compensar es equilibrar los efectos del t_d [91].

Para llevar a cabo una manera viable de compensación de t_d es indispensable analizar desde el punto raíz del t_d , una vez analizado se puede ver que problemas de compensación desarrolla como el anterior del cruce cero, este tipo de compensación se elimina en motores cuando baja la velocidad gracias a técnicas de modulación [92].

4.5 LA SELECCIÓN DEL TIEMPO MUERTO PARA LA SIMULACIÓN.

Para dicha selección realizada de un rango de t_d general estándar para este proyecto de investigación se realizó una elección de diferentes tipos de *IGBTs* y *MOSFETs* con el objetivo de determinar el t_d de cada uno de los interruptores y así poder obtener un t_d general para el análisis de t_d .

En la Tabla VI se muestra dicha selección de interruptores en total fueron 20 *IGBTs* y 20 *MOSFETs*, de diferentes marcas o diseñadores.

Tabla VI. Selección del Rango General para el análisis de t_d .

Tabla de Rango de tiempos muertos t_{on} , t_{off}							
Diseño	Modelo	t_{on} (ns)	t_{off} (ns)	Voltaje (V)	Intensidad (I_o)	t_d (ns)	Potencia (W)
IGBT							
INFINEON							
	IKP28N65ES5	27	184	650	28	211	18200
	IGW75N60H3	21	265	600	75	286	45000
	IGP40N65F5	19	160	650	46	179	29900
	IGW30N60T	23	254	600	30	277	18000
	IGU04N60T	14	164	600	4	178	2400
	FF300R12ME7B11	180	350	1200	300	530	360000
HARRIS SEMICON- DUCTOR							
	AIGB15NG5F5	23	157	650	15	180	9750
	HGTH112N40C1	50	400	400	12	450	4800
	GT50JR22	250	330	600	44	580	26400
	GT20N135SRA	440	460	1350	20	900	27000
	GT40QR21	180	400	1200	35	580	42000
	GT30J341	80	280	600	33	360	19800
	GT15J101	400	500	600	30	900	18000
ST MICROELEC- TRONICS							
	STGWA50H65DFB2	28	115	650	53	143	34450
ROHM SEMICON- DUCTORES							
	RGTV60TIK65	33	105	650	20	138	13000
	RGTV60TS65	33	105	650	30	138	19500
	RGW60TS65D	37	114	650	30	151	19500
IXYS							
	IXYT55N120A4HV	23	300	1200	55	323	66000
	IXYT85N120A4HV	40	400	1200	85	440	102000
	IXYK110N120A4	42	550	1200	110	592	132000
MOSFET							
GENESIC							
	GA50SICPI227	25	80	1200	50	105	60000
	G3R20MTI2N	45	20	1200	64	65	76800
WOLFSPEED							
	G3B40MTI2D	45	19	1200	45	64	54000
CREE							
	C3M0040120J1	13	22	1200	115	35	138000
	C3M0016120K	34	65	1200	115	99	138000
	C3M0021120D	142	72	1200	81	214	97200

INFINEON							
	IPB60R060C7	15.5	79	600	54	94.5	32400
	IPB65R125C7	14	71	650	75	85	48750
	TK90SO6N1L	27	87	650	75	114	48750
VISHAY							
	IPWS65R075CFD7 A	31	114	650	75	145	13000
	IRFP450/SiHFP450	17	92	500	20	109	4350
	IRFBG30/SiHFBG30	12	89	1000	8.7	101	2000
SAMSUNG							
	IRF6405/SiHF640L	14	45	200	2	59	2200
ISC							
	IRF450	35	150	500	8	185	4000
	IRF1010N	13	39	55	85	52	4675
	IRFPG50	19	130	1000	6.1	149	6100
	ISC230N10NM6	4.5	6.5	100	31	11	3100
	IRF044NPBF	12	43	55	37	55	2035
	IRFP044	19	86	60	40	105	2400

Como se observa en la Tabla VI, el valor del Rango General de t_d es de 11ns a 900ns, este rango servirá para comenzar con la simulación.

CAPÍTULO 5

“DISEÑO, SIMULACIÓN Y RESULTADOS DEL INVERSOR MULTINIVEL EN CASCADA”

“No nos atrevemos a muchas cosas porque son difíciles, pero son difíciles porque no nos atrevemos a hacerlas”. Seneca.

5.1 INTRODUCCIÓN.

En esta sección se describe la forma de elaborar la simulación. Una simulación es una prueba con un modelo que copia aspectos de la realidad, en este caso es un inversor multinivel en cascada elaborado en el software *PSpice*, el cual contiene materiales que se utilizarían si se realizara de manera práctica el inversor.

Para elaborar dicha simulación se cuenta con características relevantes que a continuación se mencionan:

- Se realiza o estudian distintos escenarios (en este caso son los efectos del t_d en $VRMS$, THD y I_o , simulando con *IGBT* y *MOSFET*).
- Se ubican deficiencias ocultas.
- Facilita dimensiones cuantitativas del desempeño de dicha simulación.

En el presente capítulo también muestran los resultados de la elaboración de las pruebas realizadas en la simulación de un inversor multinivel en cascada, las especificaciones que se muestran son las siguientes:

Dos puentes H conectados en serie que generarán a la salida 5 niveles.

Es importante resaltar que se tienen 180 pruebas de tiempo muerto las cuales tienen una variación de 5ns por tiempo muerto analizado, el motivo de esta variación es porque cada 5ns se puede observar un movimiento en los puntos de dispersión.

El tiempo muerto seleccionado para este análisis ha sido de 11ns a 900ns, como se puede observar en el capítulo 4 apartado 4.5, se elaboró una tabla en donde se introducen distintos modelos o diseños de *IGBTs*, en donde se calculó el t_d de cada uno de ellos y de acuerdo con los resultados obtenidos en la tabla se obtiene el t_d que se ocupó para este análisis.

El análisis muestra dos parámetros de estudio que es el tema central el cual es el V_o del inversor multinivel $VRMS$ y la THD .

5.2 SOFTWARE DE SIMULACIÓN.

Para elaborar la simulación se utilizó el programa *OrCAD PSpice*. Para el cálculo de los ángulos de la técnica de modulación se utilizó el programa de *MATLAB* realizando el método *N-R*.

5.3 TÉCNICA DE MODULACIÓN ELIMINACIÓN SELECTIVA DE ARMÓNICOS (SHE).

Para la elaboración de esta técnica se requiere saber el tipo de frecuencia fundamental que se ocupará, esta es de 60Hz para un inversor multinivel simétrico en cascada de 5 niveles a la salida, para esto se calculan los 2 ángulos de disparo que se encuentran en el primer cuadrante, esto se realiza con el objetivo primordial de eliminar al armónico número 3.

Para el cálculo de los ángulos se encuentra en el ANEXO A el método de *N-R* que se elaboró en *MATLAB*.

Como siguiente paso se pide el índice de modulación el cual se representa con la letra (*m*).

El índice de modulación es un número entre 0 a 1. Esto sería $0 < m \leq 1$. Ya que se han calculado los ángulos de conmutación se comprueba si el programa que se elaboró en *MATLAB* llega a la solución viable y esperada:

A continuación, se presenta la fórmula de manera general de los ángulos utilizando la técnica de modulación *SHE*. (ecuaciones 5.1)

$$\begin{aligned} \cos(\alpha_1) + \cos(\alpha_2) + \dots + \cos(\alpha_s) - s * m &= 0 \\ \cos(3 \alpha_1) + \cos(3 \alpha_2) + \dots + \cos(3 \alpha_s) &= 0 \\ \cos(5 \alpha_1) + \cos(5 \alpha_2) + \dots + \cos(5 \alpha_s) &= 0 \\ \cos(7 \alpha_1) + \cos(7 \alpha_2) + \dots + \cos(7 \alpha_s) &= 0 \\ \cos((2_s - 1) \alpha_1) + \cos((2_s - 1) \alpha_2) + \dots + \cos(2_s - 1) \alpha_s &= 0 \end{aligned} \quad (5.1)$$

De manera particular a continuación se muestra el sistema de ecuaciones para calcular los ángulos deseados. (ecuaciones 3.2)

$$\begin{aligned} \cos(3 \alpha_1) + \cos(3 \alpha_2) &= 0 \\ \cos(5 \alpha_1) + \cos(5 \alpha_2) &= 0 \\ \cos(7 \alpha_1) + \cos(7 \alpha_2) &= 0 \end{aligned} \quad (5.2)$$

En el ANEXO A se calculan los ángulos.

5.4 DISEÑO DEL INVERSOR MULTINIVEL EN CASCADA PUENTE H.

La topología más utilizada es la de puente H, para ello se selecciona un *IGBT* y *MOSFET* de cierta marca identificada anteriormente para realizar las pruebas pertinentes esto se va a unir y quedara de la siguiente manera en el software *OrCAD PSpice* en la Figura 5.1, se observa el inversor multinivel con *IGBTs*, mientras que en la Figura 5.2 se muestra el inversor en cascada con *MOSFETs*.

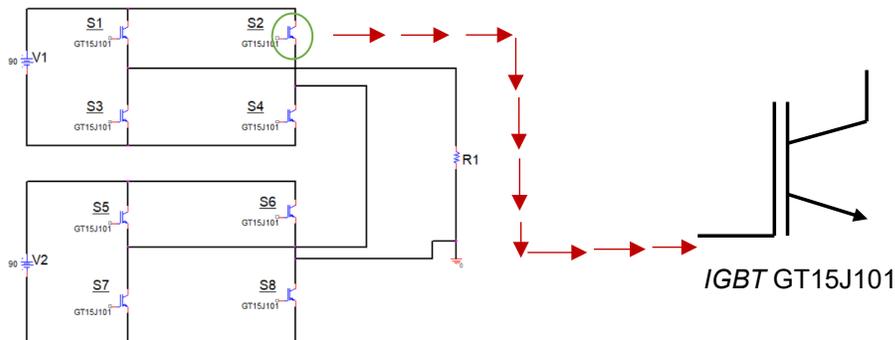


Figura 5.1. Inversor multinivel en cascada con *IGBTs*.

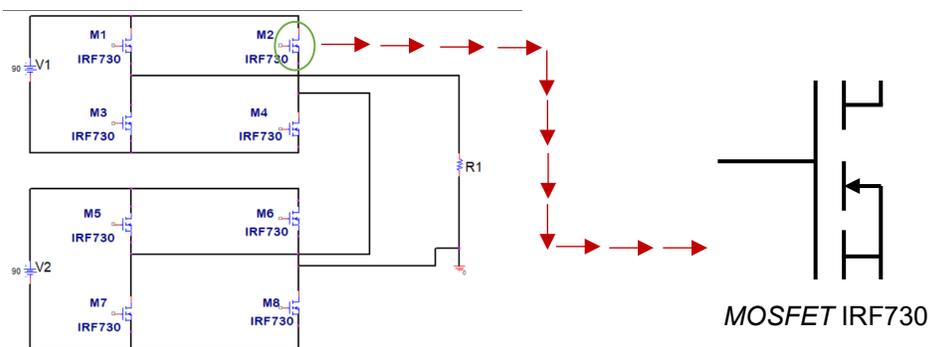


Figura 5.2. Inversor multinivel en cascada con *MOSFETs*.

Se realizan las 180 pruebas de t_d Rango 2 para verificar si el Rango 2 también es objetivo con los *MOSFETs*.

Ambos inversores multinivel general una onda de salida de 5 niveles, la diferencia entre el $VRMS$ entre los dos es que en *MOSFET* baja a 259. y en *IGBT* se tiene un $VRMS$ de 260., sin olvidar que se cuenta con la construcción decimal de cada uno de ellos.

En el ANEXO B se muestra el procedimiento para elaborar dicho inversor, dando conocimientos generales de la manera de realizarlo.

5.5 IGBT (INSULATED GATE BIPOLAR TRANSISTOR) GT15J101.

De acuerdo a las características de este *IGBT* se seleccionó “GT15J101” de la marca *TOSHIBA*, el interruptor tiene las siguientes características: Es un *IGBT*, *TOSHIBA* con puerta aislada, transistor bipolar con Si (Silicio), un canal *N IGBT*, es utilizado para aplicaciones de conmutación de alta potencia, un ejemplo de estas aplicaciones es en motores, tiene una alta impedancia de entrada, alta velocidad, voltaje de baja saturación y modo de mejora, cuenta con una tensión de colector-emisor de 600V, una tensión de puerta-emisor de $\frac{+}{-}20V$, un peso de 4.6g.

Una vez que se cuenta con la selección del *IGBT* a utilizar es importante definir la frecuencia, con los siguientes datos obtenidos: En el continente americano lo estandarizado a ocuparse es 60 Hertz, América del norte, Centro América y algunos países de sur América utilizan 100-127V/60Hz, en ciertas zonas de sur América utilizan 220-240V/60Hz, sin embargo dos países de Sudamérica utilizan la frecuencia de Europa que es 220-240V/50Hz.

5.5.1 SELECCIÓN DEL VOLTAJE DE ALIMENTACIÓN.

El Voltaje o tensión que se ocupó es unas fuentes V_{cd} . Cada fuente es de 90V debido a que la sumatoria da un total de 180V, como se ha mencionado anteriormente el inversor en cascada es una conexión en serie y por ende una sumatoria.

Para seleccionar este voltaje fue necesario recaudar información de los voltajes domésticos que ocupan los motores en el hogar y colocarlos en la Tabla VI donde se comparan los tipos de voltajes domésticos existentes más populares (lavadora, licuadora, batidora, ventilador etc.;).

Tabla VI. Valores de los voltajes de los motores de aparatos electrodomésticos.

Electrodoméstico/ Motor	Voltaje (V)	Marcas más comerciales
Lavadora	110	Whirlpool
Licuadora	120	Oster
Batidora	110	Oster
Ventilador	7-12	Oster
Bomba (Pequeña para boiler)	12	Desconocida

Es importante mencionar que la carga que se ocupa en el inversor multinivel es resistiva, es decir trabaja con R.

5.5.2 SHE (SELECTIVE HARMONIC ELIMINATION).

Una vez que se ha definido la frecuencia, es importante comenzar con la técnica de modulación SHE, para esto se requiere utilizar las series de *Fourier*, que es una herramienta matemática que permite obtener información determinada mediante una transformación, esto nos permite extraer información sobre la frecuencia de un ciclo. Se procede con la solución de las ecuaciones trascendentes estas requieren de un método y un *software* que ayude a resolver dichas ecuaciones. (ecuaciones 6.1).

$$\begin{aligned}
 \cos(\alpha_1) + \cos(\alpha_2) + \dots + \cos(\alpha_s) &= s * m \\
 \cos(3\alpha_1) + \cos(3\alpha_2) + \dots + \cos(3\alpha_s) &= 0 \\
 \cos(5\alpha_1) + \cos(5\alpha_2) + \dots + \cos(5\alpha_s) &= 0 \\
 \cos(7\alpha_1) + \cos(7\alpha_2) + \dots + \cos(7\alpha_s) &= 0 \\
 \cos((2s-1)\alpha_1) + \cos((2s-1)\alpha_2) + \dots + \cos((2s-1)\alpha_s) &= 0
 \end{aligned}
 \tag{6.1}$$

Para la solución de estas ecuaciones se utilizó el método de *Newton-Raphson* o también conocido como el método de *Newton-Fourier* en el ANEXO A se muestran los resultados de estos cálculos. A si como en el **ANEXO A** se muestra el programa que se utilizó para la solución de estas ecuaciones.

5.6 VARIACIÓN DEL TIEMPO MUERTO EN LA TENSIÓN DE SALIDA DEL INVERSOR MULTINIVEL EN CASCADA.

En este apartado se observará la variación del tiempo muerto en donde se sabe que este será de 11ns a 900ns, debido a lo mencionado anteriormente, para el cálculo del t_d se hace con la siguiente formula: (expresión 6.2).

$$t_{on} + t_{off} = t_d \tag{6.2}$$

Una vez realizado dicho cálculo se continua con las pruebas que muestran el efecto del tiempo muerto en el *VRMS*, este también es llamado el valor eficaz a esto se le nombra el valor cuadrado medio de una magnitud eléctrica.

Al valor *RMS* se le conoce como (*Roof Mean Square*) por su denominación en inglés.

Es importante mencionar los rangos estudiados en las siguientes gráficas, a continuación, en la Tabla VII se muestran la división de los tres Rangos analizados.

Tabla VII. Datos de los rangos obtenidos para el uso en gráficas.

Tiempo muerto	Nombre	VRMS
11ns-306ns	Rango 1	260V-260.900V
311ns-606ns	Rango 2	260.200V-260.590V
611ns-900ns	Rango 3	260.749V-260.658V

Para el análisis se decide dividir de forma simétrica los rangos para poder analizar uno por uno, es decir: (expresión 5.3)

$$\frac{M_{NP}}{NRS} \quad (5.3)$$

Donde M_{NP} será el número de pruebas y el NRS será el número de rangos simétrico seleccionado. Una vez que se obtiene esta división de Rangos para así poder definir cual Rango será el mejor a trabajar.

En la Tabla VIII se observan los valores $VRMS$ y tiempo muerto en los Rangos analizados.

Tabla VIII. Valores de los tres Rangos seleccionados de manera simétrica.

Rango 1		Rango 2		Rango 3	
t_d	VRMS	t_d	VRMS	t_d	VRMS
11	260.760	311	260.678	611	260.55
16	260.610	316	260.171	616	260.455
21	260.704	321	260.625	621	260.635
26	260.812	326	260.424	626	260.722
31	260.787	331	260.163	631	260.735
36	260.692	336	260.013	636	260.633
41	260.487	341	260.768	641	260.495
46	260.683	346	260.209	646	260.549
51	260.504	351	260.714	651	260.454
56	260.405	356	260.436	656	260.666
61	260.742	361	260.17	661	260.681
66	260.469	366	260.616	666	260.774
71	260.724	371	260.555	671	260.554
76	260.632	376	260.497	676	260.532

81	260.6	381	260.795	681	260.511
86	260.763	386	260.516	686	260.463
91	260.648	391	260.602	691	260.633
96	260.683	396	260.522	696	260.76
101	260.787	401	260.538	701	260.734
106	260.722	406	260.507	706	260.533
111	260.637	411	260.713	711	260.455
116	260.298	416	260.435	716	260.51
121	260.664	421	260.09	721	260.526
126	260.392	426	260.461	726	260.715
131	260.391	431	260.68	731	260.639
136	260.238	436	260.215	736	260.615
141	260.411	441	260.499	741	260.514
146	260.28	446	260.461	746	260.454
151	260.47	451	260.63	751	260.547
156	260.22	456	260.434	756	260.191
161	260.164	461	260.129	761	260.335
166	260.175	466	260.575	766	260.153
171	260.582	471	260.553	771	260.346
176	260.747	476	260.569	776	260.623
181	260.686	481	260.638	781	260.59
186	260.563	486	260.353	786	260.53
191	260.52	491	260.629	791	260.282
196	260.785	496	260.586	796	260.265
201	260.759	501	260.726	801	260.658
206	260.581	506	260.16	806	260.109
211	260.522	511	260.669	811	260.293
216	260.39	516	260.022	816	260.059
221	260.471	521	260.751	821	260.425
226	260.45	526	260.098	826	260.692
231	260.149	531	260.354	831	260.551
236	260.055	536	260.531	836	260.452
241	260.36	541	260.546	841	260.507
246	260.732	546	260.239	846	260.227
251	260.219	551	260.312	851	260.743
256	260.51	556	260.391	856	260.746
261	260.426	561	260.585	861	260.652
266	260.024	566	260.573	866	260.55
271	260.725	571	260.4	871	260.528
276	260.367	576	260.233	876	260.431

281	260.438	581	260.256	881	260.263
286	260.348	586	260.32	886	260.291
291	260.161	591	260.02	891	260.343
296	260.655	596	260.39	896	260.627
301	260.136	601	260.749	900	260.658
306	260.642	606	260.686		

A continuación en la Figura 5.3. Se muestra la gráfica general del tiempo muerto involucrando a los tres Rangos que se seleccionarán, como se puede observar la gráfica muestra un supuesto *VRMS* constante, es decir como si no hubiera variación, debido a esta circunstancia se vio en la necesidad de estudiar o analizar cada Rango para poder observar la variación a la salida que existe.

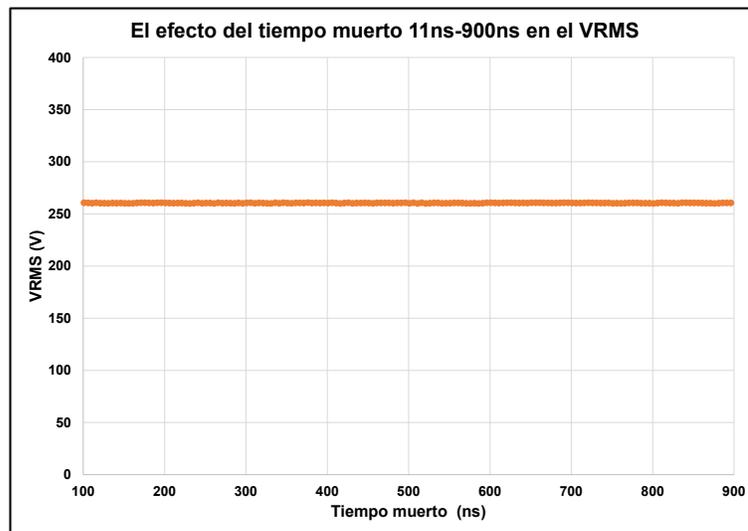


Figura 5.3. El efecto del tiempo muerto en el Rango general seleccionado de t_d .

Para poder observar la variación de los *VRMS* fue necesario hacer un ZOOM, es decir acercarse lo más posible a los puntos para poder observar la dispersión, a pesar de que es en ciertos casos una dispersión milésima existe.

En la Figura 5.4, se observa dicha gráfica con los valores de la Figura 5.3, pero demostrando que se tiene la variación en los puntos de dispersión.

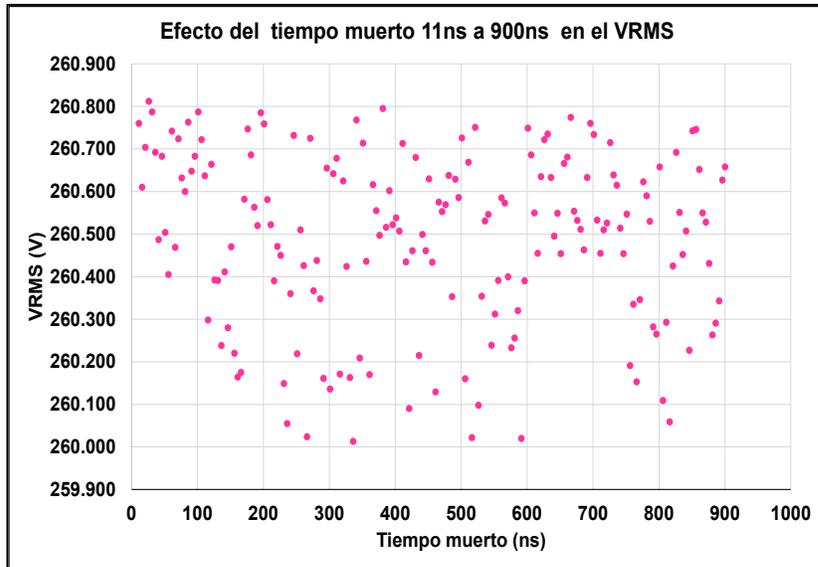


Figura 5.4. El efecto del t_d en el $VRMS$, t_d de 11ns a 900ns, gráfica con ZOOM de los valores de la Figura 5.3.

Como se observa en la Tabla VIII la división de los tres Rangos de tiempo muerto fue seleccionada simétricamente, ahora en la siguiente Tabla IX se muestra el valor máximo y mínimo de cada uno de los Rangos estudiados.

Tabla IX. Datos del t_d y Rangos.

Rango 1			Rango 2			Rango 3		
	$VRMS$ (V)	t_d (ns)		$VRMS$ (V)	t_d (ns)		$VRMS$ (V)	t_d (ns)
$V_{m\acute{a}x.}$	260.812	26	$V_{m\acute{a}x.}$	260.795	381	$V_{m\acute{a}x.}$	260.532	666
$V_{m\acute{i}n.}$	260.024	251	$V_{m\acute{i}n.}$	260.013	336	$V_{m\acute{i}n.}$	260.059	806
ΔV	0.788		ΔV	0.787		ΔV	0.715	

Para determinar el valor de ΔV se tomaron los valores de $V_{m\acute{a}x}$ y $V_{m\acute{i}n}$, es decir: (expresión 5.4).

$$\Delta V = V_{m\acute{a}x} - V_{m\acute{i}n} \quad (5.4)$$

En la siguiente Tabla X se muestra la THD de los 3 Rangos estudiados, la THD se observa con ligera variación del Rango 1 al Rango 3 de 7 milésimas, en el ANEXO C se muestran los valores analizados en la simulación realizada en el *software PSpice*, los cuales son los de la selección de Rango 2 es decir de un t_d de 311ns a 606ns.

En el ANEXO A se puede observar de manera breve la solución de las ecuaciones realizadas para la técnica de modulación *SHE*, en donde se utilizó el método de solución de *N-R*.

Tabla X. Rango 1, Rango 2 y Rango 3.

Rango 1		Rango 2		Rango 3	
t_d (ns)	THD (%)	t_d (ns)	THD (%)	t_d (ns)	THD (%)
11	30.011	311	30.016	611	30.017
16	30.011	316	30.016	616	30.017
21	30.011	321	30.016	621	30.017
26	30.011	326	30.016	626	30.017
31	30.011	331	30.016	631	30.017
36	30.011	336	30.016	636	30.017
41	30.011	341	30.016	641	30.017
46	30.011	346	30.016	646	30.017
51	30.011	351	30.017	651	30.017
56	30.011	356	30.017	656	30.017
61	30.011	361	30.017	661	30.017
66	30.011	366	30.017	666	30.017
71	30.011	371	30.017	671	30.017
76	30.011	376	30.017	676	30.017
81	30.011	381	30.017	681	30.017
86	30.011	386	30.017	686	30.017
91	30.011	391	30.017	691	30.017
96	30.011	396	30.017	696	30.017
101	30.011	401	30.017	701	30.017
106	30.011	406	30.017	706	30.017
111	30.011	411	30.017	711	30.017
116	30.011	416	30.017	716	30.017
121	30.011	421	30.017	721	30.017
126	30.011	426	30.017	726	30.017
131	30.011	431	30.017	731	30.017
136	30.011	436	30.017	736	30.017
141	30.011	441	30.017	741	30.017
146	30.011	446	30.017	746	30.017
151	30.011	451	30.017	751	30.017
156	30.011	456	30.017	756	30.017
161	30.011	461	30.017	761	30.017
166	30.011	466	30.017	766	30.017
171	30.011	471	30.017	771	30.017
176	30.011	476	30.017	776	30.017
181	30.011	481	30.017	781	30.017
186	30.011	486	30.017	786	30.017
191	30.011	491	30.017	791	30.017

196	30.011	496	30.017	796	30.017
201	30.011	501	30.017	801	30.017
206	30.011	506	30.017	806	30.017
211	30.011	511	30.017	811	30.017
216	30.011	516	30.017	816	30.017
221	30.011	521	30.017	821	30.017
226	30.011	526	30.017	826	30.017
231	30.011	531	30.017	831	30.017
236	30.011	536	30.017	836	30.017
241	30.011	541	30.017	841	30.017
246	30.011	546	30.017	846	30.017
251	30.011	551	30.017	851	30.017
256	30.012	556	30.017	856	30.017
261	30.012	561	30.017	861	30.017
266	30.012	566	30.017	866	30.017
271	30.013	571	30.017	871	30.017
276	30.013	576	30.017	876	30.017
281	30.013	581	30.017	881	30.017
286	30.014	586	30.017	886	30.017
291	30.015	591	30.017	891	30.017
296	30.015	596	30.017	896	30.017
301	30.015	601	30.017	900	30.017
306	30.015	606	30.017		

En la Figura 5.5, se observa la gráfica del efecto del tiempo muerto en la *THD* de los tres Rangos de tiempo muerto que se seleccionados, como se observa la variación es mínima, si no se consideraran las centésimas se podría hablar de una *THD* constante que redondeando quedaría de 30%.

Sin embargo, no se puede dejar de mencionar esas milésimas de *THD*, debido a que es la variación que se genera, es un efecto que tiene el t_d en la *THD* por muy mínima.

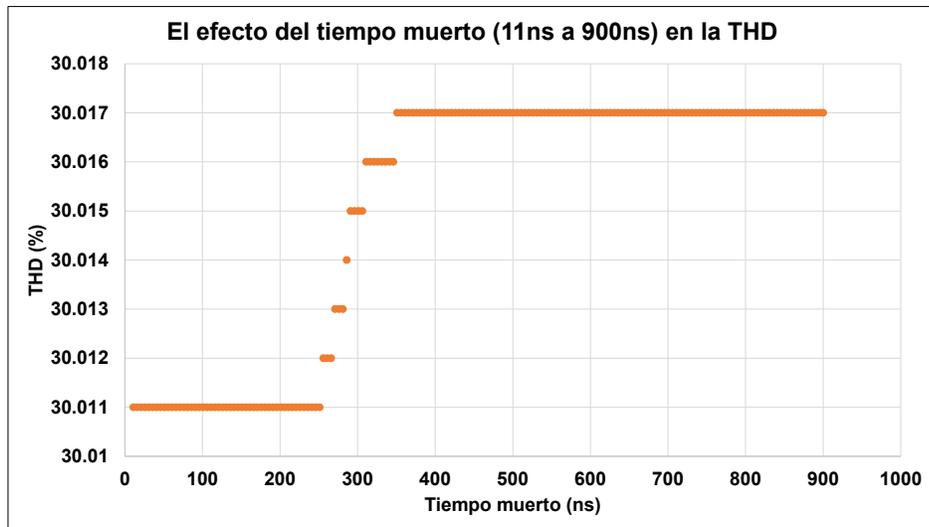


Figura 5.5. El efecto del tiempo muerto (11ns a 900ns) en la *THD*.

En la Figura 5.6 se muestra la gráfica del efecto del tiempo muerto en la THD con el Rango 2, en este Rango la THD sufre una ligera variación de una milésima es decir que de de 30.016% aumentan a 30.017%.

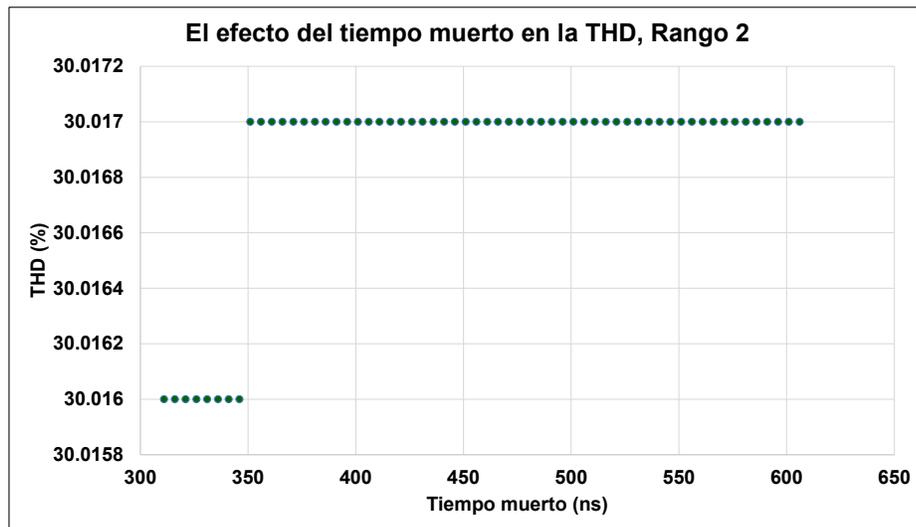


Figura 5.6. En efecto del tiempo muerto en la *THD* con el Rango 2.

5.6.1 EL EFECTO DEL TIEMPO MUERTO EN EL VRMS, RANGO 1.

En la Figura 5.7, se mostrará el Rango 1 donde se puede mencionar que considera la mayoría de tiempo muerto de los interruptores denominados como *MOSFETs* aquí los tiempo son pequeños de 11ns a 306ns, con un valor máximo de 260.812V y un valor

mínimo de 260.024V, teniendo como muestra la gráfica un ΔV de 0.788V, es decir que la diferencia entre estos *VRMS* es de siete décimas.

Como se muestra el valor máximo estará en el t_d de 26ns y el valor mínimo estará en el t_d de 266ns, comprobando que cuando el tiempo muerto es menor su *VRMS* aumentara y cuando el tiempo muerto es mayor el *VRMS* disminuirá.

En la Figura 5.8, se observan los valores que se acercan a la línea de tendencia lineal, es decir que la línea no está inclinada se puede deducir que la *VRMS* está de manera constante sin olvidar sus puntos de dispersión.

Se menciona con gran importancia que los tiempos muertos de este Rango 1 son básicamente rangos del interruptor *MOSFET*, se debe de recordar que uno de los objetivos de hacer el listado de interruptores de *MOSFET* e *IGBT* es para que cada uno de ellos aporte un t_d .

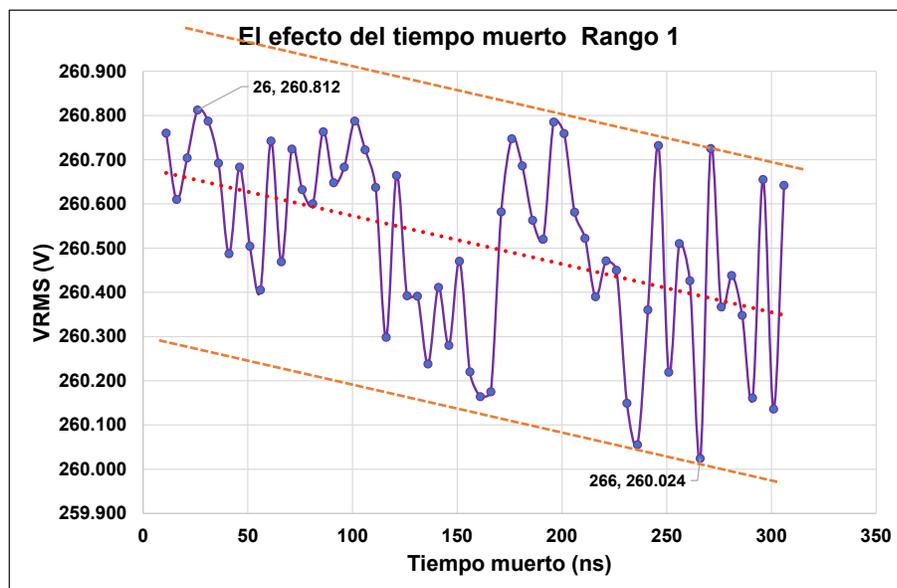


Figura 5.7. El efecto del tiempo muerto en el *VRMS*, observando el valor máximo *VRMS* de 260.812V en el t_d de 26ns y valor mínimo de *VRMS* 260.024V en el t_d de 266ns.

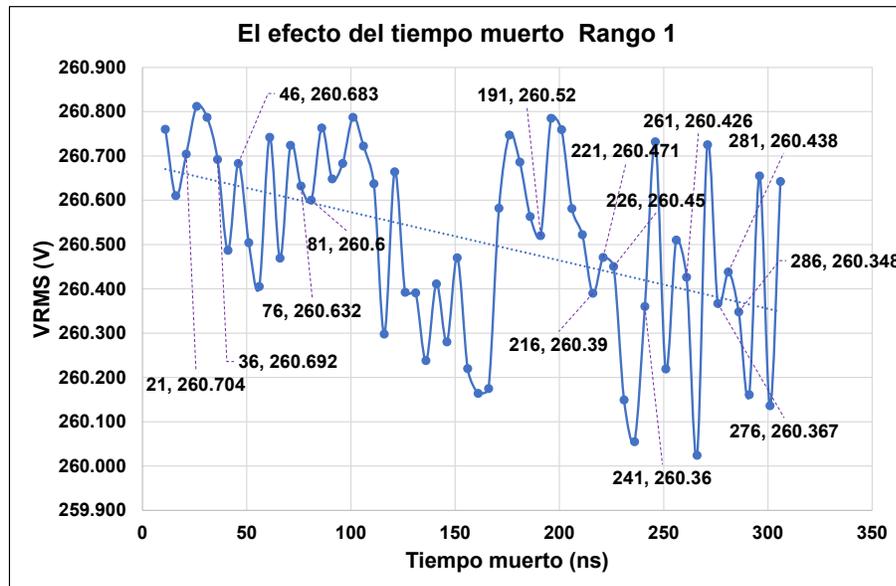


Figura 5.8. El efecto del tiempo muerto en el VRMS, observando los VRMS que se encuentran junto a la línea de tendencia, esta línea presenta una inclinación muy notable.

5.6.2 EL EFECTO DEL TIEMPO MUERTO EN EL VRMS, RANGO 2.

El Rango 2 es un tiempo muerto de 311ns a 606ns, este rango se seleccionó por simetría, en la Figura 5.9, se muestra la gráfica del efecto en el Rango 2, una de las principales cosas que se observan es que en este Rango 2 se encuentran los tiempos muertos de *MOSFET* e *IGBT*, dando así una combinación de interruptores y cumplir con el objetivo de la Tabla antes mencionada.

El Rango 2 es de 311ns a 606ns, su valor máximo es de 260.795V en el t_d de 381ns, el valor mínimo es de 260.013V en el tiempo muerto de 336ns y un ΔV de 0.782V es decir de siete décimas con ochenta y dos centésimas de Volt.

En la Figura 5.10, se muestran los valores que se encuentran cerca de la tendencia como se puede ver la línea de tendencia casi es recta marcando así valores mínimos en el VRMS se muestra que el valor máximo en los puntos cerca de la tendencia es de 260.522V en el tiempo muerto de 396ns y el valor mínimo es de 260.39V en el tiempo muerto de 596ns, se puede percibir que la variación del voltaje VRMS es de 0.132V (cien décimas con treinta y dos céntesimas de Volt).

En este banco de datos que se denominó con el nombre de Rango 2 se tiene una información importante, la cual es que al ocuparse la combinación de t_d de *MOSFET* e *IGBT* la línea de tendencia casi es una recta sin inclinación.

Se muestra también lo antes mencionado, cuando se tiene un t_d de valores menores el *VRMS* aumenta y cuando el t_d es de valores mayores el *VRMS* disminuye.

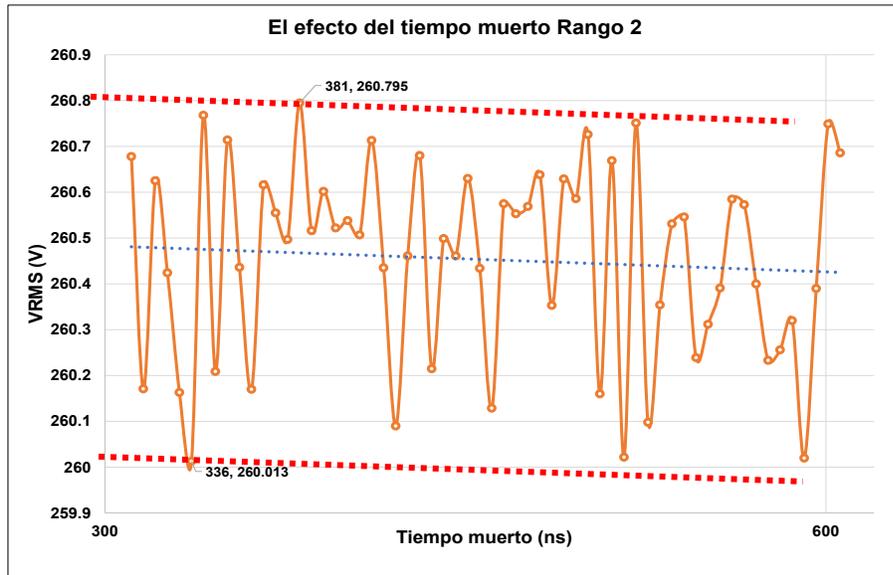


Figura 5.9. El efecto del tiempo muerto en el *VRMS*, observando el valor máximo *VRMS* de 260.795V en el t_d de 381ns y valor mínimo de *VRMS* 260.013V en el t_d de 336ns.

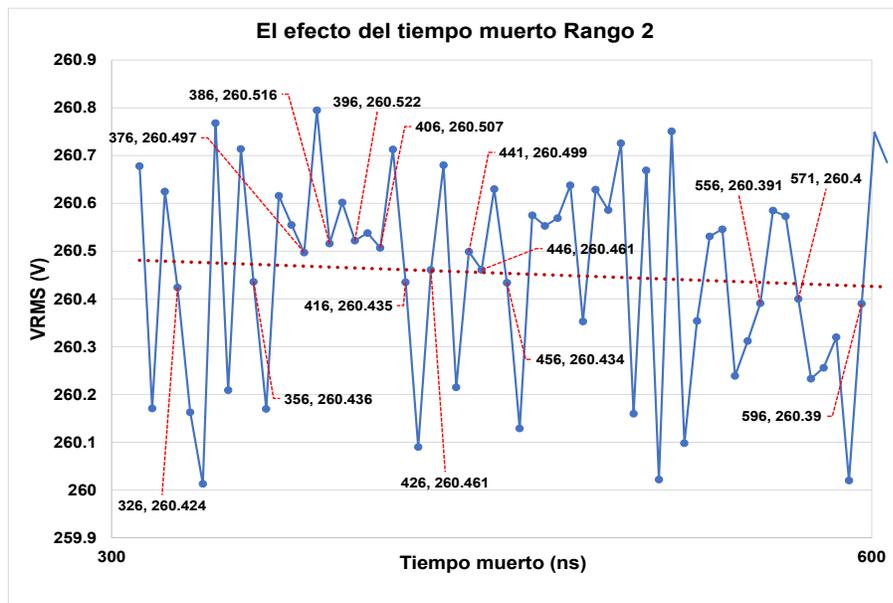


Figura 5.10. El efecto del tiempo muerto en el *VRMS*, observando los *VRMS* que se encuentran junto a la línea de tendencia, esta línea se puede observar que no presenta tanta inclinación como la línea de tendencia del Rango 1, de hecho esta línea esta casi horizontal.

5.6.3 EL EFECTO DEL TIEMPO MUERTO EN EL VRMS, RANGO 3.

En el Rango 3 el tiempo muerto es de 611ns a 900ns, este Rango se encuentra entre los t_d de los *IGBTs* la mayoría, como se observa en la Figura 5.11, el *VRMS* máximo es de 260.774V con un t_d de 666ns y el *VRMS* mínimo es de 260.059V en un t_d de 816ns, esto a su vez contiene un ΔV que es de 0.715V (siete décimas con quince centésimas de Volt), como se observa las líneas de tendencia tiene una inclinación no esta tan pronunciada como la de Rango 1 pero aún existe, este Rango tiene tiempos grandes debido a que básicamente son tiempos de los *IGBTs*, recordando que un interruptor de este tipo tiene mayor t_{on} y t_{off} .

En la Figura 5.12, se observan los t_d que se encuentran cerca de la tendencia, los puntos que están ahí muestran un valor máximo de 260.635V en el t_d de 621ns, un valor mínimo de 260.435V en el t_d de 821ns la diferencia del voltaje es de 0.210V es decir de 2 décimas de Volt.

Como se verifica a menor t_d mayor *VRMS* y a mayor t_d menor *VRMS*.

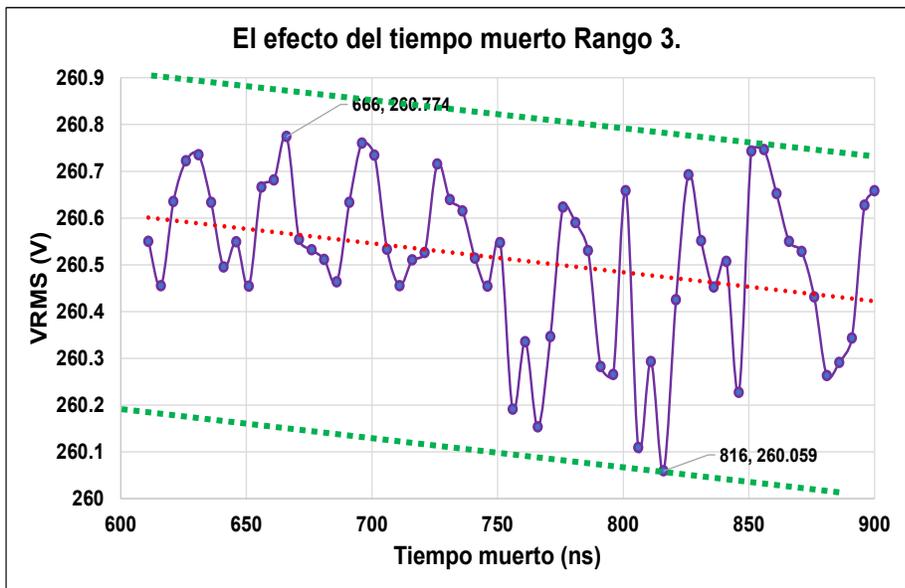


Figura 5.11. El efecto del tiempo muerto en el *VRMS*, observando el valor máximo *VRMS* de 260.774V en el t_d de 666ns y valor mínimo de *VRMS* 260.059V en el t_d de 816ns.

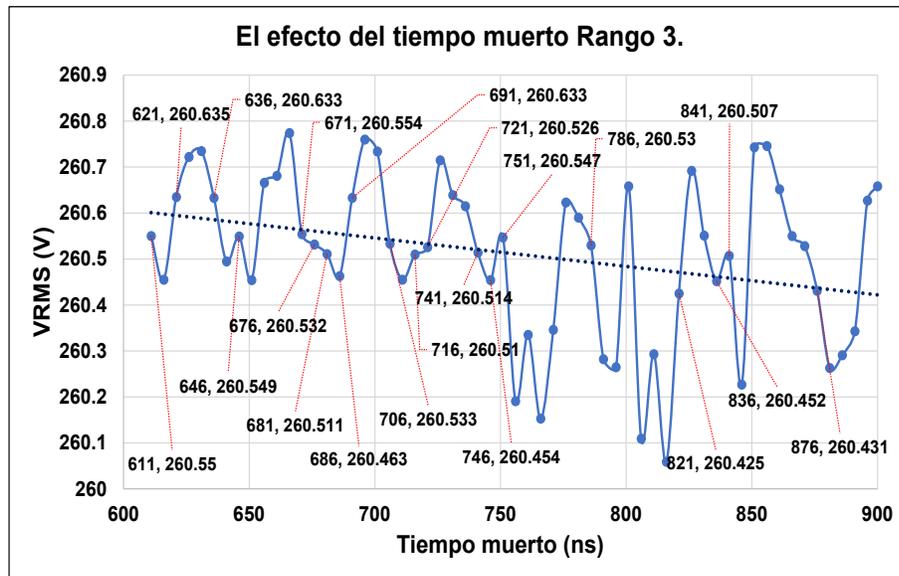


Figura 5.12. El efecto del tiempo muerto en el VRMS, observando los VRMS que se encuentran junto a la línea de tendencia, la línea de tendencia presenta inclinación como en el Rango 1.

5.7 ANÁLISIS DE LOS RANGOS.

Una vez estudiados los Rangos seleccionados que en general son de un t_d de 11ns a 900ns se llega al análisis en donde se selecciona la mejor opción de Rango a utilizar en el inversor multinivel en cascada.

Como se observó en la sección 5.7.1 cuando se grafican los puntos de dispersión del VRMS se ve que la línea de tendencia esta inclinada de manera considerable, maneja un t_d bastante bajo de 11ns a 306ns este tiempo es considerado para el uso de *MOSFET*, debido a que los t_d calculados en la Tabla VI de la sección 4.5, son t_d de *MOSFET*, entonces no se podría utilizar este valor debido a que no cumpliría con el objetivo de la Tabla VI realizada con aterioridad. Por ende se rechaza el Rango 1.

En la sección 5.7.2 se observa que los puntos de dispersión del VRMS junto con las líneas de tendencia casi se encuentran de forma horizontal, se maneja un t_d medio es decir no muy alto ni muy bajo, este Rango es de 311ns a 606ns y considera los t_d s de los *MOSFETs* e *IGBTs* lo cual cumple con la función de la Tabla VI. Por ende se acepta el Rango 2.

Ahora se muestra el Rango 3 que se encuentra en la sección 5.7.3 se puede observar que los puntos de dispersión del VRMS junto a las líneas de tendencia se encuentra de manera inclinada de una manera considerable, como sucedía en el Rango 1 sección 5.7.1, en esta situación este Rango 3 tiene valores de t_d de *IGBTs* que son t_d s

mas grandes es decir de 611ns a 900ns, recordando que un *IGBT* tiene mayor t_{on} y t_{off} . A pesar de que el análisis de t_d se realizó para un interruptor *IGBT* de la marca *TOSHIBA* modelo **GT15J101**, no se considera este Rango como el que se establezca en este análisis, debido a que no cumpliría con el objetivo de la Tabla VI realizada con anterioridad. Por ende el Rango 3 se rechaza.

En la siguiente Figura 5.13, se observán los 3 Rangos, apreciando el Rango 2 que es el aceptable de acuerdo al estudio realizado.

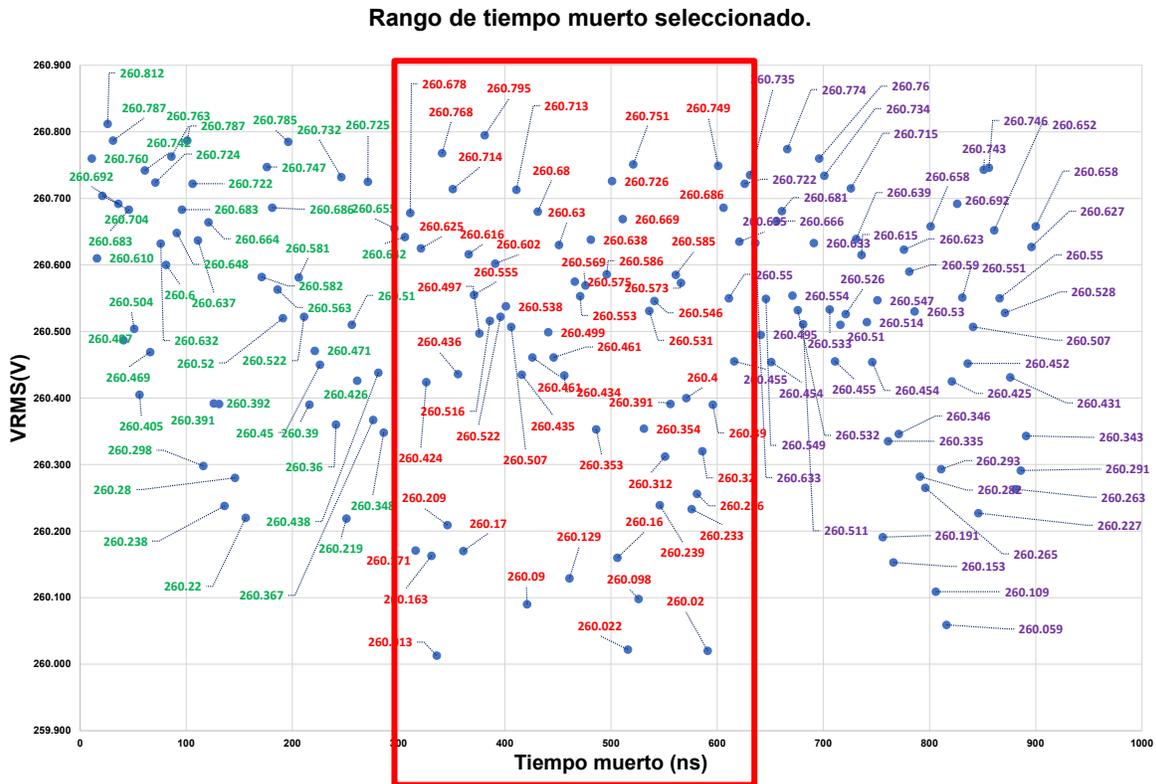


Figura 5.13. Rango general dividido en 3 de manera simétrica, se encierra de color rojo el Rango 2 que ha sido el aceptado como el mejor t_d .

Una de las situaciones buscadas en este estudio es asegurarse si el Rango seleccionado es viable tanto para un *IGBT* marca o diseño específico o un *MOSFET* marca o diseño específico, es por ello que se realiza la siguiente prueba de simulación en un *MOSFET* con los tiempos muertos del Rango 2, debido a que este Rango fue el seleccionado en el anterior análisis.

5.8 SIMULACIÓN CON MOSFET RANGO 2 T_D .

Una vez que se definió que Rango sería el aceptable como anteriormente ya se realizaron las pruebas pertinentes en el *IGBT* ahora se procede a realizar la simulación pero con un interruptor *MOSFET*, el seleccionado es el **IRF730** por sus características.

5.8.1 EFECTO DEL TIEMPO MUERTO RANGO 2

El Rango 2 tiene un valor de 311ns a 606ns como anteriormente se mencionó este Rango es viable debido a que cumple con el objetivo de la Tabla VI sección 4.5, que se elaboró para el estudio de tiempos.

Se observa en la Figura 5.14, que el *VRMS* oscila entre 259.3V a 260.3V es decir que la variación con *MOSFET* es de una unidad aproximadamente, se puede ver que se tiene un valor máximo de 260.186V en el t_d de 516ns, un valor mínimo de 259.419V en el t_d de 461ns en donde se puede detectar un ΔV de 0.767V es decir siete décimas con sesenta y siete centésimas.

Si observamos un poco más a fondo se puede uno percatar que la línea de tendencia prácticamente está horizontal que quiere decir eso que se establece, mostrando así y comprobando que la mejor opción ha sido Rango 2.

A continuación, en la Figura 5.15, se muestra cuáles son los puntos de dispersión que se encuentran cerca de la tendencia, como se puede mostrar en ese ámbito el valor máximo es de 259.886V en el t_d de 316ns, el valor mínimo es de 259.806V en el t_d de 451ns la diferencia del voltaje es de 0.08V es decir ocho centésimas de Volt.

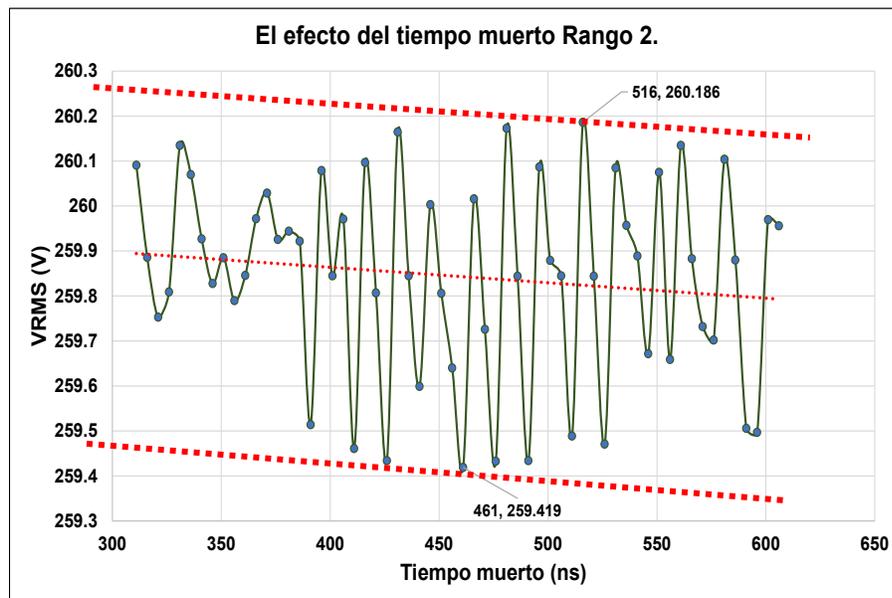


Figura 5.14. Efecto del *VRMS*, interruptor *MOSFET*, se observa un valor máximo de 260.186V en el t_d de 516ns y un valor mínimo de 259.419V en el t_d de 461ns.

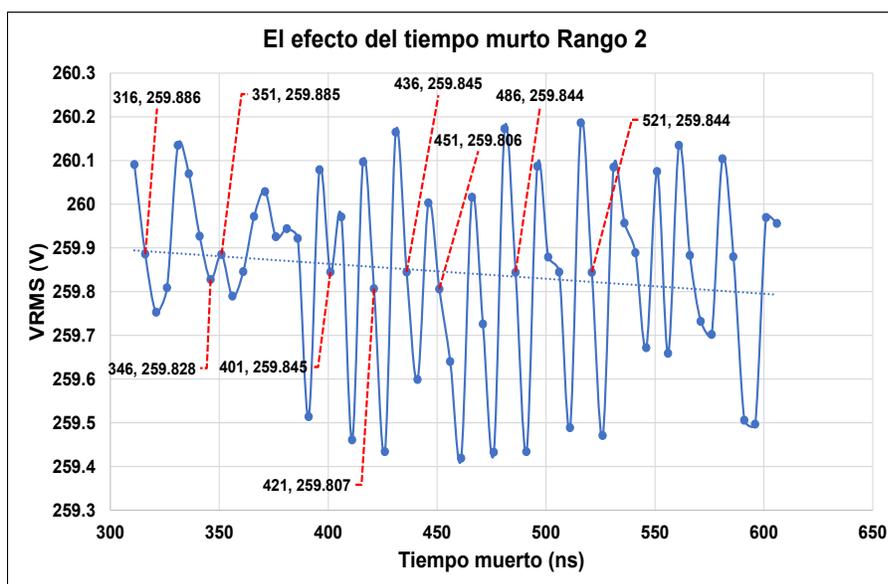


Figura 5.15. El efecto del tiempo muerto en el VRMS, observando los VRMS que se encuentran junto a la línea de tendencia, la línea de tendencia se presenta de una manera horizontal como en las pruebas realizadas con IGBT.

5.8.2 COMPARACIÓN DE LA VARIACIÓN DEL TD EN MOSFET E IGBT EN EL RANGO 2 ACEPTADO.

Una vez que se cuenta con el banco de datos de las simulaciones realizadas, tanto de IGBT como de MOSFET, se continua con un análisis comparativo de lo que sucede en estos interruptores con el t_d seleccionado, para esto es necesario realizar, una tabla comparativa XI donde se examine los valores del VRMS así como de los t_{ds} .

Tabla XI. Comparación de VRMS del IGBT vs MOSFET.

Comparación de MOSFET e IGBT en el Rango 2			
IGBT		MOSFET	
t_d (ns)	VRMS (V)	t_d (ns)	VRMS (V)
311	260.678	311	260.091
316	260.171	316	259.886
321	260.625	321	259.753
326	260.424	326	259.809
331	260.163	331	260.135
336	260.013	336	260.07
341	260.768	341	259.927
346	260.209	346	259.828

351	260.714	351	259.885
356	260.436	356	259.79
361	260.17	361	259.846
366	260.616	366	259.972
371	260.555	371	260.029
376	260.497	376	259.926
381	260.795	381	259.944
386	260.516	386	259.922
391	260.602	391	259.514
396	260.522	396	260.079
401	260.538	401	259.845
406	260.507	406	259.971
411	260.713	411	259.461
416	260.435	416	260.097
421	260.09	421	259.807
426	260.461	426	259.434
431	260.68	431	260.165
436	260.215	436	259.845
441	260.499	441	259.599
446	260.461	446	260.003
451	260.63	451	259.806
456	260.434	456	259.64
461	260.129	461	259.419
466	260.575	466	260.016
471	260.553	471	259.726
476	260.569	476	259.433
481	260.638	481	260.173
486	260.353	486	259.844
491	260.629	491	259.434
496	260.586	496	260.087
501	260.726	501	259.879
506	260.16	506	259.845
511	260.669	511	259.489
516	260.022	516	260.186
521	260.751	521	259.844
526	260.098	526	259.471
531	260.354	531	260.085
536	260.531	536	259.957
541	260.546	541	259.889
546	260.239	546	259.672
551	260.312	551	260.075
556	260.391	556	259.659
561	260.585	561	260.135
566	260.573	566	259.883
571	260.4	571	259.732

576	260.233	576	259.702
581	260.256	581	260.104
586	260.32	586	259.88
591	260.02	591	259.506
596	260.39	596	259.497
601	260.749	601	259.97
606	260.686	606	259.956

Como se observó en la Tabla XII, los valores presentan una ligera variación en el voltaje como se mencionó con anterioridad la diferencia en el $VRMS$ de un $IGBT$ y el $MOSFET$ es que uno cae a 259V y el otro esta en 260V la diferencia es de una unidad de voltaje.

Para tener una mayor visión del análisis de la Tabla XII, se muestra a continuación en la Figura 5.16. donde se examina la comparación del Rango 2 en los dos interruptores seleccionado $IGBT$ y $MOSFET$.

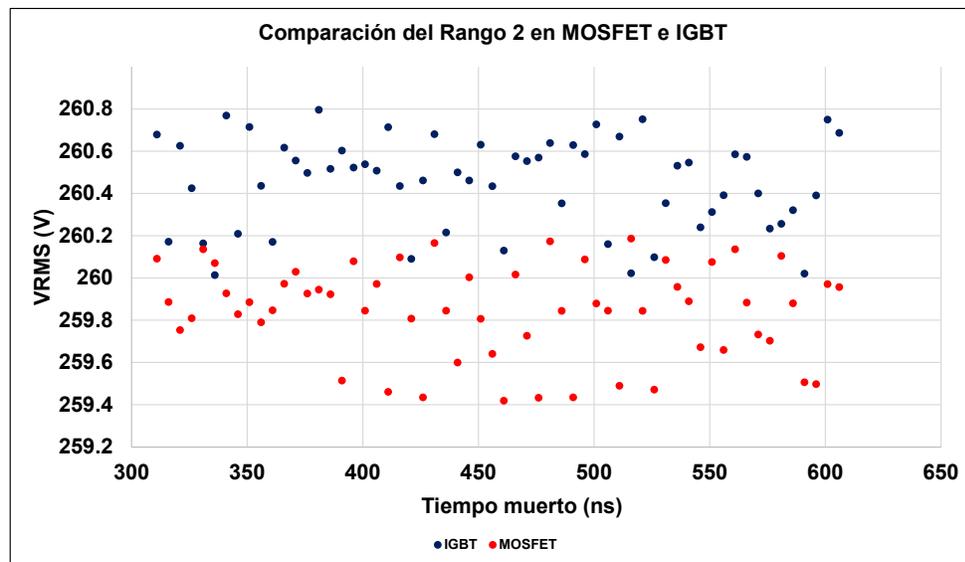


Figura 5.16. Comparación de los $VRMS$ en los interruptores $MOSFET$ e $IGBT$.

Se demuestra así que el Rango 2 es viable para trabajar con un $MOSFET$ y un $IGBT$, y como muestran las Figuras 6.7 y 6.12 que son las gráficas donde se realizó el análisis del Rango 2, las líneas de tendencia se ponen prácticamente de manera horizontal demostrando la efectividad de estos t_d .

5.9 EL EFECTO DEL TIEMPO MUERTO EN LA CORRIENTE (I_o).

En esta sección se coloca la gráfica del efecto del tiempo muerto en la corriente, como anteriormente se ha mencionado el Rango a utilizar es Rango 2, en este caso

viendo la variación tan pequeña que existe en la gráfica se decide 25ns por prueba entonces la Tabla XII quedaría de la siguiente forma:

Tabla XII. Efecto del t_d en la I_o .

t_d (ns)	I_o (A)
311	1.4485
335	1.4484
360	1.4454
385	1.4486
410	1.4477
435	1.4486
460	1.4481
485	1.4481
510	1.4477
535	1.4477
560	1.4477
585	1.4485
600	1.4485
606	1.4485

Ahora en la Figura 5.17, se muestra la gráfica de la variación de la I_o como se observa las líneas de tendencia están prácticamente de manera horizontal, existe un valor máximo de la corriente y es 1.4480A y un valor mínimo que es de 1.4454A teniendo así una ΔI_o de 0.0032A, el Rango 2 sigue siendo el mejor hasta en el efecto de la I_o .

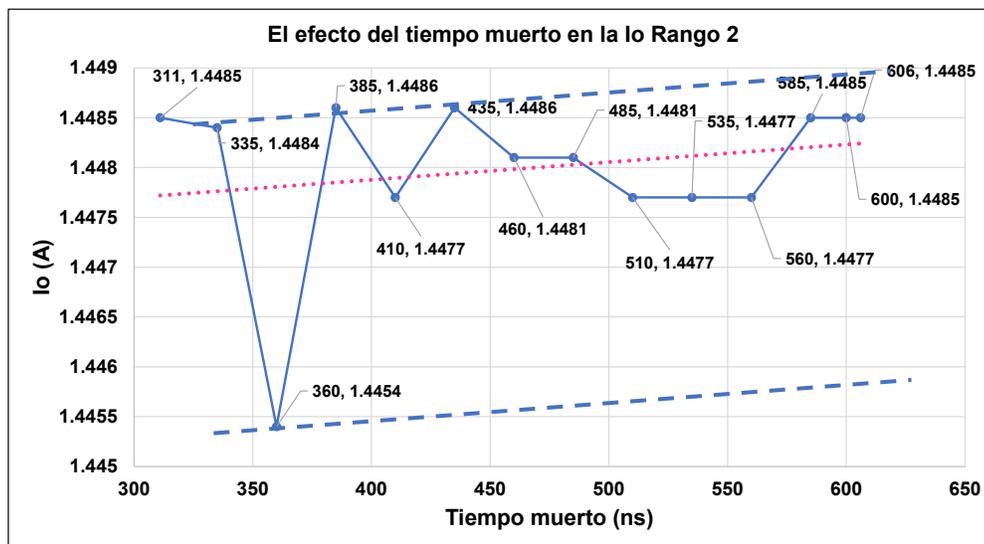


Figura 5.17. El efecto del tiempo muerto en la I_o , se muestra una variación muy pequeña, el Rango 2 también ha sido viable para la I_o debido a la inclinación de la tendencia como se observa las líneas de tendencias prácticamente están horizontales.

CAPÍTULO 6

“CONCLUSIONES”

“La inteligencia es la habilidad de adaptarse a los cambios”. Stephen Hawking.

6.1 CONCLUSIONES.

Para poder llevar a cabo adecuadamente el análisis del tiempo muerto t_d se establecieron 3 rangos, los cuales se definieron como de la siguiente forma: Rango 1 de 11ns a 306ns, el Rango 2 de 311ns a 606ns y el Rango 3 de 611ns a 900ns. La selección del rango total de estudio se estableció con base en un análisis de los tiempos de activación y desactivación de algunos *MOSFETs* e *IGBTs* de diferentes marcas y tecnologías, lográndose de esta forma tener información válida tanto para *MOSFETs*, como para *IGBTs*.

El inversor requiere una topología y una modulación para funcionar de manera correcta con respecto a la topología se define que se define desde el inicio del trabajo con inversores multinivel en cascada. En cuanto a la modulación se emplea PWM-Programado, esto debido para que al analizar el tiempo muerto este acoplado de otros elementos ajenos a la conmutación

El objetivo primordial del estudio del análisis del tiempo muerto en el inversor multinivel es tener presente que la variación es mínima pero existe y es uno de los objetivos de este trabajo de investigación demostrar que por muy pequeña que sea la variación esta ahí.

En la simulación se muestra que el resultado de la *THD* no se ve afectado, obteniéndose valores de *THD* entre 30.0016% y 30.0017%, para fines prácticos estas centésimas de variación no afectan.

El efecto del t_d en el *VRMS* en el Rango 2, se observó dentro del rango $V_{m\acute{a}x}$ de 260.795V y $V_{m\acute{i}n}$ de 260.013V, adicionalmente se observó que la pendiente de la línea de tendencia varía muy poco, lo cual se ve reflejado en tener una línea de tendencia, un valor de la pendiente de -2×10^{-4} .

El efecto que tiene el t_d en el *VRMS* en *MOSFET* con $V_{m\acute{a}x}$ de 260.16V y $V_{m\acute{i}n}$ de 259.419V retomando la información anteriormente vista en esta tesis se puede observar que la línea de tendencia que se ve en las gráficas muestra una pendiente de -3.333×10^{-4} es decir la inclinación es casi imperceptible, se puede notar que los *VRMS* no sufre gran alteración sucede lo mismo que con los *IGBTs* parecen valores constantes.

El efecto del t_d Rango 2 en la I_o es mínimo no sufre variaciones extremas, estas variaciones son mínimas la diferencia de los datos del Rango 2 en I_o es de 0.0032A.

En conclusión, el t_d en este análisis realizado no afecta de manera significativa a el inversor, debido a que se generalizó un t_d que fue de 11ns a 900ns en donde cualquiera de estos valores podría funcionar en teoría, debido a que cada t_d que se presenta aquí

fue un análisis de los diferentes t_d de *MOSFET* e *IGBT*. Se decide trabajar con el Rango 2 debido a que este Rango hace una fusión de los t_d s de los dos interruptores utilizados. El Rango 2 permite ser un t_d medio es decir que no es tan veloz pero tampoco es tan lento.

6.2 TRABAJOS FUTUROS

De acuerdo con lo estudiado en la presente tesis, se visualiza algunos temas con los cuales podría darse continuación al presente trabajo.

- Hacer un análisis experimental con una maqueta de resultados de la construcción del inversor multinivel en cascada, con el objetivo de obtener la comparación de los resultados obtenidos en este trabajo de tesis vs los resultados experimentales que se puedan obtener de este trabajo a futuro.
- Utilizando dispositivos *MOSFETs* extendiendo el tiempo muerto más allá del Rango 3, pretendiendo obtener un análisis de pérdidas de conmutación y conducción.

REFERENCIAS

BIBLIOGRAFICAS

- [1] M. H. Rashid, "Convertidores CD-CD," *Electrónica de Potencia: Circuitos, Dispositivos y Aplicaciones*. pp. 190–204, 2004.
- [2] E. B. Barcenas, "Análisis y Desarrollo de un Inversor Multinivel. CENIDET," 2002.
- [3] Y. R. Severiano, "Estudio del desempeño del conjunto motor inversor multinivel en cascada trifásico," 2018.
- [4] E. U. J. Santana, "Generador Solar de Energía Eléctrica a 200W. UDLAP," pp. 28–38, 2009.
- [5] R. Blanco Santos, "Convertidores de CA-CD y CD-CA," pp. 6–21, 2016.
- [6] B. A. Eduardo, "Análisis, Diseño y Control de Convertidores Multinivel," p. 232, 2016.
- [7] L. A. M. Silva, "Diseño de un inversor de corriente eléctrica con selector manual de conexión por fases a la salida," *tesis*, 2014.
- [8] L. G. Franquelo, J. Rodriguez, J. I. Leon, S. Kouro, R. Portillo, and M. A. M. Prats, "The age of multilevel converters arrives," *IEEE Ind. Electron. Mag.*, vol. 2, no. 2, pp. 28–39, 2008, doi: 10.1109/MIE.2008.923519.
- [9] J. A. Araque Gallardo, J. L. Diaz Rodriguez, and A. P. Garcia, "THD optimization of a single phase cascaded multilevel converter using PSO technique," *2013 Power Electron. Power Qual. Appl. PEPQA 2013 - Proc.*, no. July, 2013, doi: 10.1109/PEPQA.2013.6614944.
- [10] Y. Reyes Severiano, J. Aguayo Alquicira, S. E. De León Aldaco, and L. M. Carrillo Santos, "Comparative analysis of PD-PWM technique in the set: Multilevel Inverter-Induction motor," *Ing. Investig. y Tecnol.*, vol. 21, no. 1, pp. 1–8, 2020, doi: 10.22201/fi.25940732e.2020.21n1.007.
- [11] S. A. Menéndez, "Aportaciones al control del convertidor CC/CA de tres Niveles. UPC," 2004.
- [12] D. R. Joca, A. U. Barbosa, D. S. Oliveira, P. P. Praca, L. H. S. C. Barreto, and R. N. A. L. Silva, "Analysis of a modulation technique applied to FC inverter for THD

- reduction,” *Conf. Proc. - IEEE Appl. Power Electron. Conf. Expo. - APEC*, vol. 2015-May, no. May, pp. 2261–2268, 2015, doi: 10.1109/APEC.2015.7104664.
- [13] F. Chauca, F. Llerena, and P. Chico, “Diseño y Construcción de un Inversor Multinivel,” *Epn*, vol. 33, no. 1, 2014.
- [14] Y. Yang, Y. Tang, and Y. Li, “Dead time method of high frequency inverter with SHEPWM,” *2019 14th IEEE Conf. Ind. Electron. Appl.*, vol. 2, no. 2, pp. 457–461, 2019.
- [15] E. N. Inversores and U. En, “Análisis y compensación del tiempo muerto en inversores utilizados en sa1,” pp. 69–73, 1994.
- [16] A. Mauricio López-Cañón, R. Fernando Díez-Medina, G. Perilla-Galindo, and D. Alejandro Patiño-Guevara, “Convertidor multinivel DC/DC de alto voltaje en topología escalera,” *Univ. Bogota, Colombia*, vol. 16, no. 1, pp. 117–133, 2012.
- [17] J. Pereda, “Nuevas Topologías de Conversores Multinivel en Cascada,” 2013.
- [18] Y. Li, Y. Wang, and B. Q. Li, “Generalized Theory of Phase-Shifted Carrier PWM for Cascaded H-Bridge Converters and Modular Multilevel Converters,” *IEEE J. Emerg. Sel. Top. Power Electron.*, vol. 4, no. 2, pp. 589–605, 2016, doi: 10.1109/JESTPE.2015.2476699.
- [19] H. Alawieh, K. Arab Tehrani, Y. Azzouz, and B. Dakyo, “A novel dead time elimination strategy with zero crossing enhancement for voltage inverters,” *7th IET Int. Conf. Power Electron. Mach. Drives, PEMD 2014*, pp. 1–5, 2014.
- [20] Y. Kan, S. W. Hyun, S. J. Hong, and C. Y. Won, “Zero dead-time PWM implementation method for reducing total harmonic distortion in 3-level NPC inverter,” *2015 18th Int. Conf. Electr. Mach. Syst. ICEMS 2015*, pp. 1069–1073, 2016, doi: 10.1109/ICEMS.2015.7385196.
- [21] C. Piao and J. Y. Hung, “Analysis and compensation of dead-time effect in direct matrix converter,” *2015 IEEE Conf. Technol. Sustain. SusTech 2015*, pp. 90–95, 2015, doi: 10.1109/SusTech.2015.7314328.
- [22] Z. Zhang, F. Wang, D. J. Costinett, L. M. Tolbert, B. J. Blalock, and H. Lu, “Dead-time optimization of SiC devices for voltage source converter,” *Conf. Proc. - IEEE Appl. Power Electron. Conf. Expo. - APEC*, vol. 2015-May, no. May, pp. 1145–1152, 2015, doi: 10.1109/APEC.2015.7104492.
- [23] L. Sun, X. Zhang, B. Liu, S. Wang, Y. Wang, and D. Xu, “Efficiency Optimization of Phase-Shift Full-Bridge through Adaptive Dead-Time and Burst-Mode at Very Light Load,” *2019 22nd Int. Conf. Electr. Mach. Syst. ICEMS 2019*, pp. 1–5, 2019, doi: 10.1109/ICEMS.2019.8922110.
- [24] I. B. Rivera, “Implementación de la técnica de modulación eliminación selectiva de armónicos,” 2013.

- [25] L. Li, D. Czarkowski, Y. Liu, and P. Pillay, "Multilevel selective harmonic elimination PWM technique in series-connected voltage inverters," *IEEE Trans. Ind. Appl.*, vol. 36, no. 1, pp. 160–170, 2000, doi: 10.1109/28.821811.
- [26] B. Chen, Y. Chen, C. Tian, J. Yuan, and X. Yao, "Analysis and suppression of circulating harmonic currents in a modular multilevel converter considering the impact of dead time," *IEEE Trans. Power Electron.*, vol. 30, no. 7, pp. 3542–3552, 2015, doi: 10.1109/TPEL.2014.2346957.
- [27] V. M. Cárdenas G., S. Horta M., and R. Echavarría S., "Elimination of dead time effects in three phase inverters," *Int. Power Electron. Congr. - CIEP*, vol. 1996, pp. 258–262, 1996, doi: 10.1109/ciep.1996.618549.
- [28] L. A. R. Arredondo, "Estudio de convertidores multinivel modulares para la inyección de energía a la red eléctrica," 2019.
- [29] M. Marchesoni and P. Tenca, "Diode-clamped multilevel converters: A practicable way to balance DC-link voltages," *IEEE Trans. Ind. Electron.*, vol. 49, no. 4, pp. 752–765, 2002, doi: 10.1109/TIE.2002.801237.
- [30] A. Ruderman, B. Reznikov, and M. Margaliot, "Simple analysis of a flying capacitor converter voltage balance dynamics for DC modulation," *2008 13th Int. Power Electron. Motion Control Conf. EPE-PEMC 2008*, pp. 260–267, 2008, doi: 10.1109/EPEPEMC.2008.4635276.
- [31] A. Marquez, J. I. Leon, S. Vazquez, L. G. Franquelo, and S. Kouro, "Adaptive phase-shifted PWM for multilevel cascaded H-bridge converters with large number of power cells," *2017 11th IEEE Int. Conf. Compat. Power Electron. Power Eng. CPE-POWERENG 2017*, pp. 430–435, 2017, doi: 10.1109/CPE.2017.7915210.
- [32] A. Khoshkbar Sadigh, M. Abarzadeh, K. A. Corzine, and V. Dargahi, "A New Breed of Optimized Symmetrical and Asymmetrical Cascaded Multilevel Power Converters," *IEEE J. Emerg. Sel. Top. Power Electron.*, vol. 3, no. 4, pp. 1160–1170, 2015, doi: 10.1109/JESTPE.2015.2459011.
- [33] L. M. Tolbert, F. Z. Peng, and T. G. Habetler, "Multilevel converters for large electric drives," *IEEE Trans. Ind. Appl.*, vol. 35, no. 1, pp. 36–44, 1999, doi: 10.1109/28.740843.
- [34] H. Huang, L. Zhang, and B. V. P. Chong, "Control of a modular multilevel cascaded converter based unified power flow controller," *Proc. IECON 2018 - 44th Annu. Conf. IEEE Ind. Electron. Soc.*, vol. 1, pp. 3926–3931, 2018, doi: 10.1109/IECON.2018.8592850.
- [35] E. Babaei and S. H. Hosseini, "New multilevel converter topology with minimum number of gate driver circuits," *SPEEDAM 2008 - Int. Symp. Power Electron. Electr. Drives, Autom. Motion*, pp. 792–797, 2008, doi: 10.1109/SPEEDHAM.2008.4581263.
- [36] F. Z. Peng, "Multilevel converter new breed of power converter," pp. 2348–2356,

2003.

- [37] J. Aguirre, "Inversores su uso y aplicación," 2000.
- [38] B. Rajesh and Manjesh, "Comparison of harmonics and THD suppression with three and 5 level multilevel inverter-cascaded H-bridge," *Proc. IEEE Int. Conf. Circuit, Power Comput. Technol. ICCPCT 2016*, pp. 3–8, 2016, doi: 10.1109/ICCPCT.2016.7530116.
- [39] O. Alfaro and M. Regis, "Diseño y construcción de inversor monofásico de cuatro etapas," pp. 3–144, 2010.
- [40] H. Hashim and I. Abdel-Qader, "A new reduced-switch-count cascaded multicell converter," *IEEE Int. Conf. Electro Inf. Technol.*, pp. 525–529, 2017, doi: 10.1109/EIT.2017.8053418.
- [41] A. Alzate Gómez and L. A. Trejos G, "SIMULACIÓN DE UN INVERSOR TRIFÁSICO MULTINIVEL CON FIJACIÓN POR DIODOS USANDO SIMULINK DE MATLAB® Simulation of an Multilevel Three Phase Neutral Point Clamped Inverter Using Simulink - Matlab," *Sci. Tech.*, no. 45, pp. 227–232, 2010.
- [42] A. O. García, "Convertidores Multinivel Conectados a Red: Evaluación de la Distorsión Armónica en Función del Número de Etapas y Parámetros del Sistema," 2018.
- [43] V. Lanfranchi, N. Patin, and D. Depernet, "Computed and Optimized Pulse Width Modulation Strategies," *Power Electron. Convert. PWM Strateg. Curr. Control Tech.*, pp. 93–118, 2013, doi: 10.1002/9781118621196.ch4.
- [44] G. Maldonado Martínez, "Diseño e implementación de un inversor multinivel, de cinco niveles," 2013.
- [45] I. Q. Víctor, P. R. Javier, B. J. José, and A. Aganza, "Implementación de la Técnica de Modulación de Vectores Espaciales utilizando un Controlador Digital de Señal PIC30F3010," vol. 6, no. 1, pp. 16–24, 2009.
- [46] J. . Artal Sevil, R. Dufo López, and J. . Bernal Agustín, "Análisis de diferentes técnicas de modulación PWM: Comparación y Diseño." pp. 73–80, 2018.
- [47] C. Lago, Z. No, E. Telcel, D. F. México, and M. Kristal, "Compensating for dead time degradation of pwm inverter waveforms," pp. 14–16, 2011.
- [48] P. N. Enjeti, P. D. Ziogas, and J. F. Lindsay, "Programmed PWM techniques to eliminate harmonics - a critical evaluation," *Conf. Rec. - IAS Annu. Meet. (IEEE Ind. Appl. Soc.)*, vol. 35 n 6, pp. 418–430, 1988, doi: 10.1109/ias.1988.25095.
- [49] S. Agrawal and R. S. Kanchan, "Carrier phase shift modulation for reducing the common mode voltage in a two-level three-phase inverter," *Proc. IECON 2018 - 44th Annu. Conf. IEEE Ind. Electron. Soc.*, vol. 1, pp. 1067–1072, 2018, doi: 10.1109/IECON.2018.8591776.

- [50] J. D. González, "Inversores Pwm," 1999.
- [51] O. L. J. Antunez, "Estudio de Técnicas de Modulación para el Inversor Multinivel en Cascada Híbrido (Simétrico-Asimétrico)," *Cenidet*, p. 2011, 2012, [Online]. Available: http://www.cenidet.edu.mx/subplan/biblio/seleccion/Tesis/ME_EduardoBenedictoLopezMontero2007.pdf.
- [52] L. A. Trejos G, "Diseño e implementación de un inversor trifásico multinivel con fijación por diodos.," *Univ. Tecnológica Pereira*, vol. 9, no. 1, pp. 76–99, 2010.
- [53] J. Kumar, "THD Analysis for Different Levels of Cascade Multilevel Inverters for Industrial Applications," vol. 2, no. 10, 2012.
- [54] M. M. Reyes, "Estudio de los métodos de optimización en el convertidor multinivel en cascada monofásico," 2019.
- [55] J. D. B. Ramírez, "implementacion de un inversor de tres niveles utilizando la modulación por vectores espaciales," 2010.
- [56] J. Villal, C. Tutor, and F. Salas, "Modelado, simulación y control de convertidores en cascada," 2017.
- [57] S. Ravi, G. Rajpriya, and V. Kumarakrishnan, "Design and development of microcontroller based selective harmonic elimination technique for three phase voltage source inverter," *Int. J. Appl. Eng. Res.*, vol. 10, no. 13, pp. 11562–11578, 2015.
- [58] I. López Ropero, J. Andreu, and S. Ceballos, *Técnicas de modulación para convertidores de fijación por diodos de tres niveles multifase y control eficiente de dispositivos captadores de energía de las olas*. 2015.
- [59] A. R. Portilla., "Propuesta de nueva función PWM para circuitos inversores," 2017.
- [60] L. Horrein, J. M. Cravero, P. Delarue, A. Bouscayrol, D. Aguglia, and C. Ortega-Perez, "Dead-Time influence on fast switching pulsed power converters design - A high current application for accelerator's magnets," *2020 22nd Eur. Conf. Power Electron. Appl. EPE 2020 ECCE Eur.*, pp. 1–10, 2020, doi: 10.23919/EPE20ECCEEurope43536.2020.9215727.
- [61] C. Chen, "A new online dead time assignment technique for singlephase pwm," pp. 1112–1115, 1996.
- [62] J. Li, Z. Chen, Z. Shen, P. Mattavelli, J. Liu, and D. Boroyevich, "An adaptive dead-time control scheme for high-switching-frequency dual-active-bridge converter," *Conf. Proc. - IEEE Appl. Power Electron. Conf. Expo. - APEC*, pp. 1355–1361, 2012, doi: 10.1109/APEC.2012.6165996.
- [63] J. Zhao, X. He, Y. Han, Y. Chen, and R. Zhao, "A novel PWM control method to eliminate the effect of dead time on the output waveform for hybrid clamped multilevel inverters," *Conf. Proc. - IEEE Appl. Power Electron. Conf. Expo. - APEC*,

pp. 1534–1541, 2010, doi: 10.1109/APEC.2010.5433435.

- [64] Z. Li, Y. Li, P. Wang, H. Zhu, Z. Chu, and S. Wang, “Improving the performance of modular multilevel converter by reducing the dead time effect,” *Proc. 2011 14th Eur. Conf. Power Electron. Appl. EPE 2011*, no. 6, 2011.
- [65] J. L. Lin, “A new approach of dead-time compensation for PWM voltage inverters,” *IEEE Trans. Circuits Syst. I Fundam. Theory Appl.*, vol. 49, no. 4, pp. 476–483, 2002, doi: 10.1109/81.995662.
- [66] N. I. Echeverr, “Técnica de Compensación de Tiempos Muertos para Control de Corriente Predictivo y Robusto,” no. September, 2017.
- [67] E. C. Lee, N. S. Choi, and H. J. Kim, “Neutral-point clamped n-level multilevel converter without dead time and shoot-through problem,” *Electron. Lett.*, vol. 53, no. 15, pp. 1066–1067, 2017, doi: 10.1049/el.2017.1835.
- [68] X. Li, B. Akin, and K. Rajashekara, “Vector-Based Dead-Time Compensation for Three-Level T-Type Converters,” *IEEE Trans. Ind. Appl.*, vol. 52, no. 2, pp. 1597–1607, 2016, doi: 10.1109/TIA.2015.2488653.
- [69] T. P. Inverters, R. Maheshwari, G. Gohil, L. Bede, and S. Munk-nielsen, “Effect of Dead-Time in Interleaved PWM for Effect of Dead-Time on Circulating Current,” *2015 17th Eur. Conf. Power Electron. Appl. (EPE'15 ECCE-Europe)*, pp. 1–7, 2015.
- [70] M. Macellari, F. Celani, and L. Schirone, “Dead time generator for synchronous boost converters with GaN transistors,” *2014 IEEE Int. Electr. Veh. Conf. IEVC 2014*, 2015, doi: 10.1109/IEVC.2014.7056113.
- [71] J. Bacmaga, R. Blečić, F. Pareschi, G. Setti, and A. Baric, “Impact of Dead Times on Radiated Emissions of Integrated and Discrete DC-DC Converter,” *EMC COMPO 2019 - 2019 12th Int. Work. Electromagn. Compat. Integr. Circuits*, pp. 266–268, 2019, doi: 10.1109/EMCCompo.2019.8919946.
- [72] X. Zheng, L. Xiao, and Y. Tian, “Topology generation and analysis of the no dead time AC/DC converter,” *J. Power Electron.*, vol. 14, no. 2, pp. 249–256, 2014, doi: 10.6113/JPE.2014.14.2.249.
- [73] V. Blahnik, Z. Peroutka, J. Zak, and J. Talla, “Elimination of dead-Time effect causing current distortion of single-phase power converters,” *15th Int. Power Electron. Motion Control Conf. Expo. EPE-PEMC 2012 ECCE Eur.*, pp. 1–6, 2012, doi: 10.1109/EPEPEMC.2012.6397243.
- [74] Y. Yang, K. Zhou, H. Wang, and F. Blaabjerg, “Harmonics mitigation of dead time effects in PWM converters using a repetitive controller,” *Conf. Proc. - IEEE Appl. Power Electron. Conf. Expo. - APEC*, vol. 2015-May, no. May, pp. 1479–1486, 2015, doi: 10.1109/APEC.2015.7104543.
- [75] T. Reiter, D. Polenov, H. Pröbstle, and H. G. Herzog, “Observer based PWM dead time optimization in automotive DC/DC-converters with synchronous rectifiers,”

- PESC Rec. - IEEE Annu. Power Electron. Spec. Conf.*, pp. 3451–3456, 2008, doi: 10.1109/PESC.2008.4592489.
- [76] W. Chenshanghai, B. Lishanghai, D. Xuharbin, and L. Caishanghai, “A Dead-Time Compensation Method for Voltage Source Inverters,” *2019 22nd Int. Conf. Electr. Mach. Syst. ICEMS 2019*, pp. 0–5, 2019, doi: 10.1109/ICEMS.2019.8921871.
- [77] N. Remus, M. Leubner, and W. Hofmann, “Dead-Time Compensation Method Based on UCE-Measurement for Direct Converters,” *2018 IEEE Energy Convers. Congr. Expo. ECCE 2018*, pp. 576–583, 2018, doi: 10.1109/ECCE.2018.8557904.
- [78] Z. WANG and H. LIU, “A Fast Simulation Model of Modular Multilevel Converter with Dead Time Effect,” *DEStech Trans. Comput. Sci. Eng.*, no. pcmm, pp. 315–325, 2018, doi: 10.12783/dtcse/pcmm2018/23680.
- [79] A. Mora, J. Juliet, A. Santander, and P. Lezana, “Dead-Time and Semiconductor Voltage Drop Compensation for Cascaded H-Bridge Converters,” *IEEE Trans. Ind. Electron.*, vol. 63, no. 12, pp. 7833–7842, 2016, doi: 10.1109/TIE.2016.2563378.
- [80] S. H. Han, T. H. Jo, J. H. Park, H. G. Kim, T. W. Chun, and E. C. Nho, “Dead time compensation for grid-connected PWM inverter,” *8th Int. Conf. Power Electron. - ECCE Asia "Green World with Power Electron. ICPE 2011-ECCE Asia*, pp. 876–881, 2011, doi: 10.1109/ICPE.2011.5944633.
- [81] J. H. Lee and S. K. Sul, “Inverter Nonlinearity Compensation of Discontinuous PWM Considering Voltage Drop of Power Semiconductor and Dead Time Effect,” *ECCE 2020 - IEEE Energy Convers. Congr. Expo.*, pp. 5677–5682, 2020, doi: 10.1109/ECCE44975.2020.9235672.
- [82] K. M. Rahman and M. A. Choudhury, “Dead-time compensated pulsewidth modulator for a 3-phase VSI implemented with an AT89C52 microcontroller,” *Proc. 4th Int. Conf. Electr. Comput. Eng. ICECE 2006*, no. December, pp. 466–471, 2006, doi: 10.1109/ICECE.2006.355670.
- [83] A. Lewicki, “Dead-time effect compensation based on additional phase current measurements,” *IEEE Trans. Ind. Electron.*, vol. 62, no. 7, pp. 4078–4085, 2015, doi: 10.1109/TIE.2015.2389756.
- [84] I. Mrčela, V. Šunde, and M. Kovačić, “Effects of dead time and semiconductor device voltage drops of output voltage of multilevel converters,” *2015 38th Int. Conv. Inf. Commun. Technol. Electron. Microelectron. MIPRO 2015 - Proc.*, no. May, pp. 103–109, 2015, doi: 10.1109/MIPRO.2015.7160247.
- [85] F. Gao, H. Tian, and N. Li, “Dead-time elimination method of nine-switch converter,” *IET Power Electron.*, vol. 7, no. 7, pp. 1759–1769, 2014, doi: 10.1049/iet-pel.2013.0556.
- [86] F. Gao, L. Zhang, and P. C. Loh, “Dead-time elimination of nine-switch converter,” *Conf. Proc. - IEEE Appl. Power Electron. Conf. Expo. - APEC*, pp. 673–678, 2011, doi: 10.1109/APEC.2011.5744668.

- [87] A. Zhao, A. A. Fomani, and W. T. Ng, "One-step digital dead-time correction for DC-DC converters," *Conf. Proc. - IEEE Appl. Power Electron. Conf. Expo. - APEC*, pp. 132–137, 2010, doi: 10.1109/APEC.2010.5433682.
- [88] S. G. Jeong and M. H. Park, "The Analysis and Compensation of Dead-Time Effects in PWM Inverters," *IEEE Trans. Ind. Electron.*, vol. 38, no. 2, pp. 108–114, 1991, doi: 10.1109/41.88903.
- [89] H. Takahashi, H. Obara, and Y. Fujimoto, "Dead time compensation for three-level flying capacitor inverter with phase shift PWM," *Proc. - 2018 IEEE 15th Int. Work. Adv. Motion Control. AMC 2018*, pp. 229–233, 2018, doi: 10.1109/AMC.2019.8371093.
- [90] T. Reiter, D. Polenov, H. Präßle, and H. G. Herzog, "PWM dead time optimization method for automotive multiphase DC/DC-converters," *IEEE Trans. Power Electron.*, vol. 25, no. 6, pp. 1604–1614, 2010, doi: 10.1109/TPEL.2009.2038379.
- [91] L. Ben-Brahim, "Analysis and compensation of dead-time effects in three phase PWM inverters," *IECON Proc. (Industrial Electron. Conf.)*, vol. 2, no. 2, pp. 792–797, 1998, doi: 10.1109/iecon.1998.724194.
- [92] C. Lv and Q. Song, "Study on the dead-time effect in PWM inverter control of electric vehicle's motor," *2011 4th Int. Conf. Power Electron. Syst. Appl. PESA 2011*, 2011, doi: 10.1109/PESA.2011.5982904.

ANEXO A PROGRAMA DE SOLUCIÓN N-R Y CÁLCULOS.

A continuación, se muestra el programa elaborado en MATLAB el cual es el método de N-R.

```
% cos(x(1))+cos(x(2))+...+cos(x(s))=s·m [1ª ecuación]
% cos(3x(1))+cos(3x(2))+...+cos(3x(s))=0 [2ª ecuación]
% cos(5x(1))+cos(5x(2))+...+cos(5x(s))=0 [3ª ecuación]
% ...
% cos((2s-1)x(1))+cos((2s-1)x(2))+...+cos((2s-1)x(s))=0 [sª ecuación]
%
% ELIMINACIÓN SELECTIVA DE ARMÓNICOS, con método N-R
s=input('s='); %número de ecuaciones = n° incognitas =
% = n° ángulos de conmutación = n° puentes H en cascada (si es simétrico) =
% = n° fuentes de continua (si es simétrico)
m=input('m='); %índice de modulación
y=zeros(1,s);
y(1)=s*m;
h=(1:2:2*(s)-1);% armónicos
wp=1000;
res=@(x) [(sum(cos(x*h))-y)'
(x<=0).*abs(x)*wp
(x>=pi/2).*(x)*wp];
x0=zeros(s,1);
for k=1:s
x0(k,1)=(k-1)*pi/2/s+pi/4/s;
end

[x,ssq,cnt,nfj] = LMFnlsg2(res,x0,'Display',0);
X=sort(x); %ordenamos los resultados en orden ascendente
vthd=THD(X);
varm=sum(cos(X*h))-y;
for k=1:s %calculamos los ángulos de conmutación de los otros 3 cuadrantes
X(s+k)=pi-X(s-k+1);
X(2*s+k)=pi+X(k);
X(3*s+k)=2*pi-X(s-k+1);
end
f=60;
w=2*pi*f;
T=1/f;
t=X/w;
pws1=(t(8)-t(5))/T*100;
pds1=t(5);
pws2=(t(4)-t(1))/T*100;
pds2=t(1);
pws5=(t(7)-t(6))/T*100;
```

```

pds5=t(6);
pws62=(t(6)-t(5))/T*100;
pds62=t(5);
pws63=(t(8)-t(7))/T*100;
pds63=t(7);
pws7=(t(3)-t(2))/T*100;
pds7=t(2);
pws81=(t(2)-t(1))/T*100;
pds81=t(1);
pws82=(t(4)-t(3))/T*100;
pds82=t(3);

```

```

fprintf('angulos de disparo (grados) Cuadrante-uno');
alpha11=(X(1,1)*180)/pi
alpha21=(X(2,1)*180)/pi

```

```

fprintf('THD=');
vthd*100

```

Cálculo de ángulos de conmutación

$$S = \frac{L-1}{2} \quad (\text{A1})$$

Donde: S es el número de ángulos de conmutación por cuarto de ciclo, L es el número de niveles requeridos.

$$V_o(\omega t) = \sum_{n=1,3,5,7,..}^{\infty} \frac{4V_{dc}}{n\pi} (\text{Cos}(n\alpha_1) + \dots + \text{Cos}(n\alpha_s)) \text{Sen}(n\omega t) \quad (\text{A2})$$

Donde: s es el número de puente H que se conectan en cascada, k refiere al orden de las componentes armónicas.

$$0 \leq \alpha_1 < \alpha_2 \dots < \alpha_s \leq \frac{\pi}{2} \quad (\text{A3})$$

La expresión del voltaje fundamental que refiere (V1) en términos de ángulos de conmutación está dada por:

$$n = 1; \omega t = \frac{\pi}{2} \quad (\text{A4})$$

Por lo tanto:

$$\frac{4V_{dc}}{\pi} (\cos(\alpha_1) + \cos(\alpha_2) + \dots + \cos(\alpha_s)) = V_1 \quad (\text{A5})$$

$$V_{1\max} = \frac{4SV_{dc}}{\pi}$$

$$m = \frac{V_1}{V_{1\max}} = \frac{\pi V_1}{4SV_{dc}} \quad (\text{A6})$$

$$m \leq 1 \Leftrightarrow V_1 \leq V_{1\max}$$

El número de grados de libertad o error será de S+1

$$\begin{aligned} \cos(\alpha_1) + \cos(\alpha_2) + \dots + \cos(\alpha_s) &= s * m \\ \cos(3\alpha_1) + \cos(3\alpha_2) + \dots + \cos(3\alpha_s) &= 0 \\ \cos(5\alpha_1) + \cos(5\alpha_2) + \dots + \cos(5\alpha_s) &= 0 \\ \cos(7\alpha_1) + \cos(7\alpha_2) + \dots + \cos(7\alpha_s) &= 0 \\ \cos((2s-1)\alpha_1) + \cos((2s-1)\alpha_2) + \dots + \cos((2s-1)\alpha_s) &= 0 \end{aligned} \quad (\text{A7})$$

$$V_{out} = \sum_{n=1}^{\infty} \frac{4V_{cd}}{n\pi} \left[\sum_{k=1}^s \cos(n\theta_k) \right] \text{Sen}(n\omega t) \quad bn = \frac{2}{T} \int_0^{\alpha} 0 \text{Sen}(N\omega t) dt + \int_{\alpha}^{\frac{2}{3}\alpha} \frac{1}{3} \text{Sen}(N\omega t) dt + \int_{\frac{2}{3}\alpha}^{\frac{1}{2}\pi} \frac{2}{3} \text{Sen}(N\omega t) dt + \int_{\frac{1}{2}\pi}^{\alpha} 1 \text{Sen}(N\omega t) dt$$

$$f(t) = \sum_{N=1}^{\infty} bn(\text{Sen}(N\omega t)) \quad bn = \frac{2}{T} \int_0^{\alpha} 0 \text{Sen}(N\omega t) dt + \int_{\alpha}^{\frac{2}{3}\alpha} \frac{1}{3} \text{Sen}(N\omega t) dt + \int_{\frac{2}{3}\alpha}^{\frac{1}{2}\pi} \frac{2}{3} \text{Sen}(N\omega t) dt + \int_{\frac{1}{2}\pi}^{\alpha} 1 \text{Sen}(N\omega t) dt \quad (\text{A8})$$

$$\omega = \frac{2\pi}{T} \quad bn = \frac{4}{N\pi} \int [\cos(N\alpha_1) + \cos(N\alpha_2) + \cos(N\alpha_3)]$$

$$T * \omega = 2\pi \quad bn_3 = \frac{4}{N3} \int [\cos(3\alpha_1) + \cos(3\alpha_2) + \cos(3\alpha_3)]$$

$$T = \frac{2\pi}{\omega} \quad bn_5 = \frac{4}{N5} \int [\cos(5\alpha_1) + \cos(5\alpha_2) + \cos(5\alpha_3)]$$

$$bn = \frac{2}{T} \int_0^T f(t) \text{Sen}(N\omega t) dt \quad bn_7 = \frac{4}{N7} \int [\cos(7\alpha_1) + \cos(7\alpha_2) + \cos(7\alpha_3)]$$

$$bn_3 = \frac{4}{N3} \int [\cos(3\alpha_1) + \cos(3\alpha_2) + \cos(3\alpha_3)] = 0$$

$$bn_5 = \frac{4}{N5} \int [\cos(5\alpha_1) + \cos(5\alpha_2) + \cos(5\alpha_3)] = 0$$

$$bn_7 = \frac{4}{N7} \int [\cos(7\alpha_1) + \cos(7\alpha_2) + \cos(7\alpha_3)] = 0$$

“Me he dado cuenta de que incluso las personas que dicen que todo está predestinado y que no podemos hacer nada para cambiar nuestro destino, igual miran antes de cruzar la calle”.
Stephen William Hawking.

ANEXO B DISEÑO EN ORCAD PSPICE.

En esta sección el lector aprenderá un poco a como realizar la simulación de un inversor multinivel en cascada mostrando así componentes del simulador nombrado OrCAD PSpice.

1. Se abre OrCAD PSpice una vez abierto se observará la página de inicio. Figura B1.

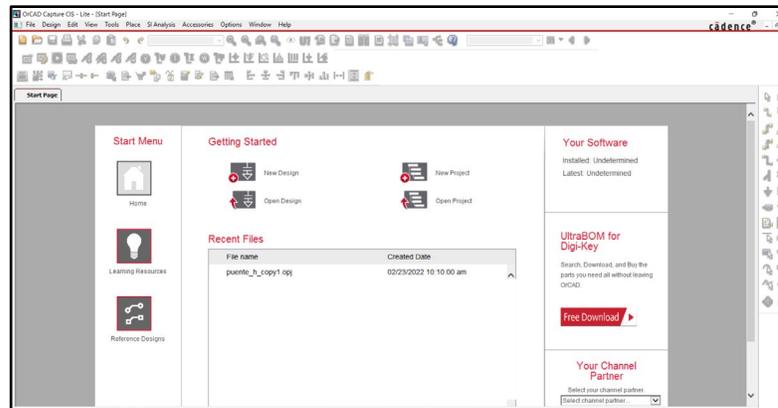


Figura B1. Página de inicio.

2. En la parte superior de la ventana se seleccionará File con un clic. Figura B2.

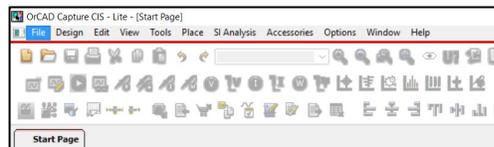


Figura B2. Barra de herramientas.

3. Una vez seleccionado se arrojará un menú. Figura B3.

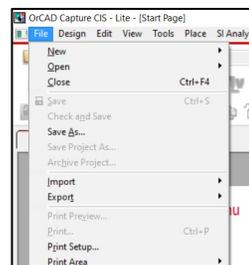


Figura B3. Menú File.

4. Selecciona con un clic New. Se desplegará otro menú de menor tamaño. Figura B4.

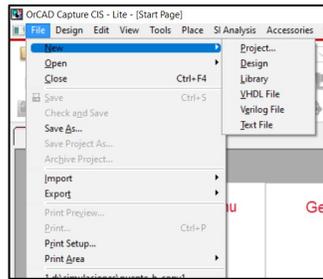


Figura B4. Clic en menú New.

5. Selecciona Project con un clic. Figura B5.

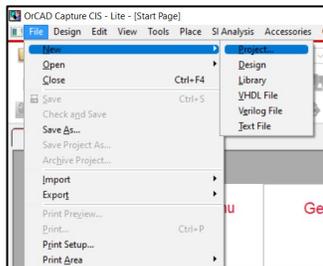


Figura B5. Menú Project.

6. Ahora aparecerá una ventana de New Project, en el espacio en blanco coloca el nombre de tu proyecto. Figura B6.

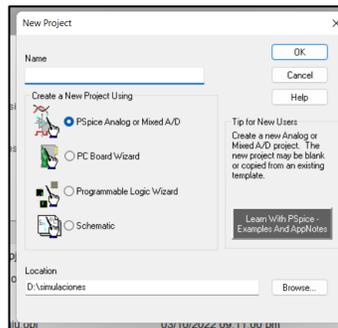


Figura B6. Pantalla New Project.

7. Cuando aparezca la siguiente ventana selecciona ok con un clic. Figura B7.



Figura B7. Create PSpice Project.

8. A continuación aparecerá un pequeño menú de carpetas selecciona el nombre de tu proyecto luego selecciona SCHEMATIC1 y Page 1. Figura B8-B9.

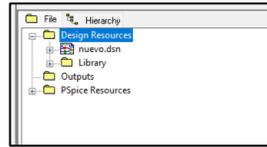


Figura B8. Carpeta Desing Resources.

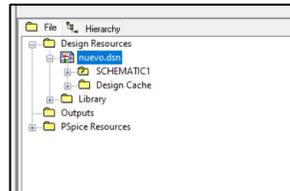


Figura B9. Subcarpeta nuevo.dsn.

9. Ahora aparecerá la pantalla de trabajo de OrCAD PSpice. Figura B10.

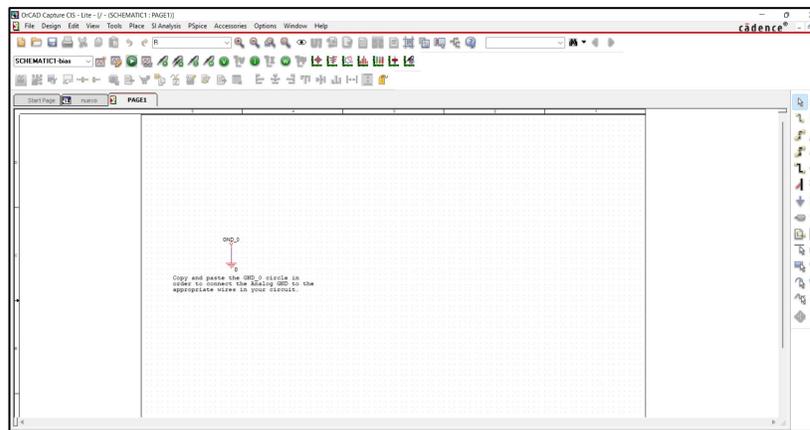


Figura B10. Pantalla de trabajo.

*Se sugiere borrar esa tierra para mayor comodidad de realizar el proyecto.

10. En la parte superior de la pantalla se logran observar las herramientas que tiene el software en esta ocasión ocuparemos el menú que dice Place selecciónalo con un clic. Figura B11.

Aparecerá ese menú ahí podrá buscar cualquier componente que este situado en el software.

13. Se seleccionan los elementos a utilizar en este caso es un IGBT un MOSFET para elaborar las pruebas pertinentes. Figura B14.

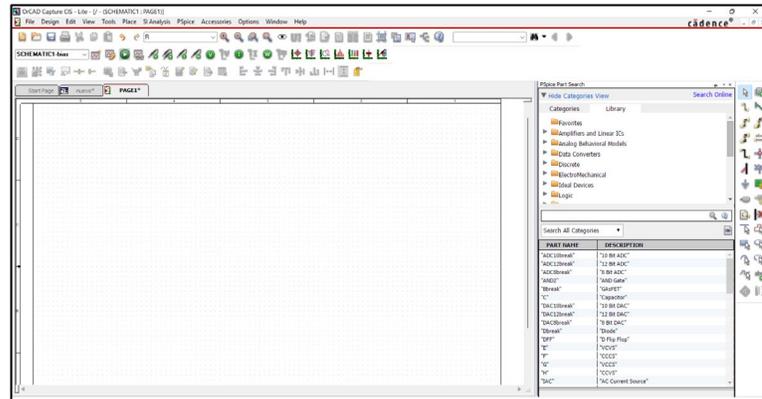


Figura B14. Menú de selección de diversos componentes.

14. El resultado del inversor multinivel sería el siguiente: Figura B15.

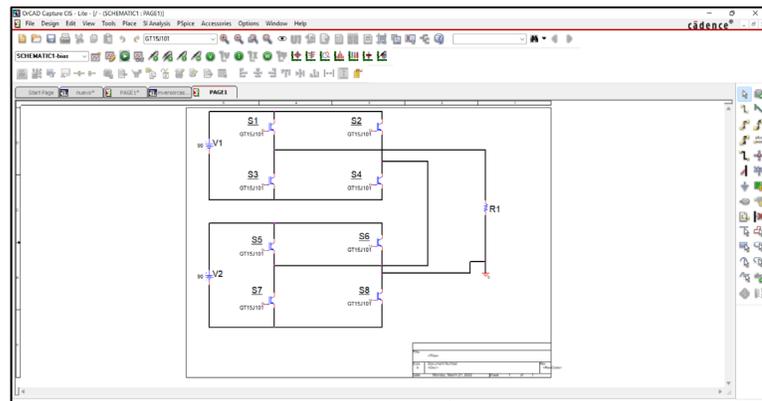


Figura B15. Elaboración del inversor multinivel en cascada con IGBT.

*Recordando que es necesario ponerles pulsos a los interruptores.

ANEXO C THD DEL TIEMPO MUERTO 311NS A 606NS.

```
d:\simulaciones\puente_cascada_copy1-PSpiceFiles\SCHEMATIC1\bias\bias.out.  
**** 06/19/22 01:21:39 **** PSpice Lite (March 2016) **** ID# 10813  
**** FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C  
**** CURRENT STEP PARAM TD = 311.0000E-09  
TOTAL HARMONIC DISTORTION = 3.0016E+01 PERCENT
```

```
**** 06/19/22 01:21:39 **** PSpice Lite (March 2016) **** ID# 10813  
**Profile: "SCHEMATIC1-bias" d:\simulaciones\puente_cascada_copy1-  
Pspicefiles\schematic1\bias.sim ]  
**** FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C  
**** CURRENT STEP PARAM TD = 316.0000E-09  
TOTAL HARMONIC DISTORTION = 3.0016E+01 PERCENT
```

```
**** 06/19/22 01:21:39 **** PSpice Lite (March 2016) **** ID# 10813  
**** Profile: "SCHEMATIC1-bias" [ d:\simulaciones\puente_cascada_copy1-  
pspicefiles\schematic1\bias.sim ]  
**** FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C  
**** CURRENT STEP PARAM TD = 321.0000E-09  
TOTAL HARMONIC DISTORTION = 3.0016E+01 PERCENT
```

```
**** 06/19/22 01:21:39 **** PSpice Lite (March 2016) **** ID# 10813  
**** Profile: "SCHEMATIC1-bias" [ d:\simulaciones\puente_cascada_copy1-  
pspicefiles\schematic1\bias.sim ]  
**** FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C  
**** CURRENT STEP PARAM TD = 326.0000E-09  
TOTAL HARMONIC DISTORTION = 3.0016E+01 PERCENT
```

```
**** 06/19/22 01:21:39 **** PSpice Lite (March 2016) **** ID# 10813  
**** Profile: "SCHEMATIC1-bias" [ d:\simulaciones\puente_cascada_copy1-  
pspicefiles\schematic1\bias.sim ]  
**** FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C  
**** CURRENT STEP PARAM TD = 331.0000E-09  
TOTAL HARMONIC DISTORTION = 3.0016E+01 PERCENT
```

```
**** 06/19/22 01:21:39 ***** PSpice Lite (March 2016) ***** ID# 10813
**** Profile: "SCHEMATIC1-bias" [ d:\simulaciones\puente_cascada_copy1-
pspicefiles\schematic1\bias.sim ]
**** FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C
**** CURRENT STEP PARAM TD = 336.0000E-09
TOTAL HARMONIC DISTORTION = 3.0016E+01 PERCENT
```

```
**** 06/19/22 01:21:39 ***** PSpice Lite (March 2016) ***** ID# 10813
**** Profile: "SCHEMATIC1-bias" [ d:\simulaciones\puente_cascada_copy1-
pspicefiles\schematic1\bias.sim ]
**** FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C
**** CURRENT STEP PARAM TD = 341.0000E-09
TOTAL HARMONIC DISTORTION = 3.0016E+01 PERCENT
```

```
**** 06/19/22 01:21:39 ***** PSpice Lite (March 2016) ***** ID# 10813
**** Profile: "SCHEMATIC1-bias" [ d:\simulaciones\puente_cascada_copy1-
pspicefiles\schematic1\bias.sim ]
**** FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C
**** CURRENT STEP PARAM TD = 346.0000E-09
TOTAL HARMONIC DISTORTION = 3.0016E+01 PERCENT
```

```
*** 06/19/22 01:21:39 ***** PSpice Lite (March 2016) ***** ID# 10813
*** Profile: "SCHEMATIC1-bias" [ d:\simulaciones\puente_cascada_copy1-
pspicefiles\schematic1\bias.sim ]
**** FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C
**** CURRENT STEP PARAM TD = 351.0000E-09
TOTAL HARMONIC DISTORTION = 3.0017E+01 PERCENT
```

```
**** 06/19/22 01:21:39 ***** PSpice Lite (March 2016) ***** ID# 10813
**** Profile: "SCHEMATIC1-bias" [ d:\simulaciones\puente_cascada_copy1-
pspicefiles\schematic1\bias.sim ]
**** FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C
**** CURRENT STEP PARAM TD = 356.0000E-09
TOTAL HARMONIC DISTORTION = 3.0017E+01 PERCENT
```

```
**** 06/19/22 01:21:39 **** PSpice Lite (March 2016) **** ID# 10813
****Profile: "SCHEMATIC1-bias" [ d:\simulaciones\puente_cascada_copy1-
pspicefiles\schematic1\bias.sim ]
**** FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C
**** CURRENT STEP PARAM TD = 361.0000E-09
TOTAL HARMONIC DISTORTION = 3.0017E+01 PERCENT
```

```
**** 06/19/22 01:21:39 **** PSpice Lite (March 2016) **** ID# 10813
****Profile: "SCHEMATIC1-bias" [ d:\simulaciones\puente_cascada_copy1-
pspicefiles\schematic1\bias.sim ]
**** FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C
**** CURRENT STEP PARAM TD = 366.0000E-09
TOTAL HARMONIC DISTORTION = 3.0017E+01 PERCENT
```

```
**** 06/19/22 01:21:39 **** PSpice Lite (March 2016) **** ID# 10813
****Profile: "SCHEMATIC1-bias" [ d:\simulaciones\puente_cascada_copy1-
pspicefiles\schematic1\bias.sim ]
**** FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C
**** CURRENT STEP PARAM TD = 371.0000E-09
TOTAL HARMONIC DISTORTION = 3.0017E+01 PERCENT
```

```
**** 06/19/22 01:21:39 **** PSpice Lite (March 2016) **** ID# 10813
****Profile: "SCHEMATIC1-bias" [ d:\simulaciones\puente_cascada_copy1-
pspicefiles\schematic1\bias.sim ]
**** FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C
**** CURRENT STEP PARAM TD = 376.0000E-09
TOTAL HARMONIC DISTORTION = 3.0017E+01 PERCENT
```

```
**** 06/19/22 01:21:39 **** PSpice Lite (March 2016) **** ID# 10813
****Profile: "SCHEMATIC1-bias" [ d:\simulaciones\puente_cascada_copy1-
pspicefiles\schematic1\bias.sim ]
**** FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C
**** CURRENT STEP PARAM TD = 381.0000E-09
TOTAL HARMONIC DISTORTION = 3.0017E+01 PERCENT
```

```
**** 06/19/22 01:21:39 ***** PSpice Lite (March 2016) ***** ID# 10813
****Profile: "SCHEMATIC1-bias" [ d:\simulaciones\puente_cascada_copy1-
pspicefiles\schematic1\bias.sim ]
**** FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C
**** CURRENT STEP PARAM TD = 386.0000E-09
TOTAL HARMONIC DISTORTION = 3.0017E+01 PERCENT
```

```
**** 06/19/22 01:21:39 ***** PSpice Lite (March 2016) ***** ID# 10813
****Profile: "SCHEMATIC1-bias" [ d:\simulaciones\puente_cascada_copy1-
pspicefiles\schematic1\bias.sim ]
**** FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C
**** CURRENT STEP PARAM TD = 391.0000E-09
TOTAL HARMONIC DISTORTION = 3.0017E+01 PERCENT
```

```
**** 06/19/22 01:21:39 ***** PSpice Lite (March 2016) ***** ID# 10813
****Profile: "SCHEMATIC1-bias" [ d:\simulaciones\puente_cascada_copy1-
pspicefiles\schematic1\bias.sim ]
**** FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C
**** CURRENT STEP PARAM TD = 396.0000E-09
TOTAL HARMONIC DISTORTION = 3.0017E+01 PERCENT
```

```
****06/19/22 01:21:39 ***** PSpice Lite (March 2016) ***** ID# 10813
****Profile: "SCHEMATIC1-bias" [ d:\simulaciones\puente_cascada_copy1-
pspicefiles\schematic1\bias.sim ]
**** FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C
**** CURRENT STEP PARAM TD = 401.0000E-09
TOTAL HARMONIC DISTORTION = 3.0017E+01 PERCENT
```

```
**** 06/19/22 01:21:39 ***** PSpice Lite (March 2016) ***** ID# 10813
**** Profile: "SCHEMATIC1-bias" [ d:\simulaciones\puente_cascada_copy1-
pspicefiles\schematic1\bias.sim ]
**** FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C
**** CURRENT STEP PARAM TD = 406.0000E-09
TOTAL HARMONIC DISTORTION = 3.0017E+01 PERCENT
```

```
**** 06/19/22 01:21:39 **** PSpice Lite (March 2016) **** ID# 10813
**** Profile: "SCHEMATIC1-bias" [ d:\simulaciones\puente_cascada_copy1-
pspicefiles\schematic1\bias.sim ]
**** FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C
**** CURRENT STEP PARAM TD = 411.0000E-09
TOTAL HARMONIC DISTORTION = 3.0017E+01 PERCENT
```

```
**** 06/19/22 01:21:39 **** PSpice Lite (March 2016) **** ID# 10813
**** Profile: "SCHEMATIC1-bias" [ d:\simulaciones\puente_cascada_copy1-
pspicefiles\schematic1\bias.sim ]
**** FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C
**** CURRENT STEP PARAM TD = 416.0000E-09
TOTAL HARMONIC DISTORTION = 3.0017E+01 PERCENT
```

```
**** 06/19/22 01:21:39 **** PSpice Lite (March 2016) **** ID# 10813
**** Profile: "SCHEMATIC1-bias" [ d:\simulaciones\puente_cascada_copy1-
pspicefiles\schematic1\bias.sim ]
**** FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C
**** CURRENT STEP PARAM TD = 421.0000E-09
TOTAL HARMONIC DISTORTION = 3.0017E+01 PERCENT
```

```
**** 06/19/22 01:21:39 **** PSpice Lite (March 2016) **** ID# 10813
**** Profile: "SCHEMATIC1-bias" [ d:\simulaciones\puente_cascada_copy1-
pspicefiles\schematic1\bias.sim ]
**** FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C
**** CURRENT STEP PARAM TD = 426.0000E-09
TOTAL HARMONIC DISTORTION = 3.0017E+01 PERCENT
```

```
**** 06/19/22 01:21:39 **** PSpice Lite (March 2016) **** ID# 10813
** Profile: "SCHEMATIC1-bias" [ d:\simulaciones\puente_cascada_copy1-
pspicefiles\schematic1\bias.sim ]
**** FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C
**** CURRENT STEP PARAM TD = 431.0000E-09
TOTAL HARMONIC DISTORTION = 3.0017E+01 PERCENT
```

```
**** 06/19/22 01:21:39 **** PSpice Lite (March 2016) **** ID# 10813
****Profile: "SCHEMATIC1-bias" [ d:\simulaciones\puente_cascada_copy1-
pspicefiles\schematic1\bias.sim ]
**** FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C
**** CURRENT STEP PARAM TD = 436.0000E-09
TOTAL HARMONIC DISTORTION = 3.0017E+01 PERCENT
```

```
**** 06/19/22 01:21:39 **** PSpice Lite (March 2016) **** ID# 10813
****Profile: "SCHEMATIC1-bias" [ d:\simulaciones\puente_cascada_copy1-
pspicefiles\schematic1\bias.sim ]
**** FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C
**** CURRENT STEP PARAM TD = 441.0000E-09
TOTAL HARMONIC DISTORTION = 3.0017E+01 PERCENT
```

```
**** 06/19/22 01:21:39 **** PSpice Lite (March 2016) **** ID# 10813
****Profile: "SCHEMATIC1-bias" [ d:\simulaciones\puente_cascada_copy1-
pspicefiles\schematic1\bias.sim ]
**** FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C
**** CURRENT STEP PARAM TD = 446.0000E-09
TOTAL HARMONIC DISTORTION = 3.0017E+01 PERCENT
```

```
**** 06/19/22 01:21:39 **** PSpice Lite (March 2016) **** ID# 10813
****Profile: "SCHEMATIC1-bias" [ d:\simulaciones\puente_cascada_copy1-
pspicefiles\schematic1\bias.sim ]
**** FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C
**** CURRENT STEP PARAM TD = 451.0000E-09
TOTAL HARMONIC DISTORTION = 3.0017E+01 PERCENT
```

```
**** 06/19/22 01:21:39 **** PSpice Lite (March 2016) **** ID# 10813
****Profile: "SCHEMATIC1-bias" [ d:\simulaciones\puente_cascada_copy1-
pspicefiles\schematic1\bias.sim ]
**** FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C
*** CURRENT STEP PARAM TD = 456.0000E-09
TOTAL HARMONIC DISTORTION = 3.0017E+01 PERCENT
```

```
**** 06/19/22 01:21:39 **** PSpice Lite (March 2016) **** ID# 10813
***Profile: "SCHEMATIC1-bias" [ d:\simulaciones\puente_cascada_copy1-
pspicefiles\schematic1\bias.sim ]
**** FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C
**** CURRENT STEP PARAM TD = 461.0000E-09
TOTAL HARMONIC DISTORTION = 3.0017E+01 PERCENT
```

```
**** 06/19/22 01:21:39 **** PSpice Lite (March 2016) **** ID# 10813
****Profile: "SCHEMATIC1-bias" [ d:\simulaciones\puente_cascada_copy1-
pspicefiles\schematic1\bias.sim ]
**** FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C
**** CURRENT STEP PARAM TD = 466.0000E-09
TOTAL HARMONIC DISTORTION = 3.0017E+01 PERCENT
```

```
**** 06/19/22 01:21:39 **** PSpice Lite (March 2016) **** ID# 10813
** Profile: "SCHEMATIC1-bias" [ d:\simulaciones\puente_cascada_copy1-
pspicefiles\schematic1\bias.sim ]
**** FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C
**** CURRENT STEP PARAM TD = 471.0000E-09
TOTAL HARMONIC DISTORTION = 3.0017E+01 PERCENT
```

```
**** 06/19/22 01:21:39 **** PSpice Lite (March 2016) **** ID# 10813
****Profile: "SCHEMATIC1-bias" [ d:\simulaciones\puente_cascada_copy1-
pspicefiles\schematic1\bias.sim ]
**** FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C
**** CURRENT STEP PARAM TD = 476.0000E-09
TOTAL HARMONIC DISTORTION = 3.0017E+01 PERCENT
```

```
**** 06/19/22 01:21:39 **** PSpice Lite (March 2016) **** ID# 10813
****Profile: "SCHEMATIC1-bias" [ d:\simulaciones\puente_cascada_copy1-
pspicefiles\schematic1\bias.sim ]
**** FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C
**** CURRENT STEP PARAM TD = 481.0000E-09
TOTAL HARMONIC DISTORTION = 3.0017E+01 PERCENT
```

```
**** 06/19/22 01:21:39 **** PSpice Lite (March 2016) **** ID# 10813
****Profile: "SCHEMATIC1-bias" [ d:\simulaciones\puente_cascada_copy1-
pspicefiles\schematic1\bias.sim ]
**** FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C
**** CURRENT STEP PARAM TD = 486.0000E-09
TOTAL HARMONIC DISTORTION = 3.0017E+01 PERCENT
```

```
**** 06/19/22 01:21:39 **** PSpice Lite (March 2016) **** ID# 10813
****Profile: "SCHEMATIC1-bias" [ d:\simulaciones\puente_cascada_copy1-
pspicefiles\schematic1\bias.sim ]
**** FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C
**** CURRENT STEP PARAM TD = 491.0000E-09
TOTAL HARMONIC DISTORTION = 3.0017E+01 PERCENT
```

```
**** 06/19/22 01:21:39 **** PSpice Lite (March 2016) **** ID# 10813
****Profile: "SCHEMATIC1-bias" [ d:\simulaciones\puente_cascada_copy1-
pspicefiles\schematic1\bias.sim ]
**** FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C
**** CURRENT STEP PARAM TD = 496.0000E-09
TOTAL HARMONIC DISTORTION = 3.0017E+01 PERCENT
```

```
**** 06/19/22 01:21:39 **** PSpice Lite (March 2016) **** ID# 10813
****Profile: "SCHEMATIC1-bias" [ d:\simulaciones\puente_cascada_copy1-
pspicefiles\schematic1\bias.sim ]
**** FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C
**** CURRENT STEP PARAM TD = 501.0000E-09
TOTAL HARMONIC DISTORTION = 3.0017E+01 PERCENT
```

```
**** 06/19/22 01:21:39 **** PSpice Lite (March 2016) **** ID# 10813
****Profile: "SCHEMATIC1-bias" [ d:\simulaciones\puente_cascada_copy1-
pspicefiles\schematic1\bias.sim ]
**** FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C
**** CURRENT STEP PARAM TD = 506.0000E-09
TOTAL HARMONIC DISTORTION = 3.0017E+01 PERCENT
```

```
**** 06/19/22 01:21:39 **** PSpice Lite (March 2016) **** ID# 10813
** Profile: "SCHEMATIC1-bias" [ d:\simulaciones\puente_cascada_copy1-
pspicefiles\schematic1\bias.sim ]
**** FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C
**** CURRENT STEP PARAM TD = 511.0000E-09
TOTAL HARMONIC DISTORTION = 3.0017E+01 PERCENT
```

```
**** 06/19/22 01:21:39 **** PSpice Lite (March 2016) **** ID# 10813
****Profile: "SCHEMATIC1-bias" [ d:\simulaciones\puente_cascada_copy1-
pspicefiles\schematic1\bias.sim ]
**** FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C
**** CURRENT STEP PARAM TD = 516.0000E-09
TOTAL HARMONIC DISTORTION = 3.0017E+01 PERCENT
```

```
**** 06/19/22 01:21:39 **** PSpice Lite (March 2016) **** ID# 10813
****Profile: "SCHEMATIC1-bias" [ d:\simulaciones\puente_cascada_copy1-
pspicefiles\schematic1\bias.sim ]
**** FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C
**** CURRENT STEP PARAM TD = 521.0000E-09
TOTAL HARMONIC DISTORTION = 3.0017E+01 PERCENT
```

```
**** 06/19/22 01:21:39 **** PSpice Lite (March 2016) **** ID# 10813
****Profile: "SCHEMATIC1-bias" [ d:\simulaciones\puente_cascada_copy1-
pspicefiles\schematic1\bias.sim ]
**** FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C
**** CURRENT STEP PARAM TD = 526.0000E-09
TOTAL HARMONIC DISTORTION = 3.0017E+01 PERCENT
```

```
**** 06/19/22 01:21:39 **** PSpice Lite (March 2016) **** ID# 10813
****Profile: "SCHEMATIC1-bias" [ d:\simulaciones\puente_cascada_copy1-
pspicefiles\schematic1\bias.sim ]
**** FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C
**** CURRENT STEP PARAM TD = 531.0000E-09
TOTAL HARMONIC DISTORTION = 3.0017E+01 PERCENT
```

```
**** 06/19/22 01:21:39 **** PSpice Lite (March 2016) **** ID# 10813
****Profile: "SCHEMATIC1-bias" [ d:\simulaciones\puente_cascada_copy1-
pspicefiles\schematic1\bias.sim ]
**** FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C
**** CURRENT STEP PARAM TD = 536.0000E-09
TOTAL HARMONIC DISTORTION = 3.0017E+01 PERCENT
```

```
**** 06/19/22 01:21:39 **** PSpice Lite (March 2016) **** ID# 10813
****Profile: "SCHEMATIC1-bias" [ d:\simulaciones\puente_cascada_copy1-
pspicefiles\schematic1\bias.sim ]
**** FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C
**** CURRENT STEP PARAM TD = 541.0000E-09
TOTAL HARMONIC DISTORTION = 3.0017E+01 PERCENT
```

```
**** 06/19/22 01:21:39 **** PSpice Lite (March 2016) **** ID# 10813
****Profile: "SCHEMATIC1-bias" [ d:\simulaciones\puente_cascada_copy1-
pspicefiles\schematic1\bias.sim ]
**** FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C
**** CURRENT STEP PARAM TD = 546.0000E-09
TOTAL HARMONIC DISTORTION = 3.0017E+01 PERCENT
```

```
**** 06/19/22 01:21:39 **** PSpice Lite (March 2016) **** ID# 10813
****Profile: "SCHEMATIC1-bias" [ d:\simulaciones\puente_cascada_copy1-
pspicefiles\schematic1\bias.sim ]
**** INITIAL TRANSIENT SOLUTION TEMPERATURE = 27.000 DEG C
**** CURRENT STEP PARAM TD = 551.0000E-09
TOTAL HARMONIC DISTORTION = 3.0017E+01 PERCENT
```

```
**** 06/19/22 01:21:39 **** PSpice Lite (March 2016) **** ID# 10813
****Profile: "SCHEMATIC1-bias" [ d:\simulaciones\puente_cascada_copy1-
pspicefiles\schematic1\bias.sim ]
**** FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C
**** CURRENT STEP PARAM TD = 556.0000E-09
TOTAL HARMONIC DISTORTION = 3.0017E+01 PERCENT
```

```
**** 06/19/22 01:21:39 **** PSpice Lite (March 2016) **** ID# 10813
****Profile: "SCHEMATIC1-bias" [ d:\simulaciones\puente_cascada_copy1-
pspicefiles\schematic1\bias.sim ]
**** FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C
**** CURRENT STEP PARAM TD = 561.0000E-09
TOTAL HARMONIC DISTORTION = 3.0017E+01 PERCENT
```

```
**** 06/19/22 01:21:39 **** PSpice Lite (March 2016) **** ID# 10813
****Profile: "SCHEMATIC1-bias" [ d:\simulaciones\puente_cascada_copy1-
pspicefiles\schematic1\bias.sim ]
**** FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C
**** CURRENT STEP PARAM TD = 566.0000E-09
TOTAL HARMONIC DISTORTION = 3.0017E+01 PERCENT
```

```
**** 06/19/22 01:21:39 **** PSpice Lite (March 2016) **** ID# 10813
****Profile: "SCHEMATIC1-bias" [ d:\simulaciones\puente_cascada_copy1-
pspicefiles\schematic1\bias.sim ]
**** FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C
**** CURRENT STEP PARAM TD = 571.0000E-09
TOTAL HARMONIC DISTORTION = 3.0017E+01 PERCENT
```

```
**** 06/19/22 01:21:39 **** PSpice Lite (March 2016) **** ID# 10813
****Profile: "SCHEMATIC1-bias" [ d:\simulaciones\puente_cascada_copy1-
pspicefiles\schematic1\bias.sim ]
**** FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C
**** CURRENT STEP PARAM TD = 576.0000E-09
TOTAL HARMONIC DISTORTION = 3.0017E+01 PERCENT
```

```
**** 06/19/22 01:21:39 **** PSpice Lite (March 2016) **** ID# 10813
****Profile: "SCHEMATIC1-bias" [ d:\simulaciones\puente_cascada_copy1-
pspicefiles\schematic1\bias.sim ]
**** FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C
**** CURRENT STEP PARAM TD = 581.0000E-09
TOTAL HARMONIC DISTORTION = 3.0017E+01 PERCENT
```

```
**** 06/19/22 01:21:39 **** PSpice Lite (March 2016) **** ID# 10813
****Profile: "SCHEMATIC1-bias" [ d:\simulaciones\puente_cascada_copy1-
pspicefiles\schematic1\bias.sim ]
**** FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C
**** CURRENT STEP PARAM TD = 586.0000E-09
TOTAL HARMONIC DISTORTION = 3.0017E+01 PERCENT
```

```
**** 06/19/22 01:21:39 **** PSpice Lite (March 2016) **** ID# 10813
** Profile: "SCHEMATIC1-bias" [ d:\simulaciones\puente_cascada_copy1-
pspicefiles\schematic1\bias.sim ]
**** FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C
**** CURRENT STEP PARAM TD = 591.0000E-09
TOTAL HARMONIC DISTORTION = 3.0017E+01 PERCENT
```

```
**** 06/19/22 01:21:39 **** PSpice Lite (March 2016) **** ID# 10813
****Profile: "SCHEMATIC1-bias" [ d:\simulaciones\puente_cascada_copy1-
pspicefiles\schematic1\bias.sim ]
**** FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C
**** CURRENT STEP PARAM TD = 596.0000E-09
TOTAL HARMONIC DISTORTION = 3.0017E+01 PERCENT
```

```
**** 06/19/22 01:21:39 **** PSpice Lite (March 2016) **** ID# 10813
****Profile: "SCHEMATIC1-bias" [ d:\simulaciones\puente_cascada_copy1-
pspicefiles\schematic1\bias.sim ]
**** FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C
**** CURRENT STEP PARAM TD = 601.0000E-09
TOTAL HARMONIC DISTORTION = 3.0017E+01 PERCENT
```

```
**** 06/19/22 01:21:39 **** PSpice Lite (March 2016) **** ID# 10813
****Profile: "SCHEMATIC1-bias" [ d:\simulaciones\puente_cascada_copy1-
pspicefiles\schematic1\bias.sim ]
**** FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C
**** CURRENT STEP PARAM TD = 606.0000E-09
TOTAL HARMONIC DISTORTION = 3.0017E+01 PERCENT
```