

**DEPARTAMENTO DE INGENIERÍA ELECTRÓNICA**

**TÍTULO:**

**IMPLEMENTACIÓN Y CARACTERIZACIÓN DE UN  
PSEUDO-RESISTOR DE PRECISIÓN EN CMOS**

**QUE PARA OBTENER EL TÍTULO DE:**

**MAESTRO EN INGENIERÍA ELECTRÓNICA**

**PARTICIPANTE:**

**ADRIÁN MANUEL LÓPEZ ALMEJO**

**DIRECTOR DE TESIS:**

**DR. JESÚS EZEQUIEL MOLINAR SOLÍS**

**CODIRECTOR DE TESIS:**

**DR. RAMÓN CHÁVEZ BRACAMONTES**

Cd. Guzmán Jalisco, México, agosto de 2022

Ciudad Guzmán, Jalisco, **08/agosto/2022**  
*Asunto: Autorización de impresión de Tesis*

**ING. ADRIÁN MANUEL LÓPEZ ALMEJO**  
**CANDIDATO AL GRADO DE MAESTRO EN INGENIERÍA ELECTRÓNICA**  
**PRESENTE**

De acuerdo con los Lineamientos para la Operación de los Estudios de Posgrado en el Tecnológico Nacional de México y las disposiciones en este Instituto, habiendo cumplido con todas las indicaciones que la Comisión Revisora realizó con respecto a su Trabajo de Tesis titulado **"Implementación y caracterización de pseudo-resistor de precisión en CMOS"**, la División de Estudios de Posgrado e Investigación de este Instituto, concede la Autorización para que proceda a la impresión del mismo.

Sin otro particular, quedo de Usted.

**ATENTAMENTE**

*Excelencia en Educación Tecnológica®*  
"2022 AÑO DEL CINCUENTA ANIVERSARIO DEL INSTITUTO TECNOLÓGICO DE CIUDAD GUZMÁN"

  
**MARÍA GUADALUPE SÁNCHEZ CERVANTES**  
**JEFA DE LA DIVISIÓN DE ESTUDIOS DE**  
**POSGRADO E INVESTIGACIÓN**



ccp. Archivo

MGSC/megg



<https://cdguzman.tecnm.mx/sgcicg/>  
Av. Tecnológico #100 C.P. 49100 Ciudad Guzman, Jal. Tel. (341) 5752050  
tecnm.mx | cdguzman.tecnm.mx



## ***AGRADECIMIENTOS***

A mis padres Adrián y Adriana, a mis hermanos Héctor y Karminne, a mi abuela María, a mi compañera de vida Atziry por su incondicional apoyo. A mi asesor el Dr. Ezequiel por enseñarme que los límites se los pone uno mismo. A mis compañeros Jacob, Daniel y Alberto por los días en el laboratorio.

A la vida por traerme hasta aquí.

# ÍNDICE

ÍNDICE DE FIGURAS.....	7
ÍNDICE DE TABLAS.....	10
RESUMEN.....	11
ABSTRACT .....	12
ORGANIZACIÓN DE LA TESIS .....	13
<b>1.    CAPÍTULO I: INTRODUCCIÓN .....</b>	<b>14</b>
1.1. INTRODUCCIÓN.....	14
1.2. PLANTEAMIENTO DEL PROBLEMA .....	15
1.3. HIPÓTESIS .....	16
1.4. TÍTULO.....	16
1.5. OBJETIVOS.....	16
1.5.1. OBJETIVO GENERAL .....	16
1.5.2. OBJETIVOS ESPECÍFICOS .....	16
1.6. JUSTIFICACIÓN.....	17
1.7. ANTECEDENTES .....	18
<b>2.    CAPÍTULO 2: MARCO TEÓRICO .....</b>	<b>23</b>
2.1. EL TRANSISTOR MOS .....	23
2.1.1. CLASIFICACIÓN DE DISPOSITIVOS MOSFET.....	24
2.1.2. FUNCIONAMIENTO DE DISPOSITIVOS MOSFET.....	25
2.2. ESTRUCTURAS Y SÍMBOLOS DE DISPOSITIVOS MOSFET.....	26
2.2.1. MOSFET TIPO N.....	26

2.2.2.	MOSFET TIPO P.....	29
2.3.	CARACTERÍSTICAS I-V. ....	30
2.3.1.	VOLTAJE DE UMBRAL.....	30
2.3.2.	DERIVACIÓN DE LAS CARACTERÍSTICAS DE I-V.....	32
2.4.	TRANSISTOR MOS EN INVERSIÓN DÉBIL.....	37
2.5.	EL TRANSISTOR CMOS COMO RESISTENCIA. ....	39
2.6.	EFFECTOS DE SEGUNDO ORDEN.....	47
2.6.1.	EFFECTO CUERPO .....	47
2.6.2.	MODULACIÓN DE LA LONGITUD DEL CANAL.....	49
2.7.	GPIB Y SCPI.....	51
2.7.1.	INTERFAZ GPIB.....	51
2.7.2.	ESTRUCTURA DEL BUS GPIB.....	53
2.7.3.	MODOS DE OPERACIÓN DE UN APARATO CONTROLADO POR GPIB.....	57
2.7.4.	DIRECCIONES GPIB.....	58
2.7.5.	ESPECIFICACIONES ELÉCTRICAS EN EL BUS GPIB.....	58
2.7.6.	MECANISMO DE FINALIZACIÓN DE MENSAJE DE DATOS.....	58
2.7.7.	NORMA SCPI.....	59
2.7.8.	OBJETIVO DEL SCPI.....	59
2.7.9.	INTERCAMBIABILIDAD DE INSTRUMENTOS EN SCPI.....	60
2.7.10.	CICLO DE VIDA DE SCPI.....	61
2.7.11.	TIPOS DE COMANDOS/ORDENES.....	61
2.7.12.	CONSTRUCCIÓN DE ÓRDENES.....	62
2.7.13.	CABECERA DE PROGRAMA.....	64
2.7.14.	CABECERAS DE ORDENES COMUNES.....	64
2.7.15.	CABECERAS DE CONTROL DE INSTRUMENTOS.....	65
2.7.16.	GENERACIÓN DE ESTRUCTURAS JERARQUICAS.....	65
2.7.17.	INSTRUCCIONES DE MEDICIÓN.....	69
2.7.18.	CONTROLADOR PROLOGIX GPIB-USB.....	73

### **3. CAPÍTULO 3: DESARROLLO DEL PSEUDO-RESISTOR..... 75**

3.1.	LA PSEUDO-RESISTENCIA.....	76
3.2.	RUIDO.....	78
3.2.1.	RUIDO TÉRMICO.....	79

3.2.2.	RUIDO TÉRMICO EN RESISTENCIAS .....	79
3.2.3.	RUIDO TÉRMICO EN TRANSISTORES MOS .....	80
3.3.	DISTORSIÓN ARMÓNICA TOTAL THD.....	81
3.3.1.	RANGO DINÁMICO.....	82
3.4.	RESISTORES DE ALTO VALOR .....	83
3.4.1.	CURVA CARACTERÍSTICA DE CORRIENTE VS VOLTAJE DE UN RESISTOR...	83
3.5.	EL SEGUIDOR DE VOLTAJE DE PALMISSANO -PALUMBO .....	85
3.6.	DESPLAZADOR DE NIVEL .....	88
3.7.	EL PSEUDO-RESISTOR PROPUESTO.....	90
3.8.	ARREGLOS DE TRANSISTORES MOS ALD1105 .....	94
3.9.	MATERIAL IMPLEMENTADO.....	96
3.10.	DISEÑO DEL DIAGRAMA ESQUEMÁTICO.....	98
3.11.	DISEÑO DEL PCB .....	102
3.12.	EQUIPO DE CARACTERIZACIÓN UTILIZADO .....	105
3.13.	CÓDIGO DE MATLAB GPIB.....	107
3.13.1.	PROGRAMA PARA LA OBTENCIÓN DE CURVAS DE RESISTENCIA Y SEGUIDOR DE PALUMBO .....	107
3.13.2.	PROGRAMA PARA LA OBTENCIÓN DE CURVAS DE CORRIENTE DE FUGA DEL ALD1105.....	110
<b>4.</b>	<b>RESULTADOS .....</b>	<b>113</b>
4.1.	ARMADO DEL PCB .....	113
4.2.	OBTENCIÓN DE LA CURVA DEL SEGUIDOR DE PALUMBO.....	115
4.3.	OBTENCIÓN DE LAS CURVAS DE RESISTENCIA.....	117
4.4.	MEDICIÓN DE THD CON EL ANALIZADOR DE ESPECTROS RIGOL DSA815.....	123
4.5.	MEDICIÓN DE DIODOS PARÁSITOS DEL ALD 1105 .....	125
4.6.	COMPARATIVA DE LOS PRINCIPALES PARAMETROS .....	126
<b>5.</b>	<b>CONCLUSIONES .....</b>	<b>127</b>

5.1. TRABAJOS FUTUROS.....	128
<b>6. ANEXOS.....</b>	<b>129</b>
MOVILIDAD ESTUDIANTIL.....	134
ARTICULO PUBLICADO.....	135
<b>7. BIBLIOGRAFÍA .....</b>	<b>136</b>

# ÍNDICE DE FIGURAS

FIGURA. 1. 1: RESISTOR VARIABLE CONTROLADO POR VOLTAJE. ....	18
FIGURA. 1. 2: SEGUIDOR DE FUENTE EMPLEADO CON MOSFET.....	18
FIGURA. 1. 3: GRAFICO DE LA SIMULACIÓN DE SEGUIDOR DE FUENTE CON EFECTO DE CUERPO. ....	19
FIGURA. 1. 4: TOPOLOGÍA PROPUESTA POR TAJALLI [20]. ....	20
FIGURA. 1. 5: TOPOLOGÍA DE KASSIRI [21].....	20
FIGURA. 1. 6: PROPUESTA DE NAGULAPALLI [22]. ....	21
FIGURA 2.1: POLARIZACIÓN DE TRANSISTORES A) N-MOS Y B) P-MOS [1]. ....	26
FIGURA 2.2: ESTRUCTURA SIMPLIFICADA DEL TRANSISTOR N-MOS [7]. ....	27
FIGURA 2.3: DIFUSIÓN LATERAL EN DISPOSITIVOS MOSFET [9]. ....	28
FIGURA 2. 4: ESTRUCTURAS Y SIMBOLOGÍAS DE TRANSISTORES A) N-MOS Y B) P-MOS [1]. .....	30
FIGURA 2. 5: A) MOSFET CONDUcido POR VOLTAJE DE COMPUERTA, B) FORMACIÓN DE LA REGIÓN DE AGOTAMIENTO, C) INICIO DE INVERSIÓN Y CAPACITANCIAS SERIE, D) FORMACIÓN DE LA CAPA DE INVERSIÓN [7].....	31
FIGURA 2. 6: BARRA DE SEMICONDUCTOR ACAREANDO UNA CORRIENTE I, B) INSTANTÁNEA DE LOS PORTADORES UN SEGUNDO DESPUÉS [7]. ....	32
FIGURA 2. 7: CARGA DEL CANAL CON A) VOLTAJES IGUALES EN FUENTE Y DRENADOR, B) VOLTAJES DESIGUALES EN FUENTE Y DRENADOR [7]. ....	34
FIGURA 2. 8: CORRIENTE DE DRENADOR CONTRA VOLTAJE FUENTE-DRENADOR EN REGIÓN DE TRÍODO [7]. ....	36
FIGURA 2. 9: CARACTERÍSTICAS MOS PARA DIFERENTES VOLTAJES DE COMPUERTA-FUENTE [8]. ....	36
FIGURA 2. 10: VISTA TRANSVERSAL DEL MOSFET [24].....	38
FIGURA 2. 11: OPERACIÓN LINEAL EN REGIÓN PROFUNDA DE TRÍODO [7]. ....	40
FIGURA 2. 12: A) VARIACIÓN DEL POTENCIAL DEL CANAL, B) DIFERENCIA DE VOLTAJE COMPUERTA-SUBSTRATO A LO LARGO DEL CANAL [8]. ....	41
FIGURA 2. 13: CORRIENTE DE DRENADOR $I_D$ , EN REGIÓN DE SATURACIÓN [7].....	42
FIGURA 2. 14: COMPORTAMIENTO DE OCLUSIÓN DEL CANAL [7]. ....	42
FIGURA 2. 15: OPERACIÓN EN SATURACIÓN DE MOSFETS DE CANAL N Y DE CANAL P, COMO FUENTES DE CORRIENTE [7].....	44
FIGURA 2. 16: VARIACIÓN DE $g_m$ CON $v_{GS}$ PARA MOSFET [1]. ....	46

FIGURA 2. 17: TRANSCONDUCTANCIA MOS COMO FUNCIÓN DEL VOLTAJE EFECTIVO Y LA CORRIENTE DE DRENADOR [7].	47
FIGURA 2. 18: DISPOSITIVO N-MOS CON VOLTAJE DE SUBSTRATO NEGATIVO [7].	48
FIGURA 2. 19: VARIACIÓN DE LA CARGA EN REGIÓN DE AGOTAMIENTO CON VOLTAJE DE SUBSTRATO [7].	48
FIGURA 2. 20: PENDIENTE FINITA DE LA REGIÓN DE SATURACIÓN RESULTANTE DE LA MODULACIÓN DE LA LONGITUD DEL CANAL [8].	50
FIGURA 2. 21: CONFIGURACIÓN LINEAL Y EN ESTRELLA DEL BUS GPIB [11] [13].	52
FIGURA 2. 22: ESTRUCTURA DEL BUS GPIB [12].	54
FIGURA 2. 23: CONECTOR ESTÁNDAR DE ACCESO AL BUS GPIB Y ASIGNACIÓN DE SEÑALES [14].	55
FIGURA 2. 24: ESQUEMA PARA LA CONSTRUCCIÓN DE CABECERAS DE 'ORDENES COMUNES [15] [16].	65
FIGURA 2. 25: ESQUEMA PARA LA CONSTRUCCIÓN DE CABECERAS DE CONTROL DE INSTRUMENTOS [15] [16].	65
FIGURA 2. 26: EJEMPLO DE ESTRUCTURA JERÁRQUICA SCPI [11].	67
FIGURA 2. 27: CABLE USB TIPO A-B PARA INTERCONEXIÓN COMPUTADORA-CONTROLADOR PROLOGIX GPIB-USB.	73
FIGURA 2. 28: CONTROLADOR PROLOGIX GPIB-USB.	74
FIGURA 2. 29: CABLE ADAPTADOR PARA BUS GPIB.	74
FIGURA 3. 1: MOSFET COMO UN RESISTOR LINEAL CONTROLADO POR VOLTAJE.	76
FIGURA 3. 2: MODELO DE RUIDO TÉRMICO EN RESISTORES [24].	79
FIGURA 3. 3: MODELO DE RUIDO TÉRMICO EN EL TRANSISTOR MOS [24].	80
FIGURA 3. 4: SÍMBOLO DEL RESISTOR CON LA DIRECCIÓN DE LA CORRIENTE Y CAÍDA DE POTENCIAL.	83
FIGURA 3.5: CURVA CARACTERÍSTICA DE UN RESISTOR LINEAL.	84
FIGURA 3. 6: ESQUEMA DEL SEGUIDOR DE VOLTAJE DE PALUMBO [25].	87
FIGURA 3. 7: GRAFICO DE LA SIMULACIÓN DEL SEGUIDOR DE PALUMBO.	88
FIGURA 3. 8: DESPLAZADOR DE NIVEL PROPUESTO.	89
FIGURA 3. 9: DIAGRAMA A BLOQUES DEL PSEUDO-RESISTOR PROPUESTO.	90
FIGURA 3. 10: SEGUIDOR DE VOLTAJE PROPUESTO PARA EL PSEUDO-RESISTOR.	92
FIGURA 3. 11: CIRCUITO DE PSEUDO-RESISTOR PROPUESTO CON SEGUIDOR DE PALUMBO.	93
FIGURA 3. 12: ESPEJOS DE CORRIENTE CMOS. A) ESPEJO NMOS. B) ESPEJO PMOS.	93
FIGURA 3. 13: ENCAPSULADO ALD1105 14 PINES.	94
FIGURA 3. 14: CONFIGURACIÓN DE LOS PINES DEL ALD1105.	95

FIGURA 3. 15: BLOQUES DEL ALD1105.....	96
FIGURA 3. 16: DIAGRAMA ESQUEMÁTICO DEL PSEUDO-RESISTOR PROPUESTO EN ORCAD CAPTURE.....	99
FIGURA 3. 17: ARREGLO PARA AJUSTAR CORRIENTES DE ESPEJOS. ....	100
FIGURA 3. 18: ENTRADAS DE LOS SEGUIDORES. ....	101
FIGURA 3. 19: CAPA DE TOP DE CIRCUITO PROPUESTO.....	103
FIGURA 3. 20: CAPA BOTTOM DEL CIRCUITO PROPUESTO. ....	104
FIGURA 4. 1: PLACA DEL CIRCUITO DEL PSEUDO-RESISTOR SIN COMPONENTES. ....	113
FIGURA 4. 2: PLACA DEL CIRCUITO DEL PSEUDO-RESISTOR CON COMPONENTES. ....	114
FIGURA 4. 3: MEDICIÓN DEL VOLTAJE DEL SEGUIDOR DE PALUMBO. ....	115
FIGURA 4. 4: CURVA DEL SEGUIDOR DE PALUMBO MEDIDA EN EL CIRCUITO.....	116
FIGURA 4. 5: DIAGRAMA PARA LA MEDICIÓN DE CURVAS DE RESISTENCIA DEL PSEUDO- RESISTOR. ....	117
FIGURA 4. 6: CURVAS DEL PSEUDO-RESISTOR PARA 1V RIEL A RIEL Y BARRIDO DE -0.75V A 0.75V Y $V_2=0.3V$ .....	118
FIGURA 4. 7: CURVAS DEL PSEUDO-RESISTOR PARA 1V RIEL A RIEL Y BARRIDO DE -0.75V A 0.75V, $V_2=0.3V$ CON CORRIENTE EN EL ESPEJO $P_1$ , $P_2=1\mu A$ , CORRIENTES EN ESPEJOS $N_1$ , $N_2= 30\mu A$ Y $V_2=200MV$ .....	119
FIGURA 4. 8: CURVAS DEL PSEUDO-RESISTOR PARA 1V RIEL A RIEL Y BARRIDO DE -0.75V A 0.75V, $V_2=0.3V$ CON CORRIENTE EN EL ESPEJO $P_1$ , $P_2=1\mu A$ , CORRIENTES EN ESPEJOS $N_1$ , $N_2= 10\mu A$ Y $V_2=50MV$ .....	120
FIGURA 4. 9: CURVAS DEL PSEUDO-RESISTOR PARA 1V RIEL A RIEL Y BARRIDO DE -0.75V A 0.75V, $V_2=0.3V$ CON CORRIENTE EN EL ESPEJO $P_1$ , $P_2=1\mu A$ , CORRIENTES EN ESPEJOS $N_1$ , $N_2= 10\mu A$ Y $V_2=0V$ . ....	121
FIGURA 4. 10: SIMULACIÓN DEL PSEUDO-RESISTOR EN TECNOLOGÍA DE $0.35\mu M$ EN EL SOFTWARE LTSPICE.....	122
FIGURA 4. 11: DIAGRAMA PARA LA MEDICIÓN DE THD CON AMPLIFICADOR DE TRANS- IMPEDANCIA. ....	123
FIGURA 4. 12: MEDICIÓN DE THD PARA VALORES RESISTIVOS PUNTUALES. ....	124
FIGURA 4. 13: CORRIENTE DE FUGA DE DIODOS DE PROTECCIÓN ALD1105. ....	125

# ÍNDICE DE TABLAS

TABLA 1. 1: COMPARACIÓN DE LAS TOPOLOGÍAS EXISTENTES EN LA LITERATURA. ....	22
TABLA 2. 1: ORDENES Y SOLICITUDES DE USO GENERAL EN TODOS LOS INSTRUMENTOS CON IEEE 488.2 [11] [15] [16]. .....	63
TABLA 2. 2: COMANDOS DE OSCILOSCOPIO DE ACUERDO AL ESTÁNDAR SCPI [12]. ....	68
TABLA 2. 3: INSTRUCCIONES DE MEDICIÓN EMPLEADAS POR SCPI. ....	71
TABLA 3.1: PARÁMETROS MÉDICOS Y FISIOLÓGICOS [23]. ....	77
TABLA 3. 2: MATERIAL UTILIZADO EN EL PSEUDO-RESISTOR. ....	96
TABLA 3.3: ELEMENTOS Y DISPOSITIVOS EMPLEADOS A NIVEL GENERAL EN LOS ANÁLISIS DESARROLLADOS EN ESTE DOCUMENTO. ....	105
TABLA 4. 1: COMPARATIVA DE PARÁMETROS DE PSEUDO-RESISTORES. ....	126

# RESUMEN

En este trabajo, un pseudo-resistor ajustable fue implementado y caracterizado usando arreglos de dispositivos MOSFET ALD1105. La propuesta presentada, emplea un novedoso y original desplazador de nivel, el cual tiene por principal finalidad la eliminación del efecto de cuerpo. El presente diseño muestra un muy aceptable nivel de linealidad en un rango útil ideal para su implementación en filtros de bioseñales. Los resultados fueron comprobados mediante simulaciones en TopSpice así como su implementación física con los arreglos discretos antes mencionados.

# ABSTRACT

In this work, an adjustable pseudo-resistor was implemented and characterized using arrays of ALD1105 MOSFET devices. The proposal presented uses a novel and original level shifter, which has as its main purpose the elimination of the body effect. The present design shows a very acceptable level of linearity in a useful range ideal for implementation in biosignal filters. The results were verified by simulations in TopSpice as well as their physical implementation with the aforementioned discrete arrangements.

## ORGANIZACIÓN DE LA TESIS

Este trabajo de tesis se organiza en 5 secciones, las cuales son descritas a continuación.

- *Capítulo I: Introducción.* En este capítulo se brinda una breve introducción y se brinda un panorama del problema abordado, la hipótesis y los objetivos de este trabajo.
- *Capítulo II: Marco Teórico.* En este capítulo se abordan los conceptos básicos del transistor MOS y la comunicación GPIB, así como los principios de funcionamiento de un pseudo-resistor.
- *Capítulo III: Desarrollo.* En este capítulo se aborda el pseudo-resistor propuesto, sus ecuaciones, así como las acciones que dieron lugar a los productos de este trabajo de tesis.
- *Capítulo IV: Resultados.* En este capítulo se presentan los productos obtenidos con el desarrollo de este trabajo.
- *Capítulo V:* Se presentan las conclusiones del trabajo, así como propuestas para trabajos futuros del mismo.

# 1. CAPÍTULO I: INTRODUCCIÓN

## 1.1. INTRODUCCIÓN

En el área de los semiconductores, actualmente se tienen avances que han permitido la construcción e implementación de dispositivos cada vez más pequeños, compactos y funcionales. Los transistores que llegaron a desplazar a los tubos de vacío (utilizados en la amplificación de señales), son los dispositivos de estado sólido que han sido modificados tanto en tamaño como en diseño.

Uno de los transistores más importantes en nuestros días, es el transistor de efecto de campo perteneciente a la tecnología MOS. Este se ha aplicado en gran medida en el diseño e implementación de circuitos analógicos integrados y en circuitos integrados digitales como lo son de chip microprocesadores y de memoria.

Hoy en día, se han desarrollado diferentes técnicas y propuestas para implementar resistencias ajustables de amplio rango en CMOS. Estas pseudo-resistencias son el elemento clave en el diseño de filtros de biomedicina; ya que los valores ajustables de alta resistencia permiten establecer las frecuencias de corte para las ondas ECG, EEG y EMG en el rango de 0.01Hz a 10kHz [23].

En este trabajo de investigación se presenta la propuesta de un pseudo-resistor original, libre de efecto de cuerpo y de baja distorsión armónica, haciendo uso de transistores PMOS y NMOS.

## 1.2. PLANTEAMIENTO DEL PROBLEMA

En este trabajo se presenta una propuesta, la cual tiene la finalidad de emular el comportamiento de resistores que alcanzan valores muy altos (llamados también Pseudo-Resistores (PRs)), en los cuales se disponen dos transistores MOS en serie y mediante la implementación de un desplazador de nivel, cuya principal función es mantenerlos en la región de subumbral en un rango determinado de operación. El principal propósito de estos circuitos consiste en polarizar el transistor MOS en la región de subumbral donde no existe capa de inversión de portadores, así, el canal del transistor tiene una alta resistencia. El principal problema del transistor MOS implementado como resistor en esta región es que la corriente  $I_d$  se comporta exponencialmente respecto al drenador, fuente y compuerta por lo que la resistencia en el canal cambia con facilidad.

Aunado a lo anterior, las propuestas actuales presentan en sus desplazadores de nivel efecto de cuerpo, fenómeno que provoca que la tensión a lo largo del rango de operación del pseudo-resistor tenga una desviación respecto al voltaje de entrada. Esto genera que la diferencia de potencial en las compuertas ( $V_{GS}$ ) no sea constante respecto a la señal en la entrada, por lo cual, el voltaje de umbral no es el mismo a lo largo del rango de operación del seguidor para los transistores que forman el pseudo-resistor. De esta forma, al verse modificado el voltaje de umbral entre dos puntos, cambia la resistencia del pseudo-resistor, trayendo consigo distorsión en las mediciones.

Las propuestas existentes presentan un rango dinámico limitado, así como baja linealidad y un porcentaje de distorsión armónica que se encuentra por encima del 5%, por lo que, aunque útiles, estas propuestas no resultan una opción óptima para el filtrado de las señales mencionadas.

### **1.3. HIPÓTESIS**

Es posible crear un diseño original de una pseudo-resistencia a partir de transistores PMOS y NMOS que mejore en rango dinámico, linealidad y porcentaje de distorsión armónica en comparación con las ideas presentes en la literatura, mediante la implementación de un desplazador de nivel libre de efecto de cuerpo.

### **1.4. TÍTULO**

Implementación y Caracterización de un Pseudo-resistor de Precisión en CMOS.

### **1.5. OBJETIVOS**

#### **1.5.1. OBJETIVO GENERAL**

Implementar y caracterizar un diseño original de un pseudo-resistor CMOS utilizando bloques de dispositivos discretos ALD1105, el cual sea ajustable, controlado por voltaje, con una linealidad y un rango dinámico mejorado.

#### **1.5.2. OBJETIVOS ESPECÍFICOS**

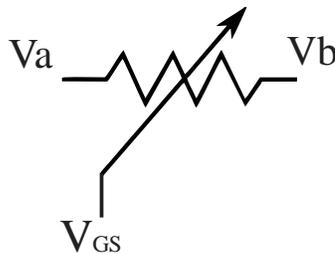
1. Estudiar las propuestas de los pseudo-resistores CMOS ajustables controlados por voltaje presentes en la literatura actual.
2. Llevar a cabo la simulación de las diferentes topologías de pseudo-resistores de alto valor existentes.
3. Diseñar el circuito eléctrico y desarrollar las pruebas físicas del modelo propuesto.
4. Comparar el pseudo resistor propuesto por esta investigación contra los existentes en la literatura.

## **1.6. JUSTIFICACIÓN**

Ante la creciente necesidad de instrumentos y dispositivos, tales que permitan la más pura obtención y medición de señales biológicas, resulta necesaria la solución de un resistor variable con valores mayores a los  $M\Omega$ . Esto, con el fin de brindar sensores que tengan la capacidad de ser embebidos en un encapsulado, ya que emplear dispositivos pasivos dentro de un chip resulta muy costoso debido al área que estos ocupan en una oblea de silicio. La eliminación del efecto de cuerpo en el desplazador de nivel traería mejoras en la linealidad y el rango dinámico de las propuestas reportadas hasta hoy en la literatura. Teniendo en cuenta que el rango en el que se encuentran las señales producidas en el organismo oscila entre decimas de Hz hasta los kHz, es necesario brindar resistores de muy alto valor para el diseño de filtros.

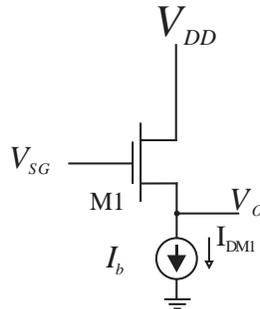
## 1.7. ANTECEDENTES

Como se explicó anteriormente, la principal finalidad de un pseudo-resistor reside en emular el comportamiento de un resistor, alcanzando valores muy altos por medio de transistores MOS. Para esto, tomaremos como ejemplo la Figura 1.1, en la cual puede observarse un resistor variable convencional, con un voltaje entre sus terminales,  $V_a$  y  $V_b$ . De igual forma se observa un voltaje de control,  $V_{GS}$ , el cual, es el encargado de variar el valor óhmico entre las terminales  $V_a$  y  $V_b$ .



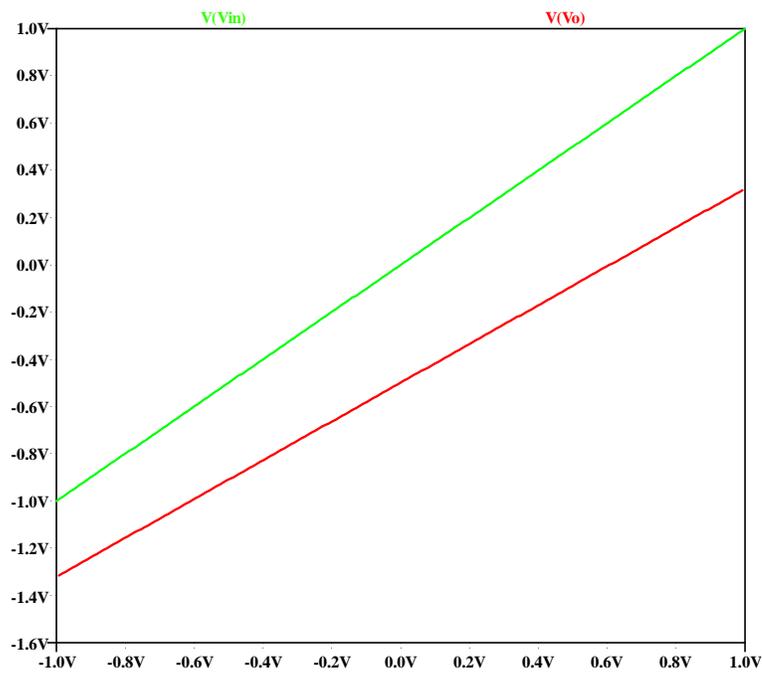
**Figura. 1. 1: Resistor Variable controlado por voltaje.**

De esta manera, mediante la modulación del canal de portadores es posible modificar la resistencia que se ve entre las terminales de drenador y fuente de un transistor MOS. Es en este punto, donde las ideas presentes en la literatura toman distintos caminos, la forma en la que se implementa el desplazador de nivel hace la diferencia en el accionar de las topologías. Generalmente son utilizados seguidores de voltaje convencionales, como el que se observa en la Figura 1.2 [20].



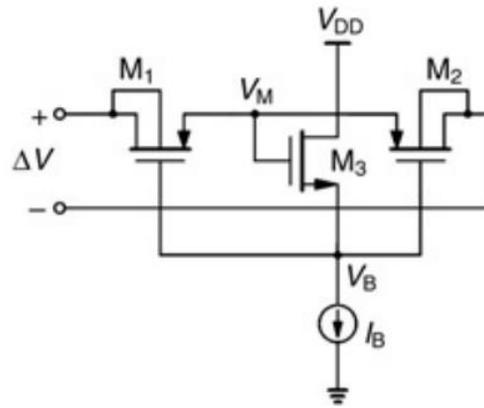
**Figura. 1. 2: Seguidor de fuente empleado con MOSFET.**

Sin embargo, en este seguidor de fuente, puesto que la fuente de M1 no está a tierra, presenta efecto de cuerpo. Esta condición provoca que en la curva de salida se tenga una pendiente diferente con respecto a la entrada, tal y como se observa en la Figura 1.3. La diferencia de potencial con respecto a la entrada tiene una desviación, es decir, el voltaje  $V_{GS}$  no se mantiene constante. Esto provoca la modificación del voltaje de umbral para los diferentes puntos de operación de los transistores que conforman el pseudo-resistor, lo cual se ve reflejado en la resistencia vista a sus extremos.



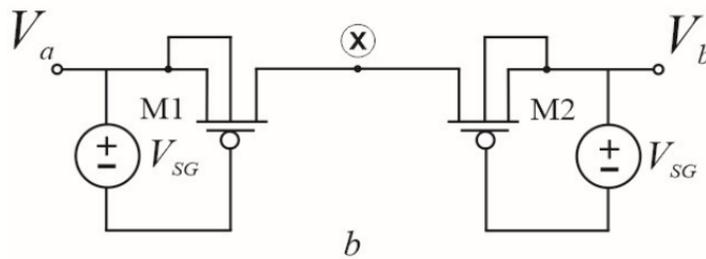
**Figura. 1. 3:** Grafico de la simulación de seguidor de fuente con efecto de cuerpo.

Muchas propuestas se basan en un trabajo previo presentado por Tajalli *et al.* [20] Figura 1.4, donde el uso de dos PMOS en régimen de subumbral permite alcanzar una resistencia en el rango  $G\Omega$ . La idea principal es ajustar el valor de la resistencia configurando el potencial  $V_{SG}$  a través de un desplazador de nivel representado por la fuente de voltaje controlable.



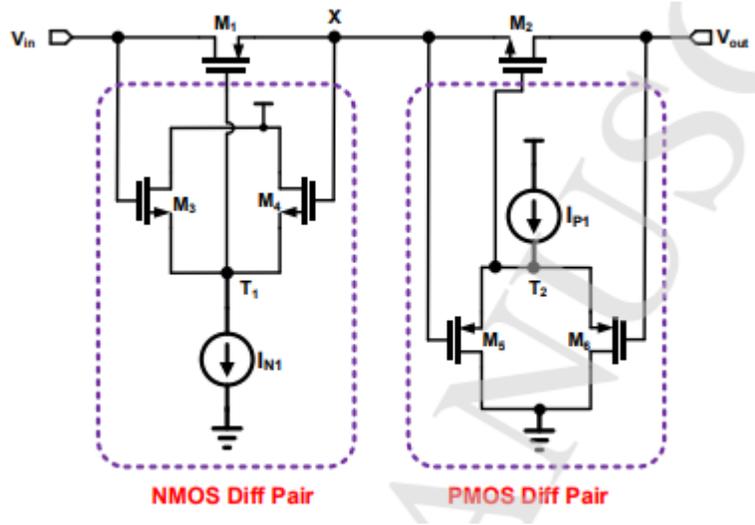
**Figura. 1. 4:** Topología propuesta por Tajalli [20].

Por otro lado, Kassiri *et al.* proponen un enfoque diferente [21], Figura 1.5, donde en lugar de un único desplazador de nivel en el nodo central “x”, cada PMOS del pseudo-resistor tiene un  $V_{SG}$  fijo mediante el uso de fuentes de voltaje ideales [21].



**Figura. 1. 5:** Topología de Kassiri [21].

Otros enfoques amplían la idea original agregando más transistores PMOS al pseudo-resistor o usando pares diferenciales como una extensión de los desplazadores de nivel antes mencionados, Figura 1.6 [22].



**Figura. 1. 6:** Propuesta de Nagulapalli [22].

Ya que los desplazadores de nivel típicos basados en NMOS son propensos al efecto de cuerpo, este hecho hace que el potencial  $V_{SG}$  cambie con el voltaje de entrada, en consecuencia, la resistencia efectiva del pseudo-resistor no es constante en el rango dinámico, causando una alta distorsión. En este sentido, proponemos un diseño de un pseudo-resistor utilizando un desplazador de nivel libre de efecto de cuerpo que mejora la linealidad.

Algunas de las principales topologías y sus características más relevantes en cuanto al diseño de filtros se refiere, pueden observarse en la Tabla 1.1:

Tabla 1. 1: Comparación de las topologías existentes en la literatura.

	<b>Tajallí [20]</b>	<b>Kassiri [21]</b>	<b>Nagulapalli [22]</b>
<b>Rango Dinámico (V)</b>	0.5V	0.6V	0.6V
<b>THD (%)</b>	5 dB	1%	No reporta
<b>Corriente de polarización (A)</b>	10nA - 100nA	25Na-125nA	5n 200nA
<b>Frecuencia (Hz)</b>	3Hz- 106kHz	0.5Hz- 5kHz	0.5Hz-10kHz
<b>Voltaje Riel a Riel (V)</b>	(-0.5V) - 0.5V	0-1.2V	0-0.7V
<b>Resistencia (<math>\Omega</math>)</b>	100k $\Omega$ - 1G $\Omega$	20k $\Omega$ -6G $\Omega$	2k $\Omega$ -500M $\Omega$
<b>Tecnología (m)</b>	0.18 $\mu$ m	0.13 $\mu$ m	0.18 $\mu$ m
<b>Implementación</b>	No	No	Si

# 2. CAPÍTULO 2: MARCO TEÓRICO

## 2.1. EL TRANSISTOR MOS

El transistor MOS (metal-óxido-semiconductor), también conocido como IGFET o más comúnmente transistor de efecto campo, tiene sus orígenes desde 1930. Sin embargo, las aportaciones del físico e inventor polaco-americano Julius E. Lilienfeld en 1928 y del ingeniero eléctrico e inventor alemán Oskar Heil en 1935 afrontaron limitaciones tecnológicas. Debido a que no se habían encontrado aplicaciones prácticas en aquel entonces, sus trabajos quedaron solo como registros en patentes [1]. En 1960, Dawon Kahng y Martin M. John Atalla realizaron el primer trabajo exitoso con MOSFET en los laboratorios Bell [2].

El transistor MOS de canal P fue el primer dispositivo en ser fabricado exitosamente en circuitos de gran escala de integración (proceso LSI; integración a gran escala). Posteriormente se obtuvo un gran desarrollo con la introducción comercial de los transistores con tecnología MOS de canal N desarrollados en procesos VLSI (integración a escala muy grande) usando dispositivos de enriquecimiento y de empobrecimiento [2].

La tecnología MOS se ha visto caracterizada por un crecimiento exponencial de la densidad de integración, debida a la reducción del tamaño y bajo costo en la construcción de los transistores. A este crecimiento exponencial con el tiempo se le conoció como Ley de Moore, que es un término informático acuñado por Gordon Moore cofundador de Intel [3]. Además, los MOSFET tienen un coeficiente de temperatura negativo en altos niveles de corriente, esto es, la corriente disminuye cuando la temperatura se incrementa. Esta característica permite una distribución más uniforme sobre el área del dispositivo y previene fallas o rupturas del mismo. El dispositivo es térmicamente estable, incluso

cuando el área activa es grande o cuando muchos dispositivos están conectados en paralelo. Debido a que no hay polarización directa de uniones n-p, los FET no sufren de almacenamiento de portadores minoritarios y, consecuentemente, tiene una velocidad de interrupción más alta en gran señal [4].

Actualmente, los MOSFETs son los dispositivos semiconductores más ampliamente utilizados, y sin ellos no serían posibles los sistemas digitales de telecomunicaciones, calculadoras de bolsillo, ni computadores industriales. Los transistores MOS son empleados cada vez más en aplicaciones analógicas tales como circuitos de condensadores conmutados, convertidores analógicos-digitales y filtros [3].

### **2.1.1. CLASIFICACIÓN DE DISPOSITIVOS MOSFET.**

Los MOSFET son dispositivos unipolares debido a que poseen un único tipo de portadores, estos portadores son electrones (para dispositivos de canal N) o huecos (en dispositivos de canal P), además, presentan alta impedancia de entrada [1] [5].

Existen dos clases de MOSFET, los de enriquecimiento y los de empobrecimiento o agotamiento. Para ambas clasificaciones se tienen dos tipos de transistores: de canal N y de canal P [5]. Un MOSFET de enriquecimiento o de agotamiento de canal N es frecuentemente referido como N-MOS, por otra parte, un MOSFET de enriquecimiento o agotamiento de canal P con frecuencia es conocido como P-MOS [1].

Se denominan MOSFET de enriquecimiento debido a que al aplicar un determinado voltaje  $V_{GS}$ , se forma un campo eléctrico que genera un canal de conducción de corriente entre las regiones de fuente y drenador. Para los MOSFET de empobrecimiento, al aplicar un voltaje específico  $V_{GS}$ , el canal de conducción presente entre las regiones de fuente y drenador (previamente formado durante la fabricación) se reduce hasta ser eliminado. Así mismo, son dispositivos simétricos, es decir, no hay distinción entre terminales de fuente y drenador [6]. Se toma como regla general que en el caso de los transistores N-MOS, la corriente va a fluir de drenador a fuente, mientras que en los transistores P-MOS la corriente fluye de fuente a drenador. Esto es debido también a que los substratos se

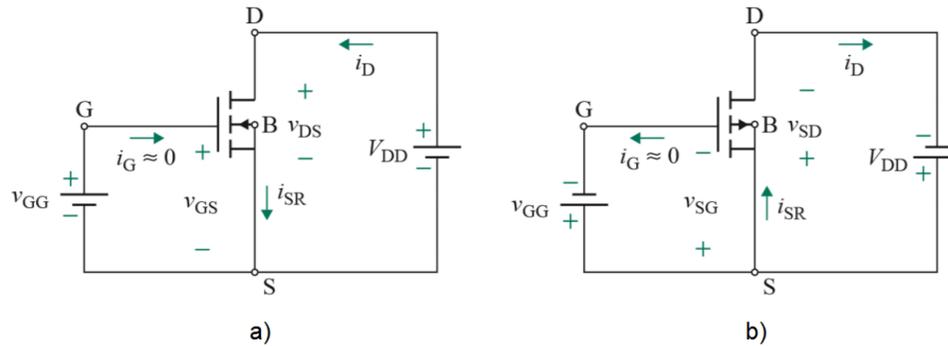
conectan a la terminal de más bajo potencial en N-MOS y a la terminal de más alto potencial en P-MOS, para reducir algunos efectos no deseados.

### **2.1.2. FUNCIONAMIENTO DE DISPOSITIVOS MOSFET.**

En el caso de un transistor N-MOS, debido a que las terminales de compuerta y sustrato del MOSFET forman un condensador de placas paralelas; siempre y cuando la fuente, el drenador y el sustrato estén al mismo potencial. La capa del dióxido de silicio actúa como dieléctrico. Al aplicar un voltaje positivo a la compuerta, hace que una carga positiva se acumule en el electrodo de compuerta, la correspondiente carga negativa se forma por los electrones del canal inducido, constituyendo así un campo eléctrico. Este campo eléctrico controla la cantidad de carga del canal, es decir, determina la conductividad y con esto, la corriente que fluirá a través del canal cuando se aplica un voltaje entre terminales de fuente y drenador [6].

Si por el contrario nos referimos a un transistor P-MOS, se tendrán los mismos procedimientos. Así, entre la terminal de compuerta y conjuntando las terminales de sustrato, fuente y drenador a un mismo potencial, se tendrá también un capacitor de placas paralelas. En este caso el voltaje aplicado a la compuerta será negativo, por lo que, una carga negativa se concentra en el electrodo de compuerta y provocará que se acumulen huecos en el canal inducido, constituyendo un campo eléctrico.

La figura 2.1 muestra la forma en cómo se debe polarizar cada transistor MOS de acuerdo al tipo de dispositivo con el que se esté trabajando.

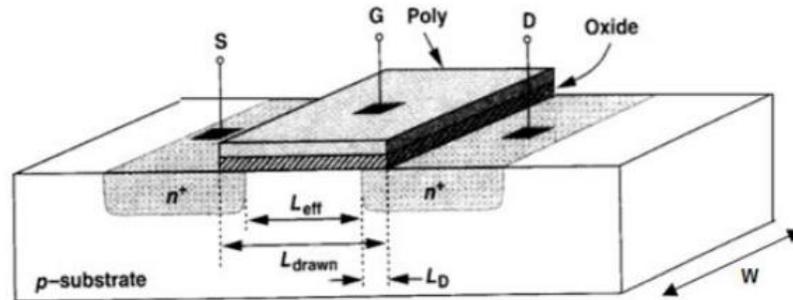


**Figura 2.1:** Polarización de transistores a) N-MOS y b) P-MOS [1].

## 2.2. ESTRUCTURAS Y SÍMBOLOS DE DISPOSITIVOS MOSFET.

### 2.2.1. MOSFET TIPO N.

La figura 2.2, muestra una estructura simplificada de un dispositivo tipo N-MOS fabricado sobre un sustrato tipo p. El dispositivo consta de dos regiones de material n fuertemente dopadas formando las terminales de fuente y drenador. Cubriendo el área entre las regiones de fuente y drenador, se encuentra una pieza constituida de un material de baja resistencia que forma el electrodo de compuerta, normalmente de aluminio en las primeras generaciones de la tecnología MOS [6] [7]. Sin embargo, se descubrió que el silicio no cristalino (poli-silicio) altamente dopado provee mejores propiedades físicas [8]. Entre el poli-silicio y el sustrato, hay una delgada capa de dióxido de silicio ( $SiO_2$ ) que funciona como aislante eléctrico y juega un papel crítico en el rendimiento del transistor [8].



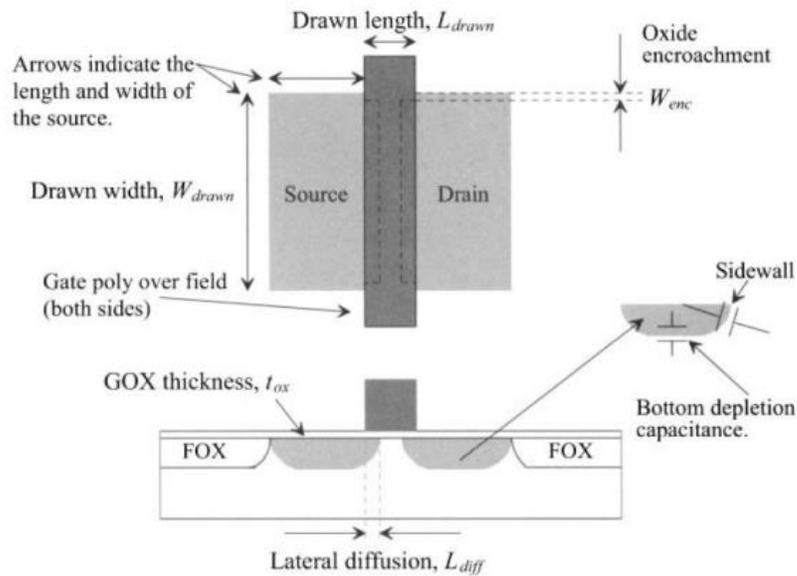
**Figura 2.2:** Estructura simplificada del transistor N-MOS [7].

Las regiones de fuente y drenador son del mismo material semiconductor (material tipo n para N MOSFET, y material tipo p para P MOSFET), mientras que el sustrato es de un material semiconductor diferente. De esta forma, se tiene un dispositivo de cuatro terminales: compuerta (G), fuente (S), drenador (D) y sustrato o cuerpo (B). Hasta este momento, se ha ignorado el sustrato sobre el cual se fabrica el dispositivo. En realidad, el potencial del sustrato influye en gran medida en las características de los dispositivos afectando directamente el desempeño de los mismos [7]. El sustrato está formado por las uniones n-p con las regiones de fuente y drenador. En operación normal, estas uniones n-p se mantienen polarizadas inversamente todo el tiempo [6].

En un MOSFET típico de canal N (N-MOS), debido a que el drenador tendrá un voltaje positivo relativo a fuente, las dos uniones n-p pueden ser cortadas simplemente conectando el terminal del sustrato a la terminal de fuente. Así, se considera que el sustrato no tiene efecto en la operación del dispositivo MOSFET [2] [6]. Lo mismo sucede para un MOSFET de canal P (P-MOS). Solo que el sustrato lo conectamos a la parte positiva del circuito, es decir, es conectado a la terminal de fuente. Esta terminal tendrá un voltaje positivo relativo a la terminal de drenador y, por tanto, el sustrato no tendrá ningún efecto en el funcionamiento del transistor. La mayoría de los transistores discretos de origen comercial ya vienen diseñados como se mencionó anteriormente, y se

tratan como dispositivos de tres terminales, a excepción de ciertos dispositivos en los que el sustrato se trata de una terminal independiente, tal y como se observa en los ALD110X.

La dimensión de la compuerta a través de la trayectoria de fuente y drenador se nombra longitud,  $L$  y es perpendicular a la dimensión llamada ancho,  $W$ . Durante la fabricación, la unión fuente y drenador que es la distancia real entre fuente y drenador, es menor que  $L$  (figura 2.3).



**Figura 2.3:** Difusión lateral en dispositivos MOSFET [9].

. Para evitar confusiones, se escribe,  $L_{eff} = L_{drawn} - 2 * L_D$ , donde  $L_{eff}$  es la longitud efectiva,  $L_{drawn}$  es la longitud total, y  $L_D$  es la cantidad de difusión lateral (también conocida como  $L_{diff}$ ) [7] [9].

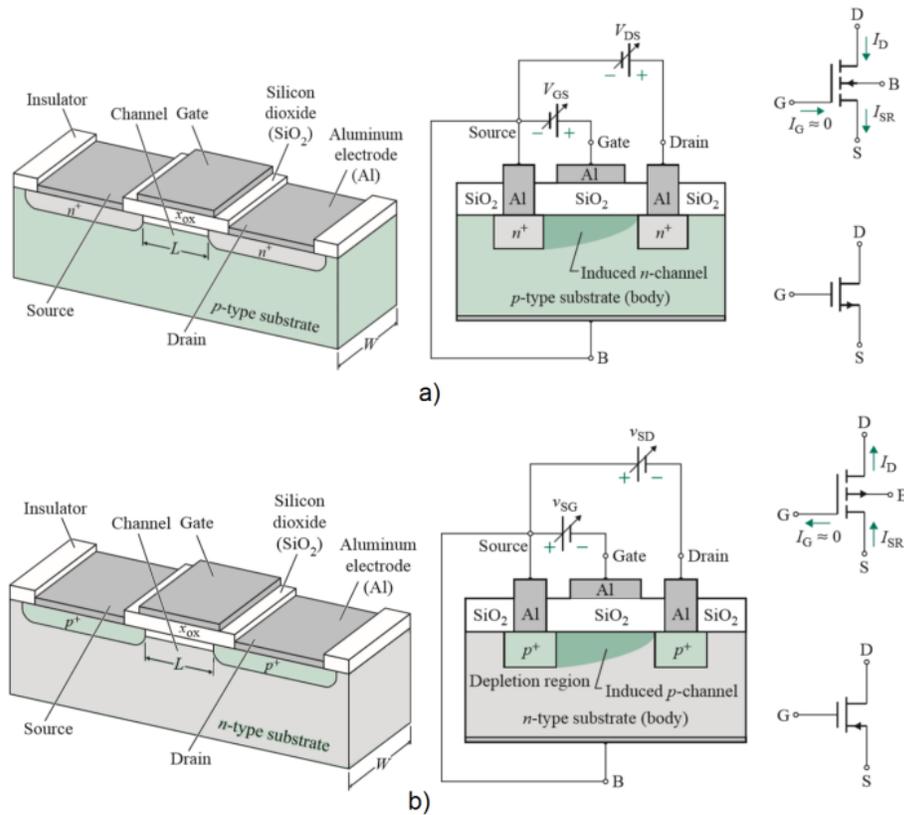
La longitud efectiva,  $L_{eff}$  y el espesor de la compuerta de óxido,  $t_{ox}$  juegan un papel importante en el desempeño de los circuitos CMOS [7]. Los valores típicos que se toman son  $L_{eff}$  aproximadamente  $0.15\mu m$  y  $t_{ox}$  alrededor de 50 angstroms ( $0.005\mu m$ ) [7]. Los óxidos delgados son atractivos porque producen capacitancia aumentada, lo cual hará

elegir la conducción a través de un MOSFET. Como ya se mencionó, la estructura MOS es simétrica, pero ¿Por qué llamamos a una región n fuente y a el otro drenador? Esto se vuelve más claro si la fuente es definida como la terminal que provee la carga de portadores (electrones en el caso de los dispositivos NMOS o huecos para los P-MOS) y el drenador es la terminal que los recoge. Así, como los voltajes en los tres terminales varían, la fuente y el drenador pueden cambiar sus roles [7].

### **2.2.2. MOSFET TIPO P.**

El dispositivo P-MOS se fabrica en un semiconductor tipo n formado por las regiones de fuente y drenador de semiconductor tipo p. El semiconductor n debe ser conectada a un potencial en el cual la unión de diodos fuente-drenador del transistor P-MOS regresa una polarización inversa en todas las condiciones. En la mayoría de los circuitos el semiconductor tipo n es ligado a la fuente más positiva de voltaje.

El comportamiento cualitativo de este transistor es esencialmente el mismo que el de un dispositivo N-MOS, excepto que las polaridades de voltaje y corriente normal están invertidas. Un voltaje negativo en la compuerta en relación con fuente ( $V_{GS} < 0$ ) es requerido para atraer huecos y crear una capa de inversión tipo p en la región del canal. En un transistor P-MOS de enriquecimiento, para iniciar la conducción es necesario que el voltaje compuerta-fuente sea más negativo que el voltaje de umbral del dispositivo, denotado como  $V_{thp}$  o  $V_{th}$ . Para mantener las uniones de fuente-substrato ( $V_{SB}$ ) y drenador-substrato ( $V_{BD}$ ) polarizadas en inversa, deben también ser menor que cero. Este requisito se cumple con  $V_{GS} < 0$  [2]. El símbolo para un N-MOS es muy similar al de un P-MOS con la única excepción de que la flecha que indica el flujo de la corriente esta invertida. La figura 2.4 muestra la estructura y simbología utilizada para representar dispositivos N-MOS y P-MOS. 12



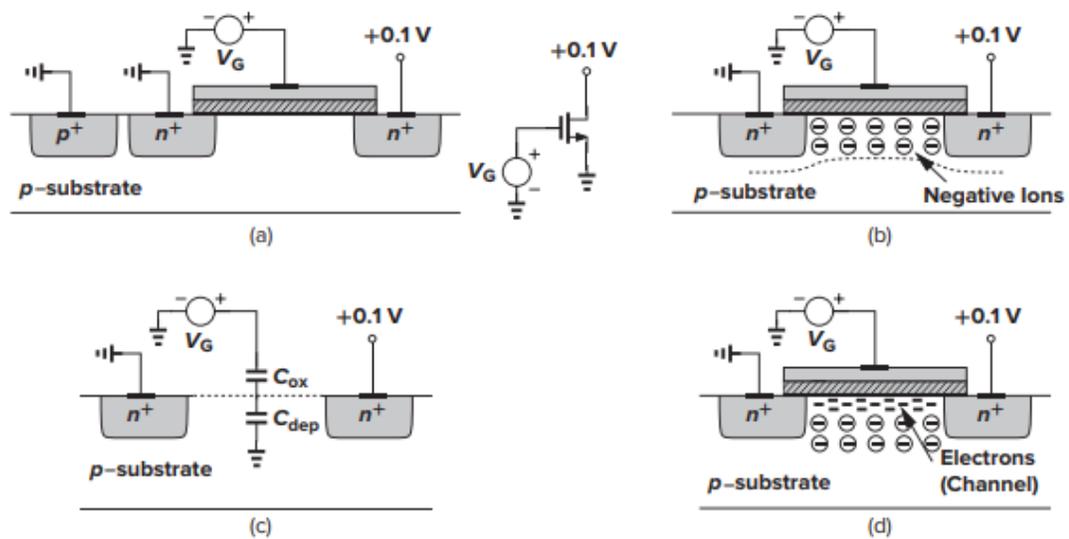
**Figura 2. 4:** Estructuras y simbologías de transistores a) N-MOS y b) P-MOS [1].

## 2.3. CARACTERÍSTICAS I-V.

### 2.3.1. VOLTAJE DE UMBRAL

Considerando un N-MOS conectado como se muestra en la figura 2.5 (a). Ya que la compuerta y el substrato forman un capacitor, al incrementar  $V_{GS}$  desde cero, los huecos en el substrato tipo p son repelidos desde el área de la compuerta, dejando atrás iones negativos para reflejar cargas en la compuerta. En otras palabras, se crea una región de agotamiento (figura 2.5 b). Bajo esta condición, no fluye corriente porque no hay portadores de carga disponibles. Conforme  $V_{GS}$  se incrementa, también lo hace la amplitud de la región de agotamiento y el potencial en la interfaz del óxido de silicio. En cierto

sentido, la estructura se asemeja a dos capacitores en serie: el capacitor compuerta-óxido y el capacitor de la región de agotamiento (figura 2.5 c). Cuando el potencial de la interfaz alcanza un valor suficientemente positivo, los electrones fluyen de la interfaz de fuente y eventualmente a drenador. Así, un canal de portadores de carga se forma bajo el óxido de la compuerta entre fuente y drenador, por lo tanto, el transistor se enciende. Se dice entonces que la interfaz esta invertida (figura 2.5 d). El valor de  $V_{GS}$  para el cual esto ocurre es llamado “voltaje de umbral”,  $V_{thn}$  o  $V_{th}$ . simplemente. Si  $V_{GS}$  aumenta más, la carga en la región de agotamiento permanece relativamente constante mientras que la densidad de carga del canal sigue aumentando proporcionando una mayor corriente desde fuente a drenador [2] [7].



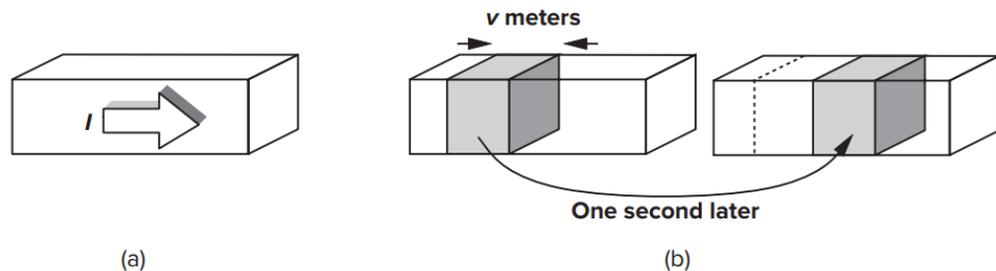
**Figura 2. 5:** a) MOSFET conducido por voltaje de compuerta, b) formación de la región de agotamiento, c) inicio de inversión y capacitancias serie, d) formación de la capa de inversión [7].

### 2.3.2. DERIVACIÓN DE LAS CARACTERÍSTICAS DE I-V

Para obtener la relación entre corriente de drenador y las terminales de voltaje de un MOSFET, se hacen dos observaciones. Primero considere una barra de semiconductor acarreando una corriente  $I$  (figura 2.6 a). Si la densidad de carga a lo largo de la dirección de la corriente es  $Q_d$  (C/m) y la velocidad de la carga es  $v$  (m/s) [7], entonces,

$$I = Q_d * v \quad (2.1)$$

Para entender porque, medimos la carga total que pasa a través de la sección transversal de la barra en unidades de tiempo. Con una velocidad  $v$ , todas las cargas incluidas en  $v$  metros de la barra deben fluir a través de la sección transversal en un segundo (figura 2.6 b). Ya que la densidad de carga es  $Q_d$ , la carga total en  $v$  metros es igual a  $Q_d * v$ . Este lema provee un análisis útil en dispositivos semiconductores [2] [7].



**Figura 2. 6:** Barra de semiconductor acarreando una corriente  $I$ , b) Instantánea de los portadores un segundo después [7].

Segundo, considere un N-MOS en el cual la fuente y el drenador están conectados a tierra (figura 2.7 a). ¿Cuál es la densidad de carga en la capa de inversión? Ya que asumimos que el inicio de la inversión ocurre cuando  $V_{GS} = V_{thn}$ , la densidad de carga de inversión producida por la capacitancia de la compuerta del óxido es proporcional a

$(V_{GS} - V_{thn})$ , debido a que no existe movilidad de cargas para la condición,  $(V_{GS} < V_{thn})$ . Para  $(V_{GS} \geq V_{thn})$ , cualquier carga colocada en la compuerta debe reflejarse por una carga en el canal produciendo una densidad de carga de canal uniforme,  $Q = C * V$  (cargas por unidad de longitud) [7] [8]. En este caso, de  $Q = C * V$ , denotamos  $C = W * C_{ox}$  como la capacitancia de la compuerta por unidad de longitud y  $V = V_{GS} - V_{thn}$  como la diferencia de potencial entre la compuerta y el canal, que nos permite definir la densidad de carga del canal como:

$$Q_d = W * C_{ox}(V_{GS} - V_{thn}) \quad (2. 2)$$

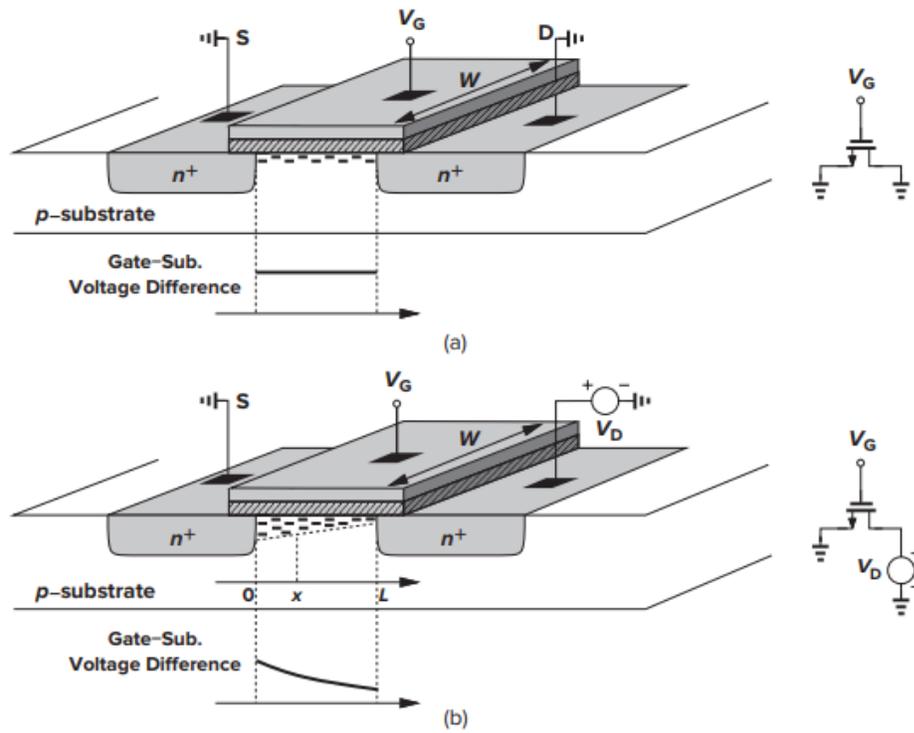
Donde  $C_{ox}$  ( $F/m^2$  o  $fF/\mu m^2$ ) es la capacitancia por unidad de área,  $W$  representa la amplitud del canal [7]. Normalmente  $C_{ox}$  tiene relación directa con el espesor de la capa del oxido  $t_{ox}$  y está definida como:

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \quad (2. 3)$$

Donde,  $\epsilon_{ox}$  es la permitividad del oxido de silicio [2] [6].

$$\epsilon_{ox} = (3,9) * \epsilon_0 = (3,9)(8,854x10^{-12}) = 3,453x10^{-11}F/m \quad (2. 4)$$

Ahora supóngase, como se muestra en la figura 2.7 b, el voltaje de drenador es mayor que cero. Ya que el potencial del canal varía desde cero en la fuente a  $V_{DD}$  en el drenador, la diferencia de voltaje local entre la compuerta y el canal varia de  $V_{GS}$  a  $(V_{GS} - V_{DS})$ . Así, la ecuación (2.2) es válida solo cerca de la terminal de fuente, donde el potencial del canal permanece cercano a cero [8].



**Figura 2. 7:** Carga del canal con a) voltajes iguales en fuente y drenador, b) voltajes desiguales en fuente y drenador [7].

Por otra parte, la densidad de carga en un punto  $x$  a lo largo del canal puede ser escrita como:

$$Q_d(x) = W * C_{ox} * [V_{GS} - V(x) - V_{thn}] \quad (2.5)$$

Donde  $V(x)$  es el potencial del canal en  $x$  [7] [8]. De (2.1) la corriente está dada por:

$$I_D = -W * C_{ox} * [V_{GS} - V(x) - V_{thn}] * v \quad (2.6)$$

Donde el signo negativo es insertado debido a que los portadores de carga son negativos (electrones) y  $v$  indica la velocidad de los electrones en el canal. Para semiconductores,  $v = \mu * E$ , donde  $\mu$  es la movilidad de los portadores de carga y  $E$  es el campo eléctrico.

Observe que  $E_x = -dV/dx$  y representando la movilidad de los electrones por  $\mu_n$  tenemos:

$$I_D = -W * C_{ox} * [V_{GS} - V(x) - V_{thn}] * \mu_n * dV/dx \quad (2.6)$$

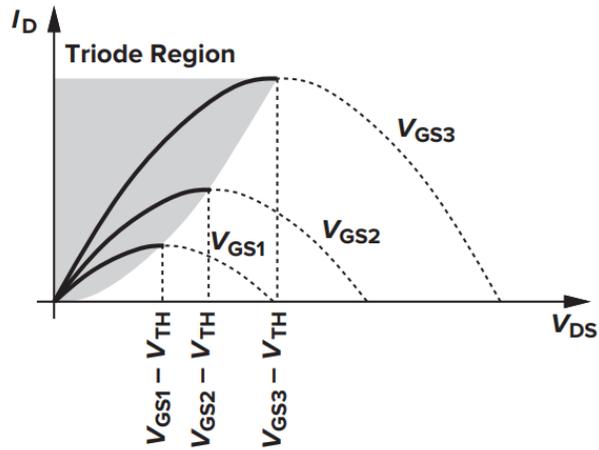
Sujeta a las condiciones de limite  $V(0) = 0$  y  $V(L) = V_{DS}$  [10]. Mientras  $V(x)$  puede ser fácilmente encontrada para esta ecuación, la cantidad de interés es de hecho  $I_D$ . Multiplicando ambos lados por  $dx$  y desarrollando la integración, obtenemos:

$$\int_{x=0}^L I_D dx = \int_{V=0}^{V_{DS}} W * C_{ox} * \mu_n * [V_{GS} - V(x) - V_{thn}] dV \quad (2.7)$$

Ya que  $I_D$  es constante a lo largo del canal,

$$I_D = \frac{W * C_{ox} * \mu_n}{L} [(V_{GS} - V_{thn}) * V_{DS} - \frac{1}{2} V_{DS}^2] \quad (2.8)$$

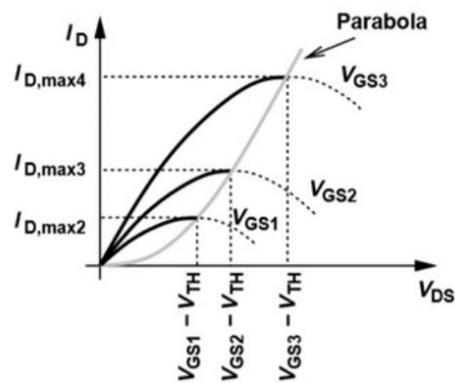
Observe que  $L$  es la longitud de canal efectiva ( $L_{eff}$ ) [3] [7]. La figura 2.8 traza las parábolas dadas por la ecuación (2.8) para diferentes valores de  $V_{GS}$ , indicando que “la capacidad de corriente” del dispositivo se incrementa con  $V_{GS}$ .



**Figura 2. 8:** Corriente de drenador contra voltaje fuente-drenador en región de triodo [7].

Calculando  $\partial I_D / \partial V_{DS}$ , el lector puede mostrar que el pico de cada parábola ocurre en  $V_{DS} = (V_{GS} - V_{thn})$  y el pico de corriente es (figura 2.9):

$$I_{D,max} = \frac{W * C_{ox} * \mu_n}{2 * L} * (V_{GS} - V_{thn})^2 \quad (2.9)$$

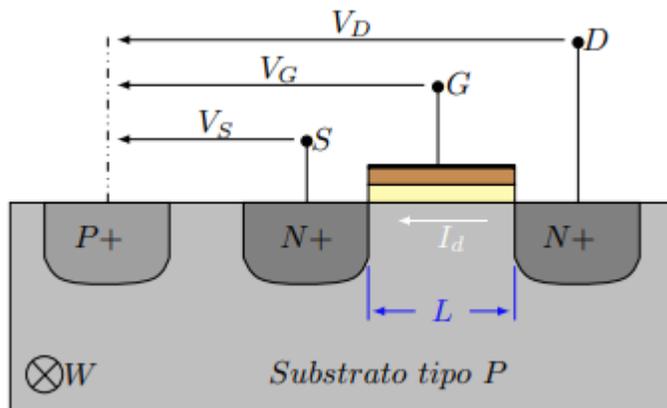


**Figura 2. 9:** Características MOS para diferentes voltajes de compuerta-fuente [8].

## 2.4. TRANSISTOR MOS EN INVERSIÓN DÉBIL

El consumo de potencia en circuitos integrados ha llegado a ser una parte importante a la hora de diseñar, con esta finalidad se han buscado estrategias que permitan operar el transistor MOS con consumo de corriente mucho más bajo que en saturación, es por ´ello que se ha propuesto operar el transistor MOS en la región de inversión débil, aquí el transistor MOS alcanza corrientes en el orden de nA y pA, lo cual permite reducir considerablemente el consumo de potencia con respecto a la región de saturación donde las corrientes son del orden de  $\mu\text{A}$  [24].

Consideremos el transistor MOS como se muestra en la Figura 2. 10, aquí se considera como un dispositivo totalmente simétrico con todos sus voltajes referidos al potencial de cuerpo, esto quiere decir que el nombre los terminales fuente y drenador pueden ser escogidos de manera arbitraria y lo realmente importante es la diferencia de potencial entre  $V_D - V_S$  la cual determina la dirección de la corriente, por otro lado también es importante la diferencia de potencial entre  $V_G - V_S$  y  $V_G - V_D$  dichos valores determinan si existen suficientes portadores en el canal para una corriente, otras diferencias de potencial a tener en cuenta son los voltajes  $V_S - V_B$  y  $V_D - V_B$  ( $V_B$  es el voltaje del cuerpo del transistor), ya que una inadecuada polarización puede provocar que la unión PN del cuerpo y el drenaje o la fuente se polarice directamente y conduzca grandes cantidades de corriente [24].



**Figura 2. 10:** Vista transversal del MOSFET [24].

El modelo en del transistor MOS para saturación y triodo predice una corriente solo cuando la diferencia de potencial entre  $|V_G - V_S|$  ha superado el voltaje umbral, sin embargo la naturaleza física del dispositivo permite que exista una pequeña corriente cuando el voltaje  $|V_G - V_S|$  es menor que el voltaje umbral, dicha corriente es mucho menor que en saturación y triodo y aumenta más rápidamente al aumentar  $V_{GS}$  que cuando se ha superado el voltaje umbral, en la Figura 3.5 se puede observar el comportamiento la corriente del transistor MOS con respecto a  $V_{GS}$ , en dichas curvas es posible ver que para voltajes mayores al voltaje umbral el transistor MOS cumple con la ley cuadrática que se propone en saturación para este, dicha región del transistor es llamada inversión fuerte (triode y saturación), puesto que en esta región el voltaje  $V_{GS}$  ha generado un campo eléctrico lo suficientemente fuerte entre la compuerta y el cuerpo del MOS de tal manera que se ha generado una capa de portadores superficial con carga opuesta a la del cuerpo del MOS [24].

Cuando el voltaje  $V_{GS}$  es menor que el voltaje umbral se puede observar una región del transistor llamada inversión débil, llamada así porque no existe realmente una capa de inversión, la cantidad de portadores presentes sobre el cuerpo bajo la compuerta del transistor MOS se debe a una baja probabilidad de generar portadores libres, que existe debido a los iones que se han producido por el campo eléctrico presente bajo la compuerta,

una aproximación para modelar matemáticamente dicha región se presenta en 3.9, en esta refleja la simetría que existe del transistor MOS, así tanto el voltaje de drenaje como el voltaje de fuente referido al voltaje cuerpo aportan una componente exponencial a la corriente total, también la diferencia de tales valores determina la dirección de la corriente, es por ello que en la ecuación las exponenciales aparecen restadas [24].

$$I = I_{D0} \exp\left(\frac{V_G}{nU_t}\right) \left[ \exp\left(\frac{-V_S}{U_t}\right) - \exp\left(\frac{-V_D}{U_t}\right) \right] \quad (2.10)$$

El valor de  $I_{D0}$  puede ser determinado con 3.10, la cual es llamada corriente de fuga del canal, el valor de  $n$  se llama factor de pendiente y en muchos casos es considerado una constante,  $\mu$  es la movilidad de portadores,  $C_{ox}$  es el óxido de compuerta por unidad ´ de área,  $U_t$  es el voltaje térmico y  $W/L$  hace referencia a la relación ancho-largo del canal.

$$I_{D0} = 2n\mu C_{ox} \frac{W}{L} U_t^2 \exp\left(\frac{-V_{t0}}{nU_t}\right) \quad (2.11)$$

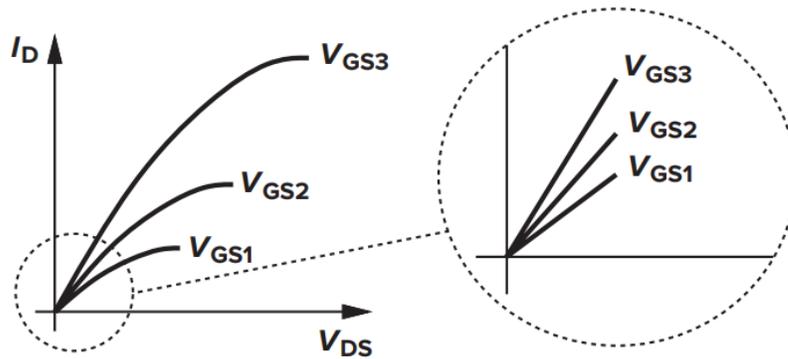
## 2.5. EL TRANSISTOR CMOS COMO RESISTENCIA.

Llamamos “voltaje efectivo” a  $(V_{GS} - V_{thn})$  y “relación de aspecto” a  $W/L$ . Si  $V_{DS} \leq (V_{GS} - V_{thn})$ , decimos que el dispositivo opera en la “región de trío o región lineal” [7]. Las ecuaciones (2.8) y (2.9) sirven como fundamento para el diseño de CMOS analógicos, describiendo la dependencia de  $I_D$  sobre la constante de la tecnología,  $C_{ox} \mu_n$ , las dimensiones,  $W$  y  $L$ , y los potenciales de compuerta y drenador con respecto a la fuente. Observe que la integración en (2.7) asume que  $\mu_n$  y  $V_{thn}$  son independientes de  $x$  y de los voltajes de la compuerta y drenador [7]. Si en la ecuación (2.8)  $V_{DS} \ll 2(V_{GS} - V_{thn})$ , tenemos:

$$I_D \approx \frac{W * C_{ox} * \mu_n}{L} * (V_{GS} - V_{thn}) V_{DS} \quad (2.12)$$

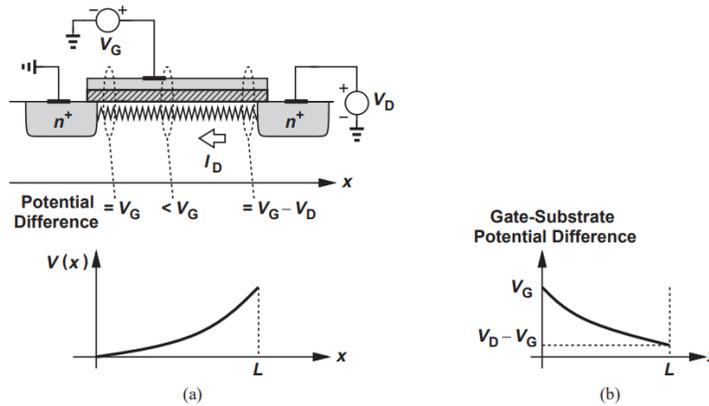
Esto es, la corriente de drenador es una función lineal de  $V_{DS}$ . Es también evidente de las características de la figura 2.8 que para pequeños valores de  $V_{DS}$  como se muestra en la figura 2.11, cada parábola puede ser aproximada por líneas rectas. La relación lineal implica que el camino de la fuente al drenador puede ser representado por una resistencia lineal igual a [2] [7] [8]:

$$R_{on} = \frac{1}{\left[ \frac{W * C_{ox} * \mu_n}{L} * (V_{GS} - V_{thn}) \right]} \quad (2.13)$$



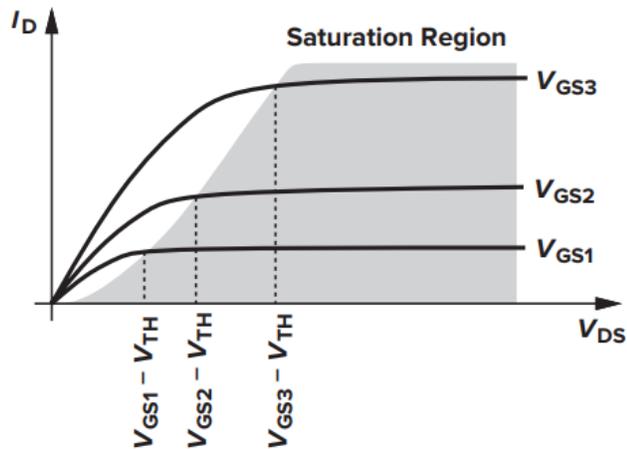
**Figura 2. 11:** Operación lineal en región profunda de triodo [7].

Un MOSFET puede, por tanto, funcionar como una resistencia cuyo valor es controlado por el voltaje efectivo (tan grande como  $V_{DS} \ll 2(V_{GS} - V_{thn})$ ). Esto es conceptualmente ilustrado en la figura 2.11.



**Figura 2. 12:** a) Variación del potencial del canal, b) diferencia de voltaje compuerta-substrato a lo largo del canal [8].

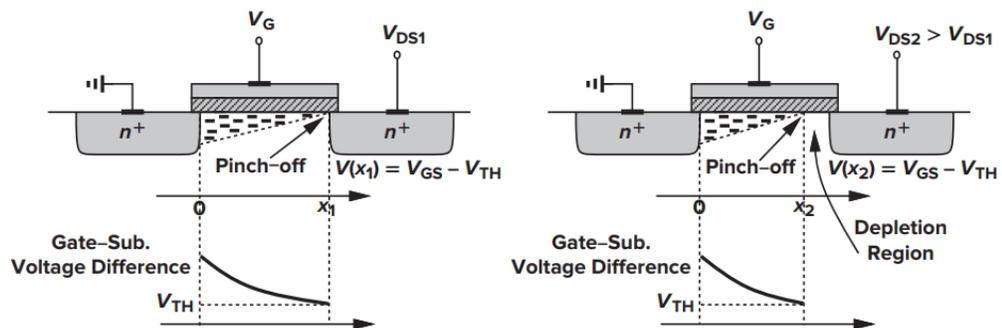
Observe que, en contraste a un transistor bipolar, un transistor MOS puede estar encendido incluso si no lleva corriente. Con la condición  $V_{DS} \ll 2(V_{GS} - V_{thn})$ , decimos que el dispositivo opera en la “región profunda de triodo” [7]. La utilidad de los MOSFETs como resistencias controlables y, como interruptores juega un papel crucial en muchos circuitos analógicos [7]. ¿Qué sucede si en la figura 2.13 el voltaje drenador-fuente excede  $(V_{GS} - V_{thn})$ ? En verdad la corriente de drenador no fluye con un comportamiento parabólico para  $V_{DS} > (V_{GS} - V_{thn})$ . De hecho, como se muestra en la figura 2.13,  $I_D$  se hace relativamente constante y decimos que el dispositivo opera en la “región de saturación” [7].



**Figura 2. 13:** Corriente de drenador  $I_D$ , en región de saturación [7].

Para comprender mejor este fenómeno, volvamos a llamar la ecuación (2.5);  $Q_a(x) = W * C_{ox} * [V_{GS} - V(x) - V_{thn}]$ , la densidad de la capa de inversión local es proporcional a  $(V_{GS} - V(x) - V_{thn})$ .

Así, si  $V(x)$  se enfoca en  $(V_{GS} - V_{thn})$ , luego  $Q_a(x)$  desciende a cero. En otras palabras, como se muestra en la figura 2.14, si  $V_{DS}$  es ligeramente mayor que  $(V_{GS} - V_{thn})$ , luego la capa de inversión se detiene en  $x \leq L$ , y decimos que “el canal esta estrangulado” [7] [8] [10].



**Figura 2. 14:** Comportamiento de oclusión del canal [7].

Como  $V_{DS}$  se incrementa más el punto en el cual  $Q_D$  es igual a cero, gradualmente se mueve hacia la fuente. Así, en algunos puntos a lo largo del canal, la diferencia de potencial local entre la compuerta y la interfaz del óxido de silicio no es suficiente para soportar una capa de inversión [7].

Volviendo a examinar la ecuación (2.8), pero ahora para un dispositivo saturado,

$$\int_{x=0}^L I_D dx = \int_{V=0}^{V_{DS}} W * C_{ox} * \mu_n * [V_{GS} - V(x) - V_{thn}] dV$$

Ya que  $Q_D$  es la densidad de la movilidad de cargas, la integral sobre el lado derecho de (2.8) debería ser tomada desde  $x = 0$ , hasta  $x = L'$ , donde  $L'$  es el punto en el cual  $Q_D$  desciende a cero, y sobre el lado derecho  $V(x) = 0$  hasta  $V(x) = (V_{GS} - V_{thn})$ . Dando como resultado [2] [7] [10]:

$$I_D = \frac{W * C_{ox} * \mu_n}{2 * L'} * (V_{GS} - V_{thn})^2 \quad (2.14)$$

Indicando que  $I_D$  es relativamente independiente de  $V_{DS}$ , si  $L'$  permanece cercana a  $L$ . Para dispositivos P-MOS, las ecuaciones (2.8) que hace referencia a un dispositivo en región lineal y (2.12) que contempla a un dispositivo saturado, son respectivamente escritas como:

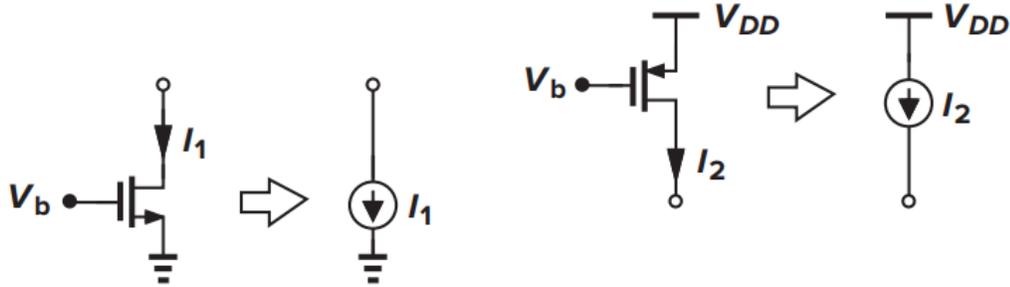
$$I_D = -\frac{W * C_{ox} * \mu_p}{L} [(V_{GS} - V_{thp}) * V_{DS} - \frac{1}{2} V_{DS}^2] \quad (2.15)$$

Y

$$I_D = -\frac{W * C_{ox} * \mu_p}{2 * L'} * (V_{GS} - V_{thp})^2 \quad (2.16)$$

El signo negativo aparece porque asumimos que  $I_D$  fluye de fuente a drenador mientras el flujo de los huecos en la dirección opuesta. Ya que la movilidad de los huecos es alrededor de la mitad de una cuarta parte de la movilidad de los electrones, los dispositivos P-MOS

sufren de baja capacidad de conducción de corriente [7]. Con la aproximación  $L \approx L'$ , un MOSFET saturado puede ser usado como una fuente de corriente conectada entre el drenador y la fuente (figura 2.15), un componente importante.



**Figura 2. 15:** Operación en saturación de MOSFETs de canal N y de canal P, como fuentes de corriente [7].

Observe que la fuente de corriente inyecta corriente a tierra o extrae corriente de  $V_{DD}$ . Es decir, solo una terminal de la fuente de corriente esta flotada. Para análisis de circuitos y propósitos de diseño es más frecuente definir las ecuaciones para la región de triodo como [1]:

$$I_D = -\frac{W * k'_n}{L} \left[ \left( V_{GS} - V_{th} - \frac{V_{DS}}{2} \right) * V_{DS} \right] \quad (2. 17)$$

Para  $(V_{GS} - V_{th}) \geq V_{DS} \geq 0$  y  $k'_n = \mu_n * C_{ox}$ . La expresión para la corriente de drenador de un MOSFET con oclusión del canal o región de saturación, que se logra cuando  $V_{DS} = (V_{GS} - V_{th})$  [1], es la siguiente:

$$I_D = -\frac{W * k'_n}{L} (V_{GS} - V_{th})^2 \quad (2. 18)$$

Para  $V_{DS} \geq (V_{GS} - V_{th}) \geq 0$ .

Ya que un MOSFET operando en saturación produce una corriente en respuesta a su voltaje efectivo de compuerta-fuente, podemos definir una figura de mérito que indica que

tan bien este dispositivo convierte voltaje a corriente. Más específicamente, ya que en procesamiento de señales tratamos con cambios en voltaje y corriente, definimos la figura de mérito como el cambio en la corriente de drenador ( $I_D$ ) dividido por el cambio en el voltaje de compuerta-fuente ( $V_{GS}$ ). La llamamos “transconductancia” y es la pendiente de la característica de transferencia denotada por  $g_m$ , [1] [7] esta cantidad es expresada como:

$$g_m = \frac{\partial I_D}{\partial V_{GS}} \Big|_{V_{DS} = \text{constante}} \quad (2.19)$$

Entonces para la región de saturación, tenemos:

$$I_D = \frac{W * C_{ox} * \mu_n}{L} * (V_{GS} - V_{th}) \quad (2.20)$$

En un sentido,  $g_m$  representa la sensibilidad del dispositivo; para un alta  $g_m$ , un cambio pequeño en  $V_{GS}$  resulta en un gran cambio en  $I_D$ . Interesantemente,  $g_m$  en la región de saturación es igual a la inversa de  $R_{on}$  en la región profunda de triodo [7]. Asumiendo  $I_D \approx I_D$ ,  $V_{GS} \approx V_{GS}$  y  $V_{DS} \approx V_{DS}$  la transconductancia en pequeña señal de un N-MOS puede ser derivada de:

$$i_D = k_n[2(v_{GS} - V_{th})v_{DS} - v_{DS}^2]$$

$$\text{Para } v_{GS} > V_{th} \text{ y } v_{DS} < (v_{GS} - V_{th}).$$

Además, se tiene:

$$i_D = k_n(v_{GS} - V_{th})^2$$

$$\text{Para } v_{GS} > V_{th} \text{ y } v_{DS} \geq (v_{GS} - V_{th}).$$

Entonces:

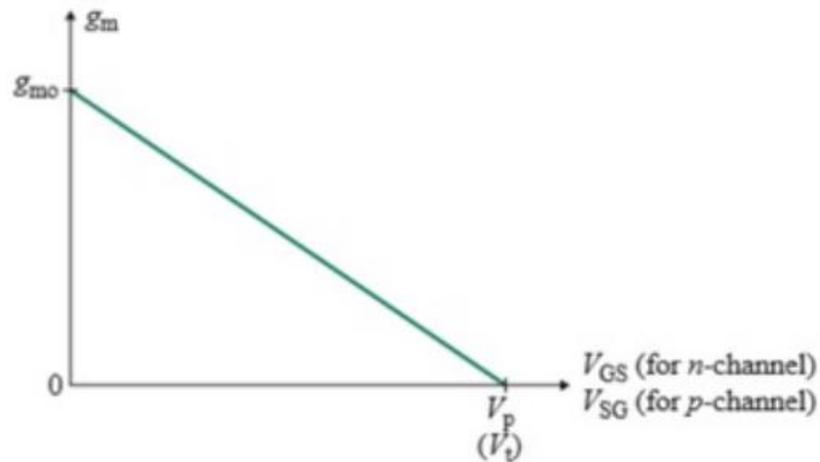
$$g_m = \frac{\partial i_D}{\partial v_{GS}} = 2 * k_n(v_{GS} - V_{th})$$

Y

$$g_m = g_{m0} \left(1 - \frac{v_{GS}}{V_{th}}\right)$$

Para MOSFET de enriquecimiento.

Donde,  $g_{m0} = -2 * k_n * V_{th}$ , y se refiere a la transconductancia correspondiente a  $v_{GS} = 0$  y varia linealmente con  $v_{GS}$ . figura 2.16 [1].



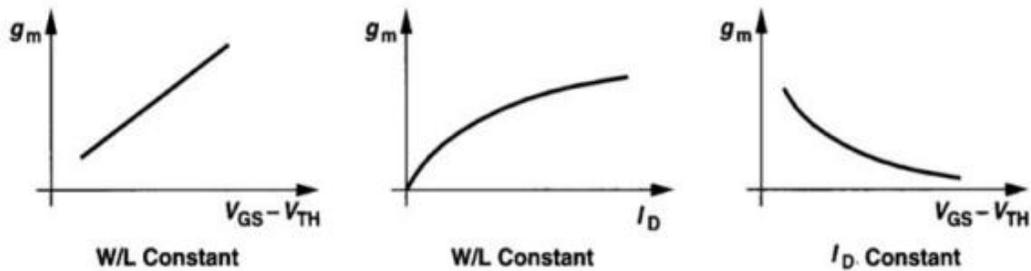
**Figura 2. 16:** Variación de  $g_m$  con  $v_{GS}$  para MOSFET [1].

El lector puede probar que  $g_m$  puede también ser expresada como [8]:

$$g_m = \sqrt{2 * C_{ox} * \mu_n * \frac{W}{L} * I_D} \quad (2. 21)$$

$$g_m = \frac{2 * I_D}{(V_{GS} - V_{th})} \quad (2. 22)$$

Debido a que  $g_m$  es linealmente proporcional a  $W/L$  para un  $(V_{GS} - V_{th})$  dado, y  $g_m$  es linealmente proporcional a  $(V_{GS} - V_{th})$  para un factor  $W/L$  dado. Por tanto, substituyendo  $(V_{GS} - V_{th})$  de la ecuación (2.14) se tienen las ecuaciones (2.21) y (2.22) [8]. Trazado en la Figura 2.17, cada una de las expresiones en el estudio del comportamiento de  $g_m$  como una función de un parámetro mientras otros parámetros permanecen constantes.

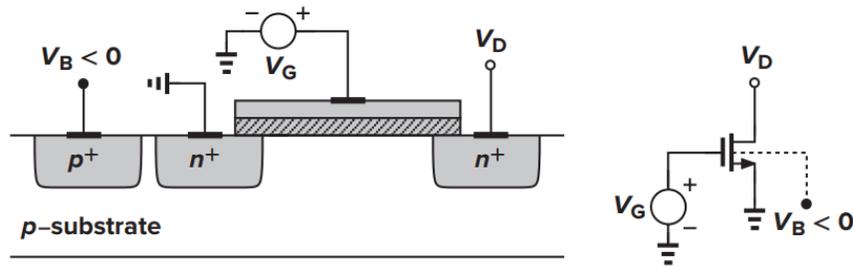


**Figura 2. 17:** Transconductancia MOS como función del voltaje efectivo y la corriente de drenador [7].

## 2.6. EFECTOS DE SEGUNDO ORDEN

### 2.6.1. EFECTO DE CUERPO

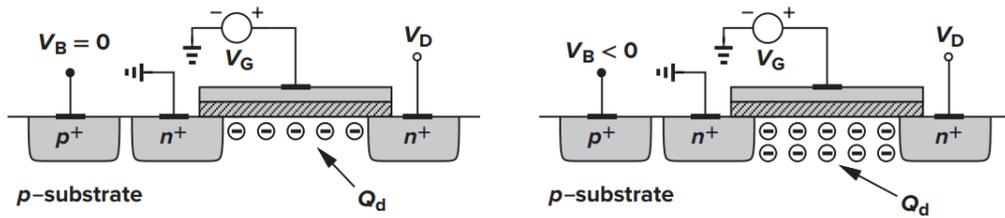
Continuando con la consideración hasta ahora, en donde las terminales de fuente y sustrato están conectadas a tierra. Sin embargo, esta condición no está presente en todos los circuitos [7]. ¿Qué sucede si el voltaje del sustrato cae por debajo del voltaje de la fuente (figura 2.18)? Ya que las uniones de fuente y drenador con el sustrato permanecen polarizadas inversamente, se considera que el dispositivo continúa operando apropiadamente, pero ciertas características pueden cambiar [8].



**Figura 2. 18:** Dispositivo N-MOS con voltaje de sustrato negativo [7].

Para entender el efecto considere,  $V_{DS} = 0$ , y  $V_{GS}$  es algo menor que el  $V_{th}$ , entonces una región de agotamiento es creada bajo la compuerta, pero no existe una capa de inversión [7] [8].

Debido a que el voltaje de sustrato  $V_{sub}$  o  $V_B$  se hace más negativo, más huecos son atraídos a la conexión del sustrato, dejando una gran carga negativa como se muestra en la Figura 2.19, la región de agotamiento se hace más amplia.



**Figura 2. 19:** Variación de la carga en región de agotamiento con voltaje de sustrato [7].

De la ecuación siguiente,

$$V_{th} = \phi_{MS} + 2 * \phi_F + \frac{Q_{dep}}{C_{ox}} \quad (2. 23)$$

Donde  $\phi_{MS}$  es la diferencia entre el trabajo de la compuerta de silicio y el silicio del sustrato,  $\phi_F = \left(\frac{kT}{q}\right) \ln\left(\frac{N_{sub}}{n_i}\right)$ ,  $q$  es la carga del electrón,  $N_{sub}$  es la concentración del dopado del sustrato,  $Q_{dep}$  es la carga en la región de agotamiento, y  $C_{ox}$  es la capacitancia

del oxido por unidad de área. Esto es, el voltaje de umbral es una función de la carga total en la región de agotamiento porque la carga de la compuerta debe copiar  $Q_D$  antes de que una capa de inversión sea formada. Así, como  $V_{sub}$  o  $V_B$  cae y  $Q_D$  se incrementa,  $V_{th}$  también se incrementa. A esto se le conoce como el “efecto cuerpo”.

Se puede probar que con el efecto cuerpo [8]:

$$V_{th} = V_{th0} + \gamma(\sqrt{|2 * \phi_F + V_{SB}|} - \sqrt{|2 * \phi_F|}) \quad (2.24)$$

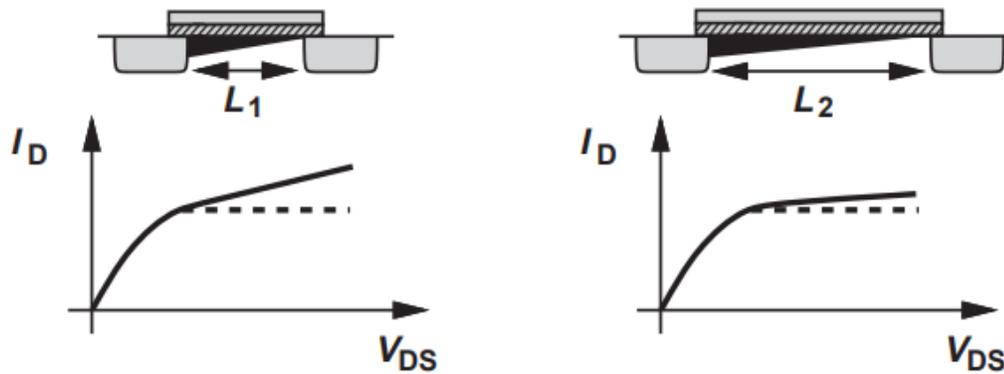
Donde  $V_{th0}$  es dado por ecuación (2.24),  $\gamma = \sqrt{(2 * q * \epsilon_{si} * N_{sub})/C_{ox}}$  denota el coeficiente del efecto cuerpo, y  $V_{SB}$  es la diferencia de potencial fuente-substrato. El valor típico de  $\gamma$  está en el rango de 0.3 a 0.4  $V^{1/2}$  [7].

## 2.6.2. MODULACIÓN DE LA LONGITUD DEL CANAL

En el análisis de la oclusión del canal, observamos que la longitud real del canal invertido gradualmente decrece a medida que aumenta la diferencia de potencial entre la compuerta y el drenador. Es decir,  $L'$  es de hecho una función de  $V_{DS}$ . Este efecto es llamado “modulación de la longitud de canal”. Escribiendo  $L' = (L - \Delta L)$ , por ejemplo,  $1/L' \approx (1 + \Delta L/L)/L$ , y considerando una relación de primer orden entre  $\Delta L/L = \lambda V_{DS}$ , en saturación, tenemos:

$$I_D = \frac{W * C_{ox} * \mu_n}{2 * L} * (V_{GS} - V_{thn})^2 * (1 + \lambda * V_{DS}) \quad (2.25)$$

Donde  $\lambda$  es el coeficiente de modulación de la longitud el canal. Como se muestra en la Figura 2.20, este fenómeno resulta en una pendiente no cero en la característica  $I_D/V_{DS}$  y por lo tanto una fuente de corriente no ideal entre drenador y fuente en saturación [7] [8].



**Figura 2. 20:** Pendiente finita de la región de saturación resultante de la modulación de la longitud del canal [8].

El parámetro  $\lambda$  representa la variación relativa en longitud para un incremento en  $V_{DS}$  dado. Así, para grandes canales,  $\lambda$  es más pequeña.

Con la modulación de la longitud del canal, algunas de las expresiones derivadas de  $g_m$  deben ser modificadas. Las ecuaciones (2.18) y (2.19) son respectivamente reescritas como:

$$g_m = C_{ox} * \mu_n * \frac{W}{L} * (V_{GS} - V_{th}) + (1 + \lambda * V_{DS}) \quad (2. 26)$$

$$g_m = \sqrt{\frac{2 * C_{ox} * \mu_n * \frac{W}{L} * I_D}{(1 + \lambda * V_{DS})}} \quad (2. 27)$$

Mientras que la ecuación (2.20) permanece sin cambios [7].

**Limitaciones de voltaje.** Los MOSFET experimentan varios efectos de ruptura si sus diferentes voltajes en terminales exceden ciertos límites. A altos voltajes aplicados a compuerta-fuente, el óxido de la compuerta se rompe en forma irreversible, dañando el transistor. En dispositivos de canal corto, un voltaje excesivamente grande de drenador-

fuerza ensancha la región de agotamiento alrededor del drenador tanto que se tocan alrededor de la fuente, creando una gran corriente de drenador [7].

## **2.7. GPIB Y SCPI**

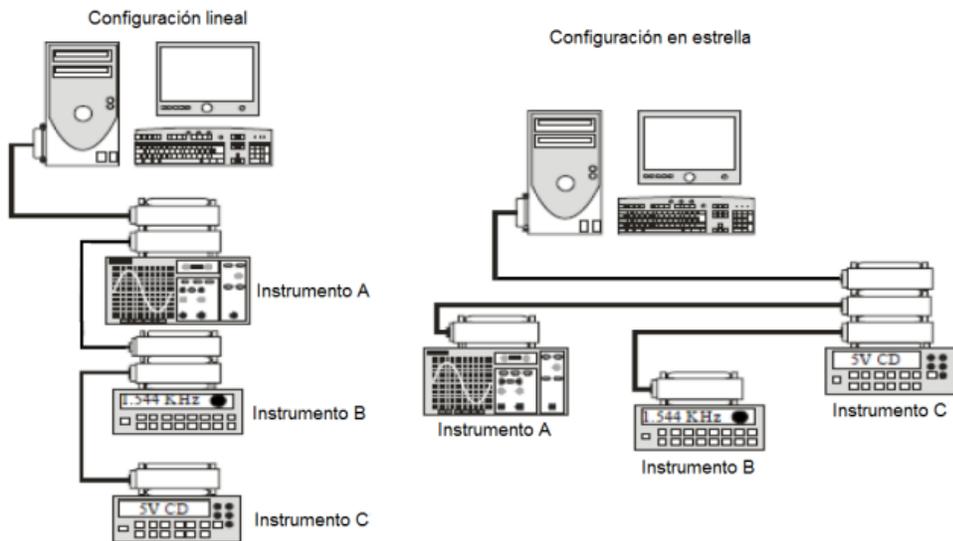
Para obtener las curvas de resistencia del pseudo-resistor, es necesario ajustar las corrientes de polarización para cada caso, por lo que es necesario llevar a cabo un barrido. Es por ello que resulta viable la utilización de pruebas automatizadas, por lo que el protocolo GPIB es una excelente opción para llevar a cabo las mediciones necesarias.

Debido a su flexibilidad y adaptabilidad en su programación y la manipulación de los instrumentos de medición en forma automática, el protocolo GPIB es empleado en este trabajo para llevar a cabo los barridos de voltaje, así como las mediciones de las corrientes a través del pseudo-resistor. De esta forma, es posible realizar las mediciones, que en condiciones normales, con instrumentos COMÚNES como multímetros empleados manualmente, tomarían mucho tiempo debido a la gran cantidad de pasos requeridos para formar las curvas de resistencia.

### **2.7.1. INTERFAZ GPIB**

Es un protocolo estándar que rige al Bus de Interfaz de Propósito General (General Purpose Bus Interface, GPIB). Es utilizado para el control y comunicación a través de instrumentos de medida como polímetros digitales, osciloscopios, generadores de onda con ordenadores personales. Permite configurar sistemas automáticos en el laboratorio y en la industria con gran flexibilidad y eficacia [11]. El bus GPIB es un conjunto de cables que permiten una ruta compartida que conecta diferentes componentes de un sistema informático permitiéndoles transmitir información. El control remoto de los instrumentos es un aspecto relevante del bus, pero hay otros más importantes como el reconocimiento de recepción de datos (“data hardware handshake”), que otorga a las operaciones de

fiabilidad; o la capacidad de respuesta en tiempo real [11]. En 1978 fue estandarizado por el Instituto de Ingeniería Eléctrica y Electrónica el IEEE 488.1, que básicamente definía las especificaciones mecánicas, eléctricas y funcionales del estándar [12]. El IEEE 488.1 permite que 15 dispositivos compartan el mismo bus, además, el dispositivo más lento determina la velocidad de transferencia de datos [12]. La máxima velocidad de transmisión está sobre 1 Mbps, puede llegar a reducirse a 500 Kbps a distancias de bus mayores a 20m. El bus se compone de 16 líneas y 8 tierras físicas, divididas en tres grupos de acuerdo con sus funciones: bus de datos, bus de control de transferencia de datos y bus general. Algunas de ellas tienen retornos de corrientes comunes y otras tienen un retorno propio, lo que provoca un aumento del número de líneas totales [12]. Los conectores son de doble interconexión, macho por un lado y hembra por el otro, que permite la conexión de los dispositivos en estrella, lineal o combinación de ellos como se muestra en la figura 2.21 [11] [13].



**Figura 2. 21:** Configuración lineal y en estrella del Bus GPIB [11] [13].

En junio de 1987, el IEEE aprobó una nueva revisión del estándar para instrumentos programables llamado IEEE 488.2-1987, en él se definieron códigos, formatos, protocolos y comandos comunes para todos los instrumentos [11] [12].

La funcionalidad del estándar GPIB ha evolucionado a lo largo del tiempo por su rapidez y flexibilidad y se encuentra descrito en las siguientes especificaciones: - IEEE 488.1 (1978). Define las características de nivel físico (mecánico y eléctrico), así como sus características básicas de funcionamiento.

- IEEE 488.2 (1987). Determina las configuraciones mínimas, los comandos y formatos de datos básicos y comunes en todos los equipos, el manejo de errores y los protocolos en cada comunicación.
- SCPI (Standard Commands for Programmable Instrumentation). Construida sobre el estándar IEEE 488.2, define una estructura de comandos estándar aceptados por múltiples instrumentos de varios fabricantes: Agilent Technologies, Capital Equipment Corporation, IOtech Hardware, Keithley, Measurement Computing Corporation, National Instruments.
- VISA (Virtual Instruments Standard Architecture). Definida por Agilent y National Instruments. Es una librería que puede ser utilizada para desarrollar aplicaciones y controladores de I/O de forma que, software de diferentes empresas puede trabajar conjuntamente sobre el mismo sistema. Además, estos pueden ser instalados en conjunto con controladores “plug and play” utilizando simultáneamente varios medios de comunicación y en aplicaciones desarrolladas con diferentes lenguajes.

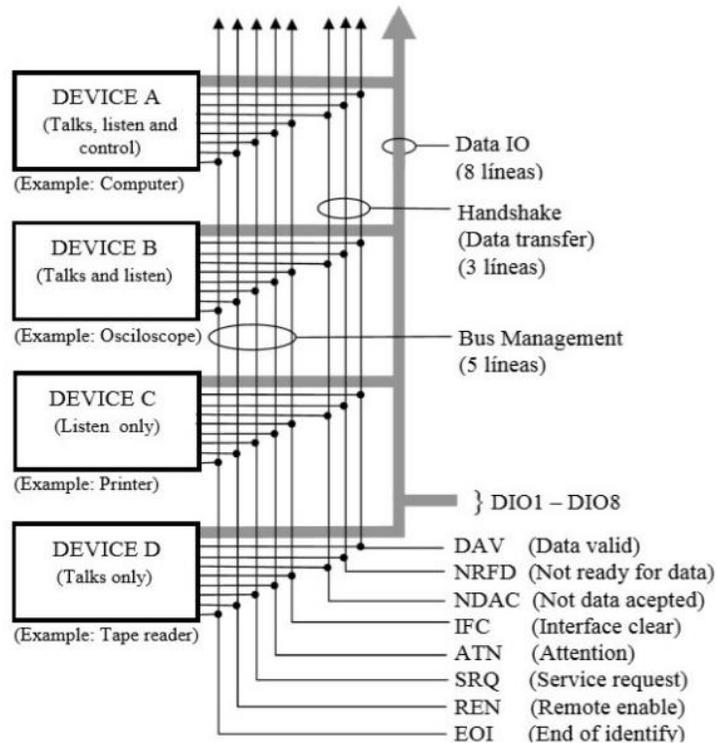
### **2.7.2. ESTRUCTURA DEL BUS GPIB**

El bus consta de 24 pines, distribuidos de la siguiente forma [12]:

- Ocho líneas de transmisión bidireccional de datos (DIO1-DIO8).

- Tres líneas para el control asíncrono de la comunicación (NRFD, NDAC y NRDAV). Mediante estas líneas se verifica la correcta transmisión de datos, que es una de las fortalezas del GPIB.
- Cinco líneas que gestionan la transmisión de comandos ATN, IFC, REN, SRQ y EOI.
- Ocho tierras de las diferentes líneas.

La figura 2.22 nos muestra la estructura del bus GPIB, y la figura 2.23 ilustra el conector GPIB y las señales que lo constituyen [12] [14].



**Figura 2. 22:** Estructura del bus GPIB [12].



**Figura 2. 23:** Conector estándar de acceso al bus GPIB y asignación de señales [14].

Para que el bus GPIB alcance la velocidad de transmisión de hasta 8Mb/s, deben cumplirse los siguientes requisitos [12]:

- Puede haber un máximo de 15 dispositivos conectados al bus y al menos dos tercios de ellos deben estar encendidos.
- La separación máxima entre dos dispositivos es de 4 metros y la separación promedio en toda la red debe ser menor de 2 metros.
- La longitud total de la red no debe exceder los 20 metros. De las 8 líneas de datos permiten que el único equipo establecido como hablante (o en otros casos el controlador) envíe un byte en paralelo hacia todos aquellos equipos que en ese instante estén definidos como escuchantes.

De las 3 líneas de comunicación asíncrona se establecen acuerdos entre un hablante y uno o varios escuchantes [11] [12]:

- a) DAV (Data Valid). - El emisor (talker) indica a los receptores (listeners) que hay un dato válido (correcto y estable) en el bus. Un verdadero lógico en esta línea significa que el equipo establecido como emisor activo ha fijado algunos datos válidos sobre el bus de datos que deben ser leídos por todos los equipos establecidos como receptores.
- b) NRFD (Not Ready For Data). - Es una de las líneas de sincronización, que es gobernada por los equipos establecidos como receptores. Los receptores indican si están o no preparados para recibir los datos del emisor. Sólo puede pasar a nivel alto cuando todos están listos para recibir datos. Si esta línea se encuentra en estado lógico verdadero, inhibe al equipo emisor a que inicie el envío de un dato nuevo.
- c) NDAC (Not Data Accepted). - Los receptores indican al emisor si han aceptado o no el dato. Sólo puede pasar a nivel alto cuando todos los han aceptado. Cuando se encuentra en estado lógico verdadero, significa que algunos de los equipos establecidos como receptores aún están pendientes de leer un dato, y en consecuencia, el emisor debe esperar para retirar los datos.

Las 5 líneas de administración de la interfaz del bus son [12] [14]:

1. IFC (Interface Clear). - El controlador reinicializa todos los instrumentos a un estado inactivo predeterminado. Para ello la pone a cero durante un intervalo de tiempo. Cada instrumento vigila el estado de la línea continuamente y debe responder a su cambio en 100 microsegundos.
2. ATN (Attention). - El controlador activa esta línea cuando quiere indicar que por el bus circulan mensajes de interface (entre controlador e instrumentos). La desactiva cuando circulen mensajes de dispositivo (entre escuchante y hablante). Cada instrumento vigila el estado de esta línea continuamente.
3. REN (Remote Enable). - El controlador habilita a un instrumento a ser controlado local o remotamente.
4. EOI (End Or Identify). - El emisor activa esta línea para indicar al receptor y al controlador que ha terminado de transmitir todos los datos. Los receptores

monitorean esta línea y al detectar que está activa completan la transmisión. También tiene otra función. Cuando es accionada por el controlador, con la línea ATN y EOI puestas a cero (o nivel lógico verdadero), permite hacer una llamada en paralelo para transferir el estado de los equipos sobre el bus.

5. SRQ (Service Request).- Cualquier instrumento solicita al controlador que necesita de sus servicios. Es una especie de interrupción. Acto seguido, el controlador hace un sondeo para detectar que instrumento le ha solicitado.

### **2.7.3. MODOS DE OPERACIÓN DE UN APARATO CONTROLADO POR GPIB**

En cada momento los equipos conectados al bus GPIB pueden estar operando en los siguientes modos de comportamiento [11] [12]:

- Controlador (Controller). - Con capacidad de establecer quien envía o recibe datos y el modo de operación del bus (solo un equipo puede ser controlador).
- Emisor (Talker). - Con capacidad de enviar datos a otros equipos.
- Receptor (Listener). - Con capacidad de recibir datos de otros equipos.
- Idler. - Sin ninguna capacidad respecto del bus. Existen dos tipos de controladores:
  - System Controller. - Tiene capacidad hardware de tomar el control del bus en todo momento a través de las líneas IFC y REN. En el bus solo puede existir un único System Controller.
  - Active Controller. - Tiene la capacidad de transmitir mensajes de tipo comando para:
    - Establecer los modos de operación “emisor” y “receptor” en los diversos equipos.
    - Enviar los comandos de inicialización y sincronización del bus.

Supervisar mediante encuestas el estado de los equipos. Cada bus puede ser conectado a uno o más dispositivos capaces de asumir la función de Active Controller, aunque en cada momento, solo uno de ellos puede operar como tal.

#### **2.7.4. DIRECCIONES GPIB**

A cada dispositivo se asigna una dirección única, para ello el protocolo GPIB define un total de 31 direcciones llamadas direcciones primarias. La dirección del dispositivo puede ser configurada mediante herramientas de software o desde el panel frontal del instrumento. Las direcciones válidas pueden tomar un valor de 0 a 30 [11]. El bus de transferencia de datos GPIB es de 8 bits en paralelo.

#### **2.7.5. ESPECIFICACIONES ELÉCTRICAS EN EL BUS GPIB**

El estándar IEEE 488.1 define a un sistema basado en lógica negativa con niveles de tensión TTL estándar, el cual utiliza un nivel lógico “0” para especificar un estado verdadero (estado lógico “TRUE”) si el voltaje es inferior a 0.8 V y un nivel lógico “1” para especificar un estado falso (estado lógico “FALSE”) si el voltaje es superior a 2.5 V [12].

#### **2.7.6. MECANISMO DE FINALIZACIÓN DE MENSAJE DE DATOS**

Hay tres mecanismos con el que el emisor (Talker) puede comunicar que el dato que trasmite es el último a enviar [12]:

- Método EOI. - Cuando el emisor envía el último dato establece la línea de control del bus EOI al estado “TRUE”.
- Método EOS. - El último carácter enviado por el emisor es el que previamente se ha establecido como End of Send. Habitualmente es CR (Ox0D) o LF (Ox0A). En este caso no es detectado por el hardware del bus sino por el software del driver.
- Método de cuenta. - El controlador detiene al emisor cuando el número de bytes del mensaje convenido (habitualmente establecido en la cabecera del mensaje) se han enviado. El controlador boquea al emisor estableciendo las líneas de control del bus NRFD y NDAC al estado lógico “TRUE”. La cuenta de bytes es realizada por el software del driver [11].

### **2.7.7. NORMA SCPI**

Por muchos años, los fabricantes de instrumentos trabajaron para estandarizar la interfaz mecánica y eléctrica entre instrumentos y computadoras. El surgimiento de la norma IEEE488.1 en 1975, trajo consigo la búsqueda de la estandarización de los mensajes utilizados en esta interfaz. Los fabricantes de instrumentos presentaron gran variedad de órdenes para instrumentos.

En 1987, con el estándar IEEE 488.2 se definieron los roles de instrumentos y controladores en un sistema de medición. Así como, el esquema estructurado de comunicación y la forma en como enviar órdenes a un instrumento y como responder a ellas por parte del controlador. Sin embargo, no especificaba las órdenes o características que deberían ser implementadas en un instrumento, provocando que dos instrumentos similares, manejaran conjuntos de ordenes diferentes. En 1990, un grupo de empresas fabricantes de instrumentos acordaron un conjunto de órdenes con una sintaxis común que dio origen a la norma SCPI (Comandos Estándar para Instrumentos Programables) [12].

### **2.7.8. OBJETIVO DEL SCPI.**

La meta del SCPI es la reducción del tiempo en el desarrollo de aplicaciones en equipos de prueba automatizados (Automated Test Equipments, ATE), proporcionando un entorno consistente de programación para el control de instrumentos y manejo de datos [15]. Este entorno consistente de programación es alcanzado mediante el uso de mensajes, respuestas y formatos de datos definidos por todos los instrumentos bajo SCPI [11] [16].

Un entorno de programación consistente utiliza las mismas órdenes y parámetros para controlar instrumentos que presentan una funcionabilidad similar. Estas órdenes y parámetros son enviados desde un controlador al instrumento usando interfaces como

IEEE 488.1. Los instrumentos controlables mediante SCPI presentan gran flexibilidad en el uso de órdenes y parámetros. La respuesta del instrumento al controlador puede ser información de datos o estado. El formato de respuesta de los instrumentos a un cuestionamiento en particular se encuentra bien definido y reduce el esfuerzo de programación para comprender dicha información [11] [15]. La consistencia en la programación mediante SCPI es manejada de dos formas: vertical y horizontal [16].

La consistencia vertical define mensajes para una clase de instrumento, de esta forma se podrá usar la misma orden para leer, por ejemplo, voltaje en DC en diferentes multímetros. La consistencia horizontal hace referencia al uso de una misma orden para controlar funciones similares a través de diferentes clases de instrumentos, así una orden de disparo podrá ser empleada en diferentes instrumentos como osciloscopios, generadores de funciones o algún otro instrumento que realice la misma función [11] [15].

SCPI proporciona diferentes niveles para el control de instrumentos. Ordenes simples de medida proveen un control fácil y rápido. Así, mientras más detalladas sean las ordenes empleadas, se obtendrá un control más tradicional del instrumento [11] [16].

### **2.7.9. INTERCAMBIABILIDAD DE INSTRUMENTOS EN SCPI.**

Para proveer un entorno de programación consistente, uno de los principales fines perseguidos por SCPI es la capacidad de intercambio de instrumentos controlables bajo la norma, dentro de un sistema ATE. Sin embargo, SCPI no es un estándar que provee completamente intercambiabilidad entre instrumentos. Aunque SCPI ayuda a alcanzar esta intercambiabilidad mediante la definición de órdenes y respuestas de los instrumentos. Aun así, no define funcionalidad, precisión, resolución y conexión entre dispositivos, argumentos necesarios para alcanzar una verdadera intercambiabilidad de instrumentos sin afectar los sistemas ATE en hardware o software [11] [15].

### **2.7.10. CICLO DE VIDA DE SCPI.**

Con el surgimiento de nuevas tecnologías e instrumentos, se vuelve necesario la adición constante de nuevas pautas y ordenes al estándar SCPI. Las propuestas hechas por miembros de consorcio SCPI y por otras partes interesadas son sometidas a votación. Las propuestas aceptadas son publicadas y distribuidas para su uso inmediato [16].

El consorcio SCPI se reúne anualmente para realiza una revisión de las propuestas para así publicar una nueva versión del estándar SCPI. Todos los instrumentos bajo la norma SCPI pueden ser cuestionados con órdenes específicas para determinar la versión de la norma SCPI utilizada por estos [11] [15].

SCPI está diseñado para crecer bajo un ambiente de compatibilidad. Para un programa de control de algún instrumento, esto significa que las adiciones hechas a SCPI no modificarán el significado de las órdenes existentes, con esto se evita estar rectificando el programa. Mientras que para un instrumento, esto significa que las extensiones hechas a la norma no convertirán en obsoletos a los instrumentos ya existentes [11] [16].

Es posible que una orden deba ser alterada o borrada para permitir que sean implementadas nuevas funcionalidades. Las propuestas de cambio que rompan el argumento de compatibilidad únicamente serán aceptadas si existe evidencia irrefutable de que los beneficios alcanzados por estas modificaciones son superiores [11] [16].

### **2.7.11. TIPOS DE COMANDOS/ORDENES.**

Los comandos pueden ser separados en dos grupos: comandos comunes y comandos de subsistemas. Los comandos comunes son utilizados para manejar macros, registros de estado, sincronización y almacenamiento de datos, y están definidos por IEEE 488.2. Son fáciles de conocer porque todos ellos inician con un asterisco [17]. En la tabla 2.1 se muestran algunos de ellos. Los comandos comunes no son parte de ningún subsistema y el generador de señales los interpreta tal cual son.

Los comandos de subsistema son distinguidos por el uso de (:). Los dos puntos son usados al principio de la declaración del comando y entre palabras clave, por ejemplo: FREQuency [:CW?]. Cada comando de subsistema es un conjunto de comandos que regularmente corresponden a un bloque de función dentro de un generador de señal. Por ejemplo, el subsistema de energía (:POWer) contiene comandos para generación de energía, mientras que el subsistema de estado (:STATus) contiene comandos para controlar el estado de registros [17].

### **2.7.12. CONSTRUCCIÓN DE ÓRDENES.**

Todos los instrumentos definidos bajo la norma SCPI se ajustan a las especificaciones para dispositivos citadas en el estándar IEEE 488.2, exceptuando la sección de requerimientos, que especifica que el dispositivo en cuestión deberá actuar sobre una interfaz 488.1. En primera instancia, todos los instrumentos que obedecen a la norma SCPI deben implementar las órdenes comunes declaradas en el estándar IEEE 488.2 [16].

Tabla 2. 1: Ordenes y solicitudes de uso general en todos los instrumentos con IEEE 488.2 [11] [15] [16].

<b>ORDEN</b>	<b>NOMBRE</b>	<b>DESCRIPCIÓN</b>
*CLS		Limpia las estructuras de registros de estado del dispositivo. Los elementos afectados por esta orden son: el byte de estado, el registro de eventos estándar, los registros de eventos en general, y la cola de errores y eventos. El registro de solicitud de servicio, los filtros de transición y registros de habilitación en general no son afectados.
*ESE, *ESE?	Habilitación De eventos estándar	Manipula la habilitación del registro de eventos estándar. Este registro monitorea errores y sincroniza condiciones del instrumento.
*ESR?	Eventos estándar	Cuestiona y limpia el registro de eventos estándar.
*IDN?	Identificador	Devuelve una cadena de información que identifica un instrumento. La cadena contiene el fabricante, modelo, número de serie, y versión de firmware del instrumento, separados por una coma.
*OPC, *OPC?	Operación completada	Opera sobre el bit 0 de operación completada del registro de eventos estándar. Este es usado para sincronizar eventos de un instrumento con otros dispositivos en un bus externo.
*RST	Reinicio	Coloca al instrumento en un estado definido donde este espera una orden para iniciar una medición u otra acción. Las operaciones después de la ejecución de esta orden son optimizadas para la operación remota del dispositivo. Las estructuras de estado no son afectadas por esta orden.

*Continúa en página siguiente*

Tabla 2.1- *Continúa de la página anterior*

<b>ORDEN</b>	<b>NOMBRE</b>	<b>DESCRIPCIÓN</b>
*SRE, SRE?	Habilitación de solicitud de servicio	Manipula el registro de habilitación de solicitud de servicio.
*STB?	Byte de estado	Accede al octeto de estado sin modificar su contenido.
*TST?	Auto-prueba	Usado en algunos instrumentos para realizar auto-pruebas. Después de la auto-prueba si el resultado es 0, el aparato funciona correctamente, si el resultado es 1, indica que hay una falla en el aparato.
*WAI	Esperar para continuar	Ocasiona que el instrumento espere hasta que todas las órdenes pendientes sean completadas antes de la ejecución de órdenes adicionales.

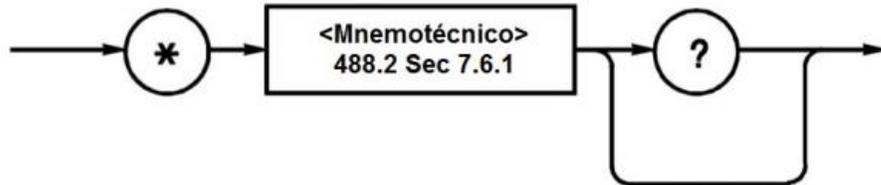
### **2.7.13. CABECERA DE PROGRAMA**

Las cabeceras de programa son mnemotécnicas o palabras clave que identifican una orden. Los instrumentos bajo SCPI, admiten caracteres en minúsculas o mayúsculas, sin distinción de los casos. Las cabeceras de programa son de dos tipos distintos: de orden común y de control de instrumentos [15].

### **2.7.14. CABECERAS DE ORDENES COMUNES**

En la figura 2.24 se muestra la sintaxis planteada para dicho estándar, el término mnemotécnico que se observa da correspondencia a la orden empleada, así, por ejemplo,

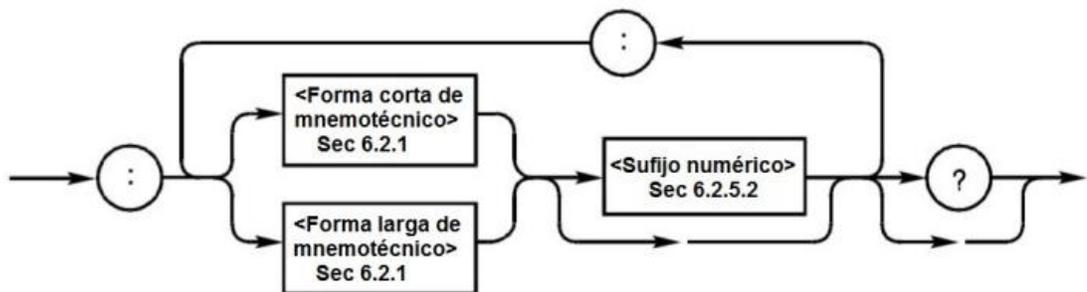
una orden de operación completada será manejado como: \*OPC para ejecución y \*OPC?, para su cuestionamiento [15].



**Figura 2. 24:** Esquema para la construcción de cabeceras de órdenes comunes [15] [16].

### 2.7.15. CABECERAS DE CONTROL DE INSTRUMENTOS

Las cabeceras de control de instrumentos son utilizadas por todas las otras órdenes existentes, típicamente aquellas relacionadas con control de fuentes y mediciones. La sintaxis para este tipo de cabecera se muestra en la figura 2.25. [15] [16].



**Figura 2. 25:** Esquema para la construcción de cabeceras de control de instrumentos [15] [16].

### 2.7.16. GENERACIÓN DE ESTRUCTURAS JERÁRQUICAS

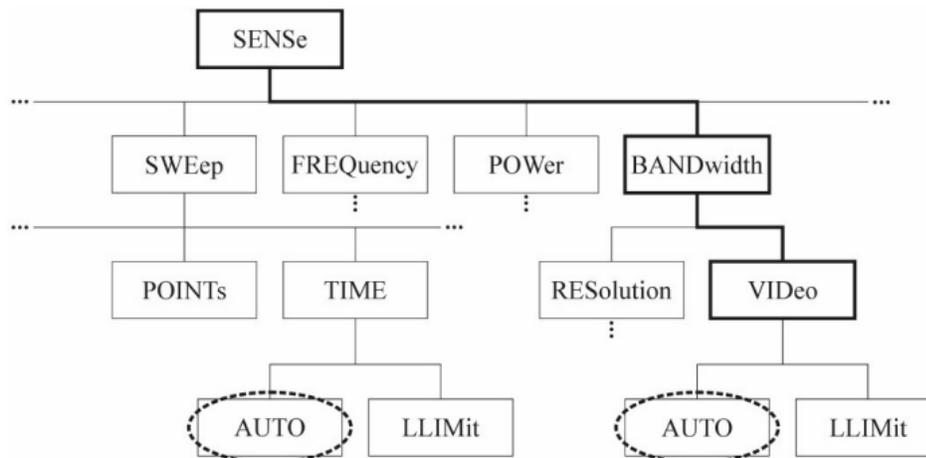
La definición de ordenes SCPI se encuentra ligada directamente al manejo de una estructura jerárquica también conocida como árbol. Los elementos de primer nivel en la

estructura jerárquica y raíces de esta, son producto del modelado mismo de los instrumentos, y representan la palabra clave de cada agrupación de órdenes llamada subsistema. De esta forma, las órdenes asociadas con un subsistema en particular son agrupadas bajo un nodo común en la jerarquía, análogamente a ramas conectadas a otra común. Cada nuevo nodo, que origine una nueva rama será caracterizado con un mnemotécnico, este nodo dará origen a nuevas ramas y estas a otras y así sucesivamente, de acuerdo a la funcionalidad que se desea cubrir con la orden en desarrollo. Así, la lectura de una orden se hará siguiendo los nodos de cada rama generada a partir de la raíz del árbol o estructura jerárquica [11] [16].

El procedimiento empleado permite a los mnemotécnicos que constituyen estas órdenes ser utilizados diversas veces para diferentes propósitos, sin que estos colisionen [11] [16]. La figura 2.25 ejemplifica la construcción de ordenes SCPI bajo el nodo o subsistema SENSE en su nivel superior, nótese la existencia de dos nodos con mnemotécnicos iguales, que, sin embargo, no guardan relación alguna en la jerarquía. Así, la sintaxis de una orden para la modificación del ancho de banda de video en un instrumento, tendrá la siguiente forma:

:SENSe:BANDwidth:VIDeo < valor numérico >

Los comandos SCPI se escriben como texto ASCII (Instituto Nacional de Estándares Americanos), y separados por dos puntos, como se muestra en la figura 2.26 [11] [16].



**Figura 2. 26:** Ejemplo de estructura jerárquica SCPI [11].

Los caracteres en mayúsculas son necesarios para especificar el orden, mientras que los que están en minúsculas pueden suprimirse, sirviendo solo para facilitar la lectura de programas por el usuario. Los comandos en sí pueden ser escritos indistintamente en minúsculas o mayúsculas [12].

Los comandos se pueden concatenar utilizando un punto y coma (;). Por ejemplo, se puede escribir la orden:

ADQuire:MODe AVE;NUMAVg 16

Que indica a un equipo que la adquisición va a ser en modo promedio y que va a constar de 16 muestras.

Una ventaja del estándar SCPI es la definición homogénea de comandos para todos los aparatos de una misma clase; por ejemplo, para un osciloscopio, las principales categorías de raíz se muestran en la tabla 2.2 [12].

Tabla 2. 2: Comandos de osciloscopio de acuerdo al estándar SCPI [12].

ACQuire	Adquisición de señales (muestra, promedio).
CALibrate	Calibración y diagnóstico del aparato.
CURsor	Control del cursor.
DISplay	Control de la pantalla (formato YT o XT, constante).
Horizontal	Control de la base de tiempo (posición, escala).
MATH	Operaciones matemáticas sobre las ondas (suma, resta, FFT).
MEASUrement	Medidas sobre las formas de onda (amplitud, frecuencia).
TRIGger	Control de disparo (fuente, nivel, pendiente).
CH	Control vertical de las señales (posición, amplitud).
CURV, DAT y WFMP	Captura de ondas del osciloscopio.

### **2.7.17. INSTRUCCIONES DE MEDICIÓN**

El grupo de instrucciones de medición, derivado del subsistema de medida MEASurement, tiene como propósito la adquisición de datos mediante el uso de un conjunto de instrucciones de alto nivel. El referente de estas instrucciones son las características de la señal medida, lo que hace a estas, independientes del modelo para instrumentos planteado por SCPI [16].

El conjunto de instrucciones de medición se encuentra estructurada de tal forma que permitan al usuario un excelente control de los procesos de medición en compensación al sacrificio de la intercambiabilidad. El conjunto define acciones de configuración (CONFigure), recolección (FETCh), lectura (READ), y meda (MEASure) [16].

La instrucción de medida MEASure aporta una secuencia de medición completa, configurando el instrumento, tomando la medición y devolviendo el resultado de una operación. Sin embargo, con frecuencia es necesario un control más preciso sobre a medición, por lo que es considerado el empleo de las instrucciones de configuración CONFigure y lectura READ. CONFigure realiza a parte de configuración de la medición, mientras que la adquisición de datos, post-procesamiento y obtención de la medición es realizada por READ.

La instrucción READ contempla la ejecución de dos instrucciones adicionales, una de inicialización INITiate y otra de recolección FETCh. INITiate realiza la adquisición de datos, esta orden no es esencialmente una instrucción del grupo de medición ya que forma parte de las órdenes descritas por el subsistema de disparo TRIGger, las cuales obedecen al modelo para instrumentos SCPI. FETCh realiza funciones de post-procesamiento y obtención de la medición, que permite al usuario obtener características o aplicar diferentes funciones sobre un simple conjunto de datos ya adquiridos [17].

Del conjunto de instrucciones de medición, MEASure proporciona el mayor grado de compatibilidad entre instrumentos, debido a que no requiere de una base de conocimientos sobre el instrumento, para efectuar la operación. CONFigure y READ son menos

compatibles si una reconfiguración del instrumento es requerida entre operaciones de configuración y lectura dado que la configuración es una especificación del instrumento. FETCh también presenta un bajo grado de compatibilidad, debido a que es precisa una comprensión adecuada de los procedimientos empleados por el instrumento para determinar si la información necesaria para una operación ha sido obtenida [16].

Dentro de SCPI un subsistema es una estructura jerárquica de órdenes independientes que cumplen con un propósito particular de acuerdo al modelo general para instrumentos SCPI [16]. Los subsistemas se categorizan en dos grandes bloques con el fin de concebir dos diferentes niveles para el control de instrumentos. Se tienen entonces, subsistemas (en general) que proveen un control tradicional del instrumento haciendo uso de órdenes muy específicas. Además de, subsistemas de medición (instrucciones de medición) que suministran en base a un conjunto de instrucciones de alto nivel, dirigidas a la adquisición de datos [16].

La tabla 2.3 describe el uso y aplicación de las instrucciones de medición expuestas por SCPI. Adicionalmente se presentan algunas equivalencias funcionales entre instrucciones [16].

Tabla 2. 3: Instrucciones de medición empleadas por SCPI.

INSTRUCCIÓN	EQUIVALENCIA	DESCRIPCIÓN
<p>Configuration CONFigure</p>		<p>Prepara al instrumento para el desarrollo de una medición especificada por un argumento de función. Esa instrucción, suspende la medición actual y establece los parámetros para la medición en cuestión. Si la declaración de los parámetros es omitida o no permitida por el instrumento, se usarán los valores por defecto manejados por la medición. La instrucción de configuración no inicializa la adquisición de datos, sólo establece parámetros y permite acceder al modo de medición</p>
<p>Recolección FETCh</p>		<p>Selecciona los datos producidos por la más reciente medición y los pone en el buffer de salida del dispositivo. Los datos usados son recuperados de la última orden de inicialización INITiate válida. El uso de la instrucción de recolección es recomendado en aplicaciones donde se requiere realizar operaciones sobre los datos de una medición ya realizada. Si un instrumento en un modo de medición particular, recibe una orden de recolección referente a un tipo de medición que no corresponde con el modo de medición</p>

*Continúa en la siguiente página*

Tabla 2. 3: *Continúa de la página anterior.*

INSTRUCCIÓN	EQUIVALENCIA	DESCRIPCIÓN
		actual, será generado un error, esto debido a que, la instrucción de recolección no selecciona un modo de medición.
Lectura READ	INITiate; FETCh [ ] ? ◇;	Provee un método de recolección de datos para una medición actual. Inicializa una medición y coloca los datos generados en el buffer de salida del instrumento, así una instrucción de lectura permite el inicio de un modo específico de medición, supliendo en parte el uso de instrucciones de configuración y haciendo de esta una instrucción recomendable sobre otras, en algunas tareas.
Medida MEASure	CONFigure: ◇ ◇; READ: ◇? ◇ [ ];	Da una secuencia de medición completa, incluyendo configuración y lectura de datos. La instrucción de medida es empleada en situaciones donde sean requeridas modificaciones constantes sobre los parámetros de una medición en proceso. Mientras el proceso de medición es realizado el dispositivo suprime muchas veces algunas funciones de comunicación, este hecho reduce en parte la utilidad de esta instrucción.

### **2.7.18. CONTROLADOR PROLOGIX GPIB-USB.**

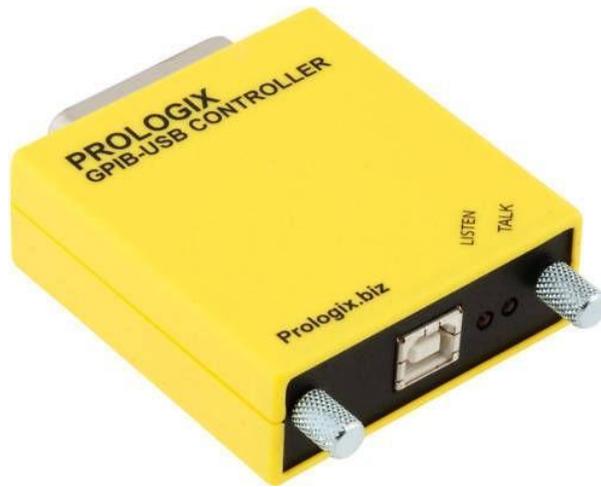
Es necesaria una interfaz que permita que exista comunicación entre el instrumento de medición, la fuente y un ordenador en donde capturar los datos. Es por esta razón que el controlador Pro-Logix es empleado para realizar dicha función. De esta forma, mediante comandos se llevan a cabo los barridos necesarios para obtener las curvas de resistencia del pseudo- resistor.

Este controlador convierte cualquier computadora con un puerto USB en un controlador o dispositivo GPIB [13]; utiliza el controlador de dispositivos FTDI que crea un puerto virtual COM en la PC. En la figura 2.27, se muestra el cable de interconexión entre la computadora y el controlador Prologix GPIB-USB [18][19].



**Figura 2. 27:** Cable USB tipo A-B para interconexión computadora-controlador Prologix GPIB-USB.

La figura 2.28 muestra el dispositivo físico de un controlador Prologix GPIB-USB.



**Figura 2. 28:** Controlador Prologix GPIB-USB.

El bus de datos GPIB se muestra en la figura 2.29.



**Figura 2. 29:** Cable adaptador para Bus GPIB.

# 3. CAPÍTULO 3:

## DESARROLLO DEL PSEUDO-RESISTOR

Muchas variables cruciales en los sistemas vivos son inaccesibles porque no se puede obtener la interfaz de sensor de medición adecuada sin dañar el sistema. A diferencia de muchos sistemas físicos complejos, un sistema biológico es de tal naturaleza que no es posible apagarlo y eliminar partes de él durante el procedimiento de medición. Incluso si se puede evitar la interferencia de otros sistemas fisiológicos, el tamaño físico de muchos sensores prohíbe la formación de una interfaz adecuada. Tales variables inaccesibles deben medirse indirectamente, o las correcciones deben aplicarse a los datos que se ven afectados por el proceso de medición. El gasto cardíaco es una medida importante que obviamente es bastante inaccesible [23].

Así, como puede observarse en la tabla 3.1, las señales biológicas van desde los décimos de Hz hasta los 10kHz, por lo que, para lograr obtener una medición correcta, es necesario filtros con una constante RC de muy alto valor. Teniendo en cuenta los valores alcanzables de capacitancia dentro de un chip, es viable enfocarse en la resistencia, sin embargo, embeber componentes pasivos dentro de un chip resulta costoso debido al área que estos ocupan en la oblea de silicio. Es por este motivo que los transistores MOS son empleados en su región de subumbral, para emular el comportamiento de un resistor, dando lugar así a un pseudo-resistor.

### 3.1. LA PSEUDO-RESISTENCIA

Los Pseudo-Resistores son dispositivos que emulan el comportamiento de un resistor. En circuitos integrados se ha usado transistores MOS en las diferentes regiones como saturación (valores moderados de resistencia), lineal (valores bajos de resistencia) e inversión débil (valores altos de resistencia), en cada región de operación los transistores MOS exhiben diferentes valores de resistencia, tal y como se verá, en la región de subumbral se alcanzan corrientes en el orden de (pA-nA) (alta resistencia).

Los MOSFET que funcionan como resistencias controlables desempeñan un papel crucial en muchos circuitos analógicos. Por ejemplo, se puede usar una resistencia controlada por voltaje para ajustar la frecuencia del generador de reloj en una computadora portátil si el sistema debe entrar en un modo de ahorro de energía. Como se estudia en el Capítulo 13, los MOSFET también sirven como interruptores.

Un MOSFET puede operar como una resistencia cuyo valor está controlado por el voltaje  $V_{GS}$  tanto tiempo como  $V_{DS} \ll 2(V_{DS} - V_{TH})$ . Esto se ilustra conceptualmente en la figura 2.20. Tenga en cuenta que, en contraste con transistores bipolares, un dispositivo MOS puede estar encendido incluso si no lleva corriente. Con la condición  $V_{DS} \ll 2(V_{DS} - V_{TH})$ , decimos que el dispositivo opera en la región profunda del triodo.



**Figura 3. 1:** MOSFET como un resistor lineal controlado por voltaje.

Tabla 3.1: Parámetros médicos y fisiológicos [23].

<b>Parámetro o técnica de medición</b>	<b>Rango de medición principal del parámetro</b>	<b>Rango de frecuencia de la señal, Hz</b>	<b>Sensor o método estándar</b>
<b>Ballistocardiografía (BCG)</b>	0-7 mg 0-100m	dc-40 dc-40	Acelerómetro, galga extensométrica Transformador diferencial variable lineal de desplazamiento (LVDT)
<b>Presión vesical</b>	1-100 cm H <sub>2</sub> O	dc-10	Manómetro de galgas extensométricas Manómetro de galgas extensométricas
<b>Flujo sanguíneo</b>	1-300 ml/s	dc-20	Cudalímetro (electromagnético o ultrasónico)
<b>Presión arterial arterial</b>			
<b>Directo</b>	10-400 mm Hg	dc-50	Manómetro de galgas extensométricas
<b>Indirecto</b>	25-400 mm Hg	dc-60	Manguito, auscultación
<b>Presión arterial venosa</b>	0-50 mm Hg	dc-50	Galgas extensométricas
<b>Gases en sangre</b>			
<b>Po<sub>2</sub></b>	30-100 mm Hg	dc-2	Electrodo específico, volumétrico o manométrico
<b>Pco<sub>2</sub>,</b>	40-100 mm Hg	dc-2	Electrodo específico, volumétrico o manométrico
<b>PN<sub>2</sub></b>	1-3 mm Hg	dc-2	Electrodo específico, volumétrico o manométrico

*Continúa página siguiente*

**Tabla 3.1 [23]:** *Continúa de página anterior.*

<b>Pco</b>	0.1-0.4 mm Hg	dc-2 -	Electrodo específico, volumétrico o manométrico
<b>pH de la sangre</b>	6.8-7.8 pH units	dc-2	Electrodo específico
<b>Gasto cardíaco</b>	4-25 liter/min	dc-20	Dilución del colorante, Fick
<b>Electrocardiografía (ECG)</b>	0.5-4 mV	0.01-250	Electrodos cutáneos
<b>Electroencefalografía (EEG)</b>	5-300 V	dc-150	Electrodos para el cuero cabelludo
<b>(Electrocorticografía y profundidad cerebral)</b>	10-5000 V	dc-150	Electrodos de superficie cerebral o de profundidad
<b>Electrogastrografía (EGG)</b>	10-1000 HV	dc-1	Electrodos de superficie cutánea
	0.5-80 mV	dc-1	Electrodos de la superficie del estómago
<b>Electromiografía (EMG)</b>	0.1-5 mV	dc-10,000	Electrodos de aguja
<b>Potenciales oculares</b>			
<b>Electrooculograma (EOG)</b>	50-3500 HV	dc-50	Electrodos de contacto
<b>Electrorretinograma (ERG)</b>	0-900V	dc-50	Electrodos de contacto
<b>Respuesta galvánica de la piel (GSR)</b>	1-500 k?	0.01-1	Electrodos cutáneos
<b>pH gástrico</b>	3-13 pH units	dc-1	Electrodo de pH; electrodo de antimonio

## 3.2. RUIDO

El ruido es un proceso aleatorio, lo anterior significa que el valor de amplitud de una señal de ruido no se puede predecir para un tiempo dado, incluso si el valor pasado de la señal es conocido. El ruido obedece a la naturaleza estadística de diferentes fenómenos que suceden en los dispositivos y en el entorno que los rodea. Sin embargo, es posible modelar

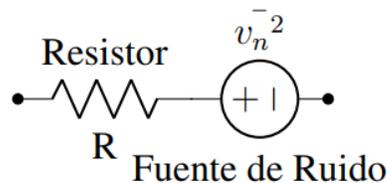
estadísticamente el ruido producido por los dispositivos, aunque no se puede conocer el valor en amplitud instantáneo, si es posible experimentalmente conocer su ancho de banda, esto se puede saber usando la densidad espectral de potencia producida por este, es así como se ha logrado caracterizar dos tipos de ruido que afectan a las señales analógicas en circuitos integrados, estos son: térmico y flicker, cada uno de ellos se explica en seguida [24].

### 3.2.1. RUIDO TÉRMICO

Este tipo de ruido es generado solo en sistemas disipativos, es por ello que está asociado a resistores y estructuras dopadas en capas semiconductoras [24].

### 3.2.2. RUIDO TÉRMICO EN RESISTENCIAS

Se debe al movimiento aleatorio de partículas cargadas en la red cristalina del material, esto hace que se generen fluctuaciones en el voltaje medido, aun cuando la corriente promedio es cero, dicho ruido no es afectado por la corriente directa [24].



**Figura 3. 2:** Modelo de ruido térmico en resistores [24].

Pruebas experimentales muestran que el espectro del ruido térmico es directamente proporcional a la temperatura, en resistencias se modela con una fuente de voltaje en serie con la resistencia como se muestra en la Figura 3.2, donde  $V_n$  es la fuente de ruido la cual puede ser calculada a través de su densidad espectral de potencia de la siguiente forma [24]:

$$S_v(f) = 4kT Rf \quad (3.1)$$

Donde  $k$  es la constante de Boltzmann,  $T$  es la temperatura y  $f$  la frecuencia, su valor  $V_n^2$  puede ser calculado de la siguiente forma:

$$V_n^2 = 4kT\Delta f \quad (3.2)$$

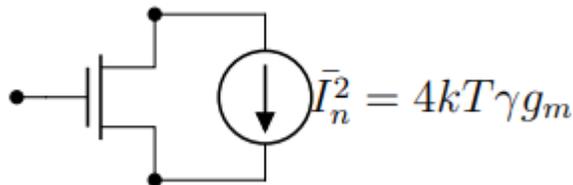
Mediante el uso del teorema del Norton se puede cambiar el modelo de una fuente de voltaje en serie con la resistencia por una fuente de corriente en paralelo con el resistor ideal (sin ruido) [24].

### 3.2.3. RUIDO TÉRMICO EN TRANSISTORES MOS

En el transistor MOS operando en la región de saturación y con canal largo se puede considerar el modelo mostrado en la Figura 3.3, el cual tiene como principal fuente de ruido la resistencia de canal, en la Figura se puede observar el valor que tiene dicha fuente de corriente  $I_n$ , donde el factor  $\gamma$  es llamado factor de exceso de ruido, para canales largos es igual a 2/3 [24].

Cuando el transistor MOS trabaja en inversión débil la densidad espectral de potencia puede ser calculada de la siguiente forma [24]

$$(3.3)$$



**Figura 3. 3:** Modelo de ruido térmico en el transistor MOS [24].

El concepto de distorsión hace referencia a la medida en que una señal cambia su forma al pasar por un medio. En electrónica la distorsión armónica total se refiere a la diferencia entre la forma de una señal de salida con respecto a la señal de entrada al pasar por un dispositivo electrónico, excepto por un cambio asociado a un factor de escala [24].

Para entender la THD es necesario entender las series de Fourier, con las cuales se puede representar cualquier función periódica como la suma ponderada de senos y cosenos, para ello se considera una función  $v(t)$  periódica con periodo  $T$  que se puede expandir en series de Fourier de la siguiente manera [24]

$$v(t) = \sum_{n=-\infty}^{k=\infty} a_k e^{jk\omega_0 t} \quad (3.4)$$

los coeficientes  $a_k$  se calculan de la siguiente forma

$$a_k = \frac{1}{T} \int_T x(t) e^{-jk\omega_0 t} dt \quad (3.5)$$

Cuando  $k = 0$  se obtiene  $a_k$ , este coeficiente es la componente DC de la señal en un periodo y las siguientes constantes  $a_k$  definen el peso que tienen las siguientes componentes de la exponencial en la señal reconstruida  $v(t)$ , a dichas componentes que conforman la señal se les llama armónicos de la señal, siendo para  $k = 1$  la componente fundamental de la señal [24].

### 3.3. DISTORSIÓN ARMÓNICA TOTAL THD

Un parámetro fundamental a tener en cuenta en el diseño del pseudo-resistor es la distorsión armónica total, la cual, de acuerdo a la ecuación 3.6, se puede entender como la proporción en la que aparecen los armónicos de una señal al pasar por un dispositivo el cual fue excitado por una fuente senoidal pura de armónico fundamental  $v_1$  y frecuencia  $f_1$  [24].

Con lo anterior la THD se puede definir de la siguiente manera:

$$THD = \frac{\sqrt{\sum_{k=2}^{k=\infty} v_k^2}}{v_1} \quad (3.6)$$

Donde:

- $v_1$  representa el valor cuadrático medio del primer armónico o la señal fundamental de entrada de frecuencia  $f_1$ .
- $k$  es el número del armónico.
- $v_k$  es el valor cuadrático medio del armónico  $k$ .

Para definir completamente la THD es necesario definir matemáticamente el valor cuadrático medio de una señal periódica como se muestra en la siguiente ecuación [24]:

$$v_{rms} = \sqrt{\frac{1}{T} \int_t^{t+T} v^2(t) dt} \quad (3.7)$$

Donde  $T$  es el periodo de la señal [24].

### 3.3.1. RANGO DINÁMICO

El rango dinámico es la razón de la máxima excursión de voltaje a la entrada para un nivel de THD dado y el ruido referido a la entrada propio del sistema, dicha razón nos dice la mínima magnitud que la señal de entrada debe tener con respecto al ruido para ser procesado adecuadamente [24].

El rango dinámico está definido como

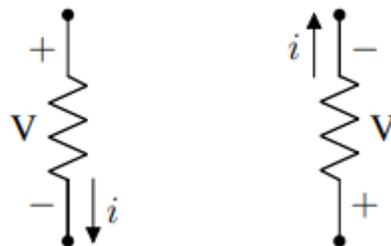
$$DR = \frac{V_{rms,max}}{V_{noise,in}} \quad (3.8)$$

### 3.4. RESISTORES DE ALTO VALOR

Para la realización de filtros para bajas frecuencias se requiere resistores con altos valores de resistencia ( $G\Omega$ ) y/o condensadores con altos valores de capacitancia ( $\mu F$ ), dichos elementos ocupa una área significativa de silicio, es por ello que es necesario emular el comportamiento de estos elementos existen diversas formas para solucionar este problema, algunos de ellos son escaladores de impedancia (el factor de escalamiento no es muy grande y no permite sintonización de frecuencia), técnicas de división y cancelación de corriente (problemas de offset y mismatch) y, en los últimos años se ha propuesto resistores de alto valor sintonizables o también llamados Pseudo-Resistores [24].

#### 3.4.1. CURVA CARACTERÍSTICA DE CORRIENTE VS VOLTAJE DE UN RESISTOR

Cuando se considera un resistor lineal, se entiende por ello que es un elemento el cual limita el flujo de corriente a través de este, un resistor de este tipo obedece la ley de Ohm, la cual describe una relación lineal entre la corriente y el voltaje, y el factor de proporcionalidad es la resistencia, por lo tanto, en una gráfica de la caída de voltaje entre los terminales del resistor contra corriente que pasa por él, se espera una curva como la mostrada en la Figura 3.4.



**Figura 3. 4:** Símbolo del resistor con la dirección de la corriente y caída de potencial.

De acuerdo con la Figura 3.5 y la ley de Ohm, la corriente en un resistor lineal está dada por la siguiente ecuación:

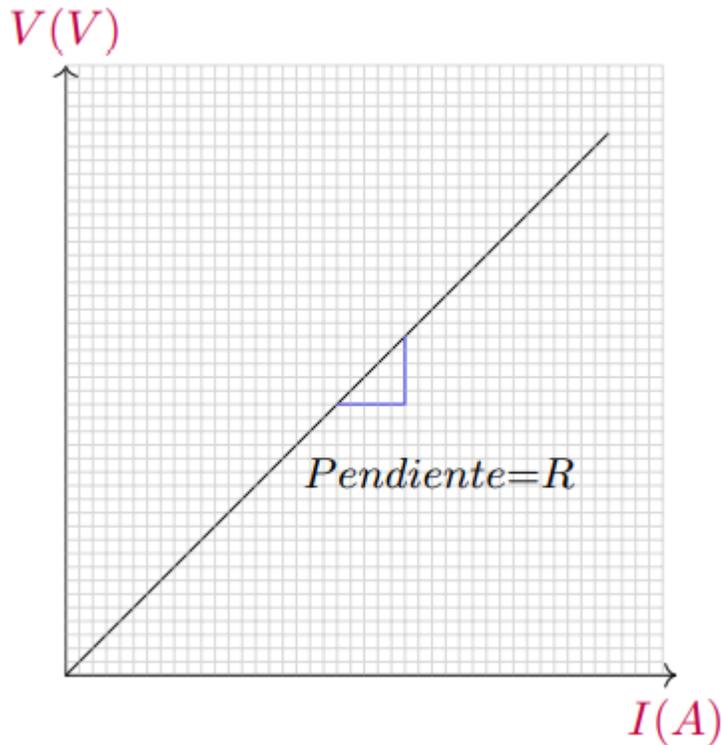
$$V = RI \quad (3.11)$$

donde  $V$  es la caída voltaje entre los terminales del resistor.

Con la finalidad de entender lo que representa la ecuación 3.11 es necesario utilizar el concepto de derivada, la cual mide la pendiente de una función en cada punto, de 3.11 y derivando la corriente con respecto al voltaje se obtiene que el valor de resistencia se puede encontrar como se muestra en la ecuación 3.12 [24].

$$\frac{dI}{dV} = \frac{1}{R} \quad (3.12)$$

lo cual era de esperarse ya que en un resistor lineal la pendiente es constante, dado que describe una línea recta que pasa por el origen [24].



**Figura 3.5:** Curva característica de un resistor lineal.

Ahora si consideramos una función  $I(V)$  arbitraria la cual se puede expandir en series de Taylor como:

$$I(V) = I(a) + \frac{I'(a)}{1!}(V - a) + \frac{I''(a)}{2!}(V - a)^2 + \frac{I^{(3)}(a)}{3!}(V - a)^3 + \dots \quad (3.13)$$

Donde  $I^{(3)}$  denota la tercera derivada de  $I(V)$  con respecto a la variable  $V$ .

Comparando 3.11 y el factor del primer término de 3.13 se obtiene ecuación 3.12, lo anterior muestra que en un resistor lineal no existe otra competente más que la primera derivada la cual es una constante y define la pendiente (1/Resistencia en una curva I-V) de una curva la cual pasa por cero amperios ( $a = 0$ ) para cero voltios ( $V(a) = 0$ ), y que hace referencia a que el valor de  $I(a)$  es cero y físicamente refleja que no existe un valor de constante (offset) que desplace la curva de Voltaje contra Corriente. Tampoco existen segundas, terceras, enésimas derivadas en la curva las cuales relacionan un comportamiento cuadrático, cúbico y enésimo crecimiento [24].

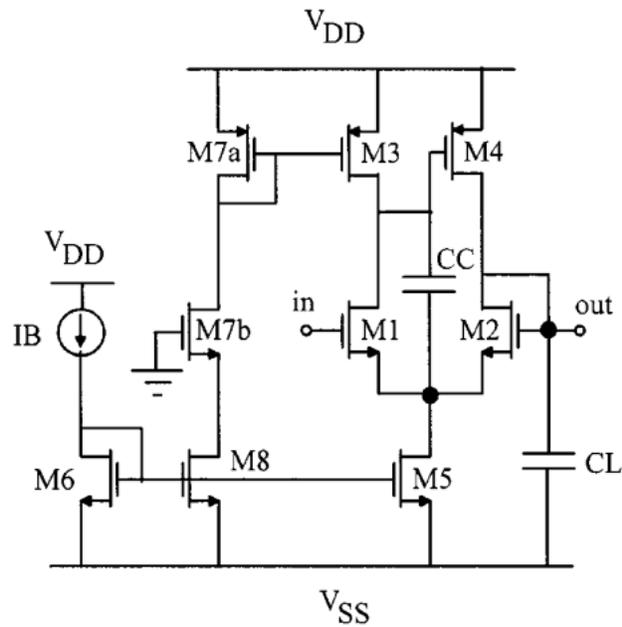
Un resistor ideal exhibe una relación lineal como la antes mencionada, sin embargo, un resistor real tiene un comportamiento lineal limitado a un rango de voltaje aplicado, en muchas ocasiones los resistores reales tienen muchas de las componentes mencionadas anteriormente [24].

### **3.5. EL SEGUIDOR DE VOLTAJE DE PALMISSANO -PALUMBO**

Este seguidor de voltaje fue seleccionado para este trabajo debido a que no presenta efecto de cuerpo en su estructura y tiene alta resistencia de entrada. Esta condición lo vuelve ideal para llevar a cabo la función del desplazador de nivel requerido. Sin embargo, este seguidor no brinda la diferencia de potencial requerida para mantener a los transistores del pseudo-resistor en la región de subumbral, por lo que es necesario emplear un desplazador de nivel adicional a su salida, tal que brinde el offset necesario.

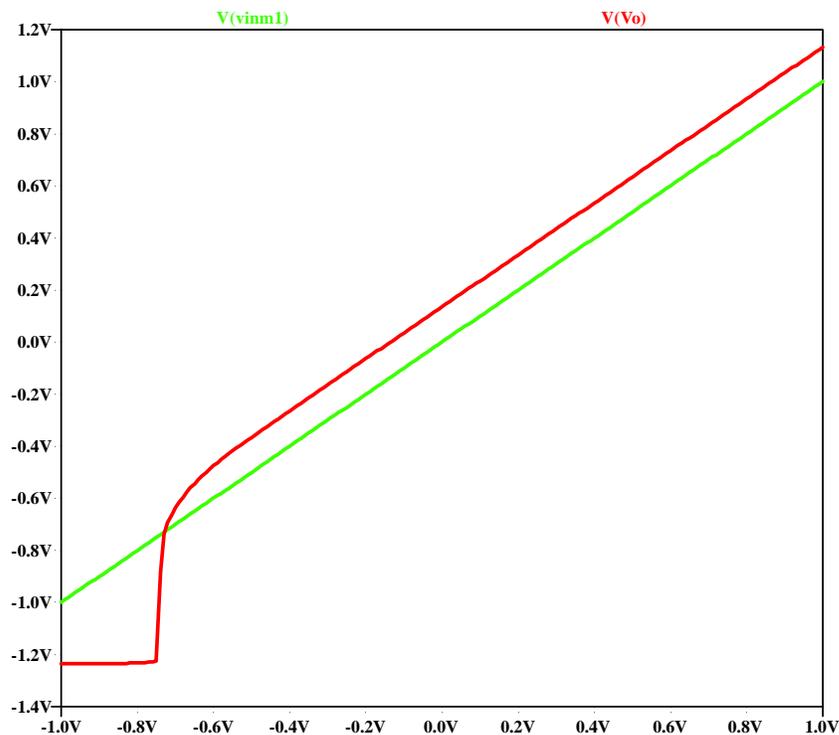
Recientemente, el amplificador de voltaje de ganancia unitaria ha recibido un nuevo interés de los diseñadores analógicos, especialmente en el área del procesamiento de señales con el enfoque de modo de corriente. De hecho, los seguidores de voltaje se utilizan como primera etapa en varios amplificadores de modo de corriente, current conveyors [25], amplificadores de retroalimentación de corriente, etc. Estos circuitos necesitan amplificadores de ganancia unitaria de alto rendimiento que se implementan con topologías de clase A de alta precisión, ya que no tienen que proporcionar una capacidad de accionamiento alta. Las principales características de los amplificadores de voltaje de ganancia unitaria son: amplia respuesta de frecuencia, un error de baja ganancia, una alta linealidad y una baja resistencia de salida.

La figura 3.6 muestra el esquema del seguidor de voltaje de alto rendimiento del Palumbo [25]. Los transistores M7-M14 realizan el circuito de polarización. La corriente de drenador de M10 debe ser tres veces mayor que la del transistor M11, para establecer la misma corriente en M1, M2 y M3. Los transistores M1 y M2 implementan el par básico de fuente acoplada y tienen la misma relación de aspecto. Las fuentes comunes M5 y M6 tienen la misma relación de aspecto de los transistores M7-M9. Proporcionan dos funciones: la primera es mejorar la ganancia general del bucle y la segunda es mantener iguales las caídas de voltaje fuente-drenaje de los transistores M7 y M8. De tal manera, las corrientes de drenador de M7 y M8 están muy bien emparejadas y esto significa que los efectos de la modulación de la longitud del canal de M7 y M8 sobre la linealidad y el desplazamiento se minimizan. La simetría de la topología (que a su vez significa un rendimiento preciso) se mejora aún más mediante el uso de los transistores M3 y M4 conectados a diodos cuyas dimensiones son las mismas de M1 y M2. Finalmente, para obtener una buena coincidencia entre las fuentes de corriente de canal p y canal n, se emplea la compuerta común M13 que establece el voltaje de la fuente de drenaje de los transistores M10-M12 [25].



**Figura 3. 6:** Esquema del seguidor de voltaje de Palumbo [25].

Este seguidor de voltaje presenta, a su vez, la ventaja de nulo efecto de cuerpo, por lo que resulta ideal para el diseño y la propuesta del pseudo-resistor, tal y como es mencionado en la hipótesis de este documento. En la figura 3.7 se observa el comportamiento del seguidor de Palumbo, en el cual se observa una diferencia de potencial constante entre el voltaje en la entrada y la salida del mismo.

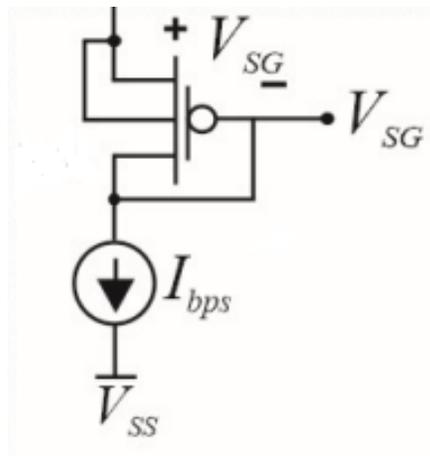


**Figura 3. 7:** Grafico de la simulación del seguidor de Palumbo.

### 3.6. DESPLAZADOR DE NIVEL

Un desplazador de nivel es un arreglo que introduce un voltaje de offset entre dos señales de voltaje. Es necesario adecuar la señal a la salida del seguidor de Palumbo, debido a que, en este punto, el voltaje  $V_{SG}$  requerido para mantener a los transistores del pseudo-resistor en la región de subumbral tiene una polaridad inversa.

En el específico caso de esta propuesta, un desplazador de nivel es implementado (Figura 3.8), esto, para que a la salida del seguidor de Palumbo sea producida la diferencia de potencial requerida para mantener los transistores P del pseudo-resistor dentro del régimen de operación de subumbral.



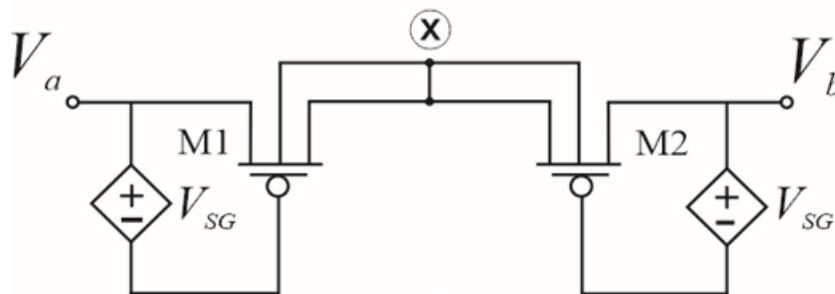
**Figura 3. 8:** Desplazador de nivel propuesto.

Este desplazador de nivel, tal y como sucede con el seguidor de voltaje de Palumbo, no presenta efecto de cuerpo, por lo que la pendiente de la curva del voltaje en este punto solo es desplazada sin tener una desviación. Con esto, nos aseguramos de mantener los transistores PMOS dentro del régimen de inversión débil, polarizando sus compuertas correctamente.

### 3.7. EL PSEUDO-RESISTOR PROPUESTO

Como se sabe, los desplazadores de nivel típicos de NMOS son propensos al efecto de cuerpo, este hecho hace que el potencial  $V_{SG}$  cambie con el voltaje de entrada, en consecuencia, la resistencia efectiva de la pseudo-resistencia no es constante en el rango dinámico, causando una alta distorsión. En este sentido, proponemos un diseño de pseudo-resistencia utilizando un desplazador de nivel libre de efecto de cuerpo que mejora la linealidad. El diseño fue desarrollado en arreglos de transistores MOS ALD1105 y las simulaciones eléctricas concuerdan con las medidas experimentales.

La pseudo-resistencia se muestra en la Figura 3.9. Como se puede notar, el circuito sigue una idea similar propuesta por Kassiri [21], sin embargo, las terminales del bulk de los PMOS están unidas al nodo central "x".



**Figura 3. 9:** Diagrama a bloques del pseudo-resistor propuesto.

Debido a la simetría del circuito, para un voltaje de entrada  $V_a$  o  $V_b$  dado, uno de los transistores M1 o M2 tendrá un  $V_{SG}$  y  $V_{BS}<0$  fijos, este transistor tendrá menos capacidad de corriente que el otro y generará un patrón de alta resistencia, La corriente de drain de los PMOS se modela mediante la expresión EKV de inversión débil [26]:

$$I_{DS} = \frac{W}{L} I'_M e^{\frac{(V_{GS}-V_M)U_T}{\eta}} \left(1 - e^{\frac{-V_{DS}}{U_T}}\right) \quad (3.14)$$

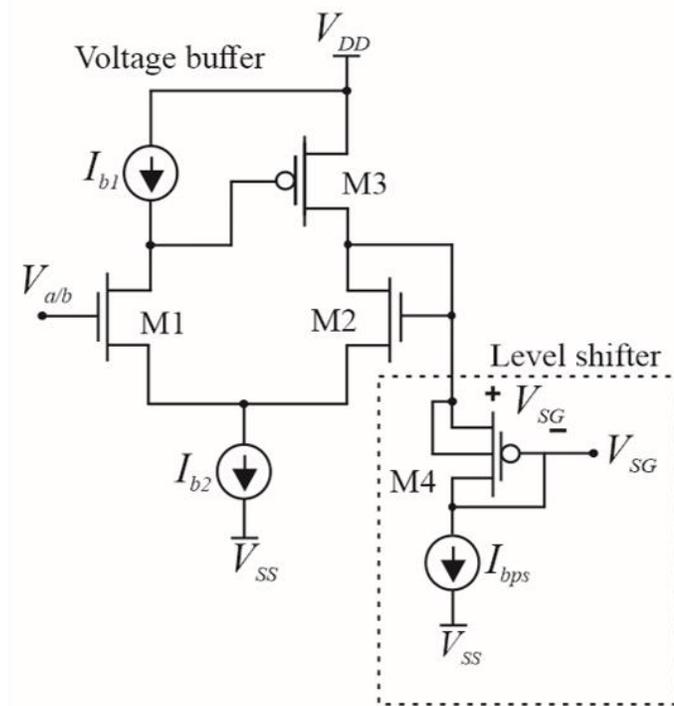
Con:

$$V_M = V_{FB} + 2U_T + \gamma\sqrt{2U_T + V'_{SB}} \quad (3.15)$$

Y

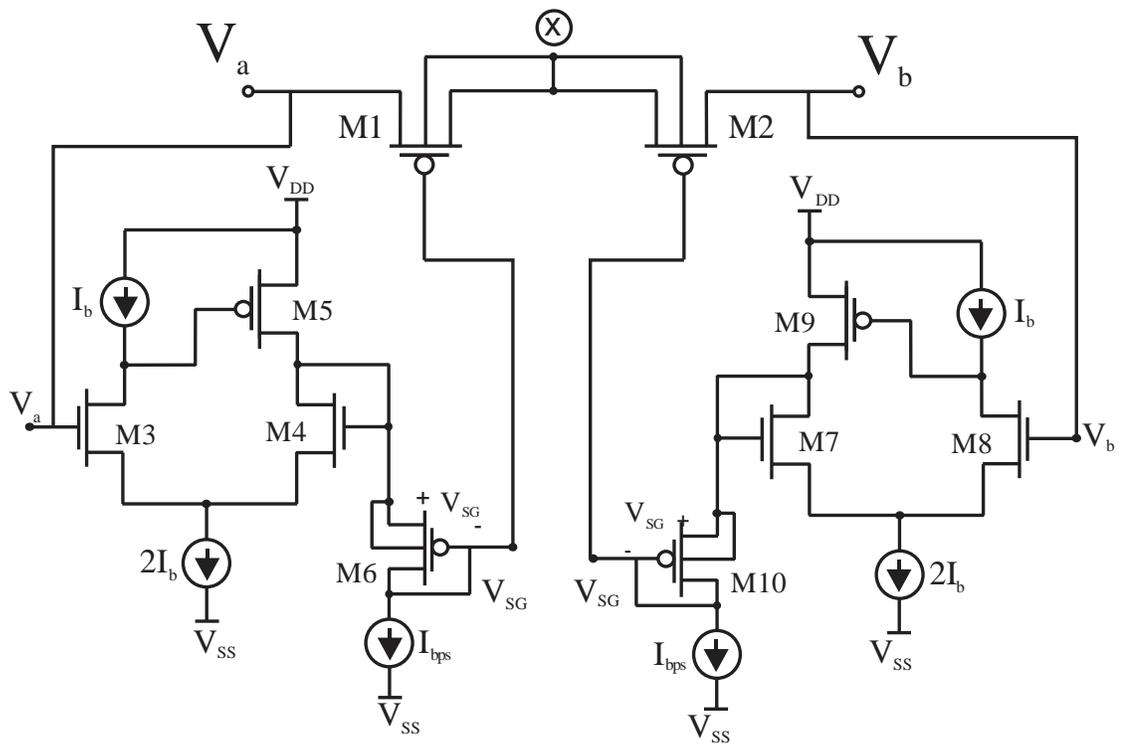
$$I'_M = \mu \frac{\sqrt{2q\epsilon_s N_A}}{2\sqrt{2\phi_F + V'_{SB}}} U_T^2 \quad (3.16)$$

Donde  $U_T=kT/q$  es el voltaje térmico;  $\eta$  es la pendiente del subumbral;  $\mu$  es la movilidad del portador;  $V_M$  es el límite superior de inversión débil en términos de  $V_{GS}$ , para el valor dado de  $V_{SB}$ , además varias cantidades en la ecuación ( $V_M$ ,  $V'_M$ ,  $n$ ) dependen de él y  $W/L$  la relación de aspecto del transistor. El voltaje  $V_{SG}$  se implementa mediante el desplazador de nivel que se muestra en la Figura 3.10, el cortocircuito de la fuente principal hace que  $V_{SB}=0$ , en consecuencia, el transistor M4 no tiene un efecto de cuerpo. Sin embargo, un inconveniente importante del propio desplazador de nivel es que carece de alta resistencia de entrada; esta condición afecta directamente a la corriente del pseudo-resistor. Por lo tanto, se debe considerar el seguidor de voltaje representado en la Figura 3.10. Este buffer de voltaje propuesto por Palmisano et al. [26] no presenta cambio de nivel y la pendiente de su característica de transferencia no se ve afectada por el efecto de cuerpo. De esta forma, la tensión  $V_{SG}$  que está determinada por la corriente de polarización  $I_{bps}$  permanece constante en el rango dinámico de la pseudo-resistencia.

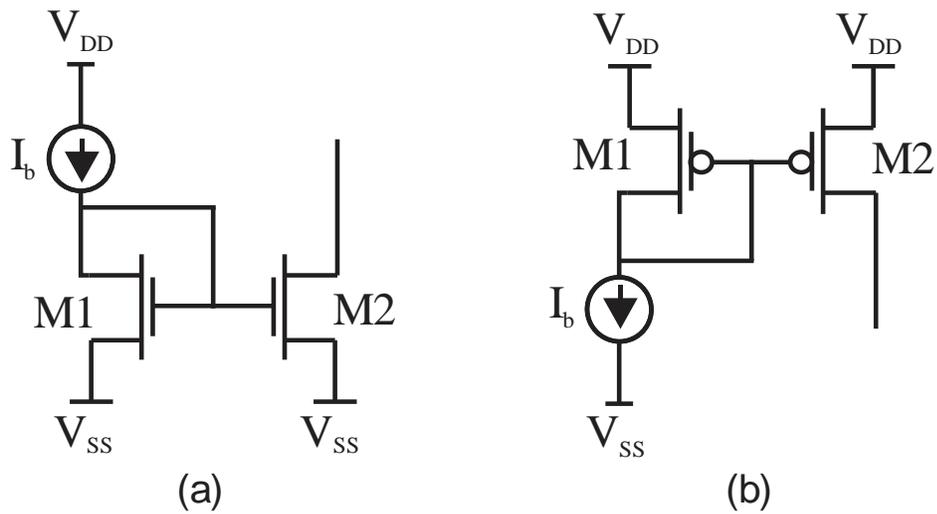


**Figura 3. 10:** Seguidor de voltaje propuesto para el pseudo-resistor.

De esta manera, ubicando cada uno de los seguidores de voltaje a cada una de las fuentes de voltaje mostradas en la Figura 3.13, el circuito propuesto se puede observar en la Figura 3.11. En el cual las fuentes de corriente son posteriormente sustituidas por espejos de corrientes N y P respectivamente, tal y como se observan en la Figura 3.12 (a) y Figura 3.12 (b).



**Figura 3. 11:** Circuito de pseudo-resistor propuesto con seguidor de Palumbo.

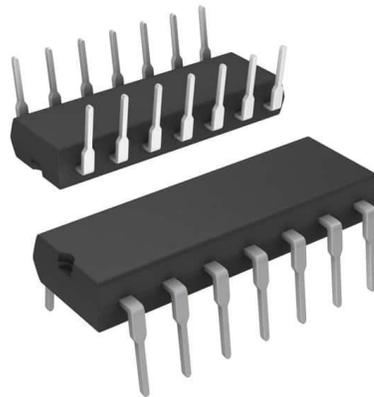


**Figura 3. 12:** Espejos de corriente CMOS. a) Espejo NMOS. b) Espejo PMOS.

### 3.8. ARREGLOS DE TRANSISTORES MOS ALD1105

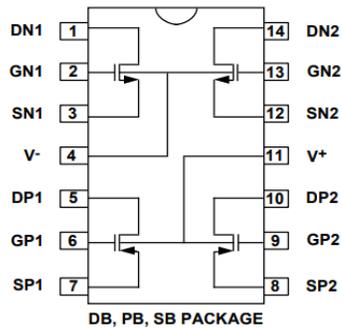
El ALD1105 es un par de transistores monolíticos de doble canal N y doble canal P complementarios, destinados a una amplia gama de aplicaciones analógicas. Consisten en un par MOSFET de canal N ALD1116 y un par MOSFET de canal P ALD1117 en un paquete. El ALD1105 es una versión de baja corriente de drenaje y baja corriente de fuga del ALD1103.

El ALD1105 ofrece una alta impedancia de entrada y un coeficiente de temperatura de corriente negativa. El par de transistores se adapta para un voltaje de compensación mínimo y una respuesta térmica diferencial, y está diseñado para aplicaciones de conmutación y amplificación de señales de precisión en sistemas de +1V a +12V donde se desea una baja corriente de polarización de entrada, baja capacitancia de entrada y velocidad de conmutación rápida. Dado que estos son dispositivos MOSFET, cuentan con una ganancia de corriente muy grande (casi infinita) en un entorno operativo de baja frecuencia o cerca de CC. Cuando se utiliza en pares complementarios, se puede construir un interruptor analógico CMOS dual. Además, el ALD1105 está diseñado como un bloque de construcción para etapas de entrada de amplificador diferencial, puertas de transmisión y aplicaciones de multiplexores. El encapsulado DIP-14 puede observarse en la figura 3.13.



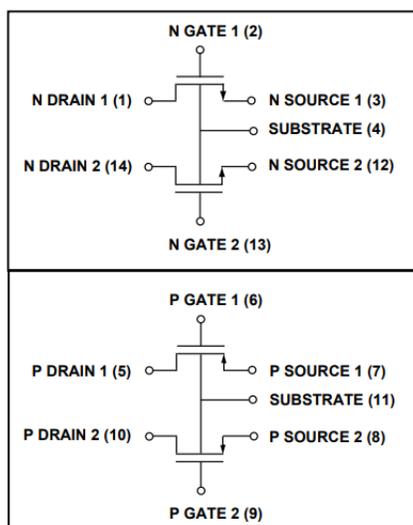
**Figura 3. 13:** Encapsulado ALD1105 14 pines.

El ALD1105 es adecuado para su uso en aplicaciones de precisión que requieren una ganancia de corriente muy alta, beta, como espejos de corriente y fuentes de corriente. La alta impedancia de entrada y la alta ganancia de corriente continua de los transistores de efecto de campo dan como resultado una pérdida de corriente extremadamente baja a través de la puerta de control. La ganancia de corriente continua está limitada por la corriente de fuga de entrada de la compuerta, que se especifica a 30pA a temperatura ambiente. Por ejemplo, DC beta del dispositivo a una corriente de drenaje de 3mA a 25°C es  $= 3\text{mA}/30\text{pA} = 100,000,000$ . La configuración de sus pines puede observarse en las Figuras 3.14 y 3.15.



**Figura 3. 14:** Configuración de los pines del ALD1105.

Por lo anterior mencionado, fue el elemento seleccionado para la aplicación de la propuesta hecha en este trabajo, aprovechando sus múltiples componentes integrados en un chip para dar lugar a la pseudo-resistencia.



**Figura 3. 15:** Bloques del ALD1105.

### 3.9. MATERIAL IMPLEMENTADO

Para llevar a cabo el prototipo de pruebas, fueron necesarios los materiales descritos en la Tabla 3.2.

Tabla 3. 2: Material utilizado en el pseudo-resistor.

<b>PARTE</b>	<b>Referencia</b>
BORNERA	J1
HEADER	J6
HEADER	J7
HEADER	J11
HEADER	J12
JUMPER	J23
JUMPER	J24
HEADER	J26
HEADER	J28
FISO1	J30
FISO2	J31
JUMPERMIRROR	J32
JUMP1	J33
JUMPGATE	J34

*Continúa en pagina siguiente*

Tabla 3.2: *Continúa de página anterior.*

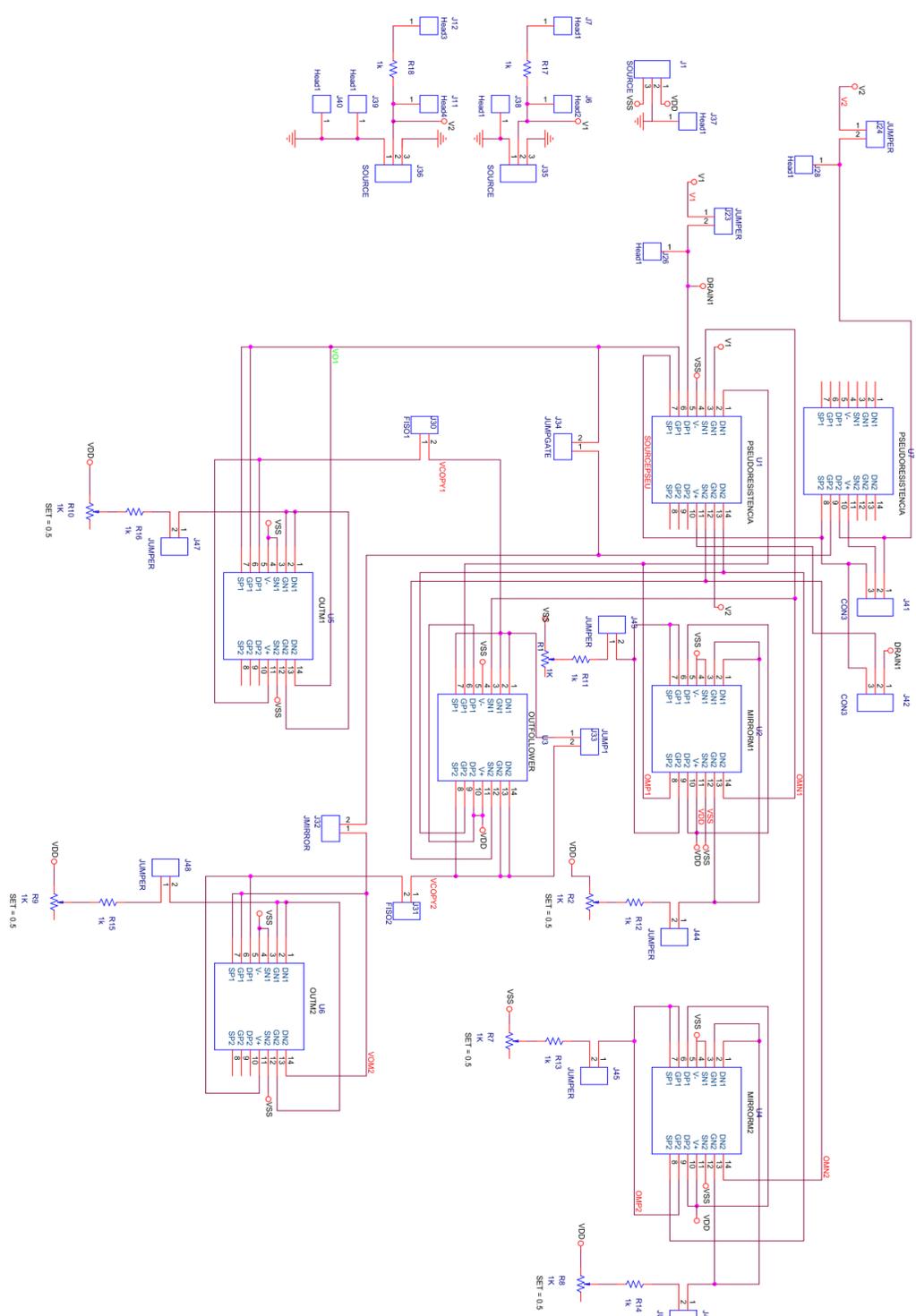
BORNERA	<b>J35</b>
BORNERA	J36
HEADER	J37
HEADER	J38
HEADER	J39
HEADER	J40
TIRA DE PIN MACHO	J41
TIRA DE PIN MACHO	J42
JUMPER	J43
JUMPER	J44
JUMPER	J45
JUMPER	J46
JUMPER	J47
JUMPER	J48
RESISTOR	R1
TRIM-POT	R2
TRIM-POT	R7
TRIM-POT	R8
TRIM-POT	R9
TRIM-POT	R10
TRIM-POT	R11
RESISTOR	R12
RESISTOR	R13
RESISTOR	R14
RESISTOR	R15
RESISTOR	R16
RESISTOR	R17
RESISTOR	R18
ALD1105	U1
ALD1105	U2
ALD1105	U3
ALD1105	U4
ALD1105	U5
ALD1105	U6
ALD1105	U7

La propuesta es fabricada mediante la implementación de 7 encapsulados de ALD1105, dispuestos en una placa de 10 x 10 cm, en la cual se implementan resistores y potenciómetros de precisión con la principal finalidad de brindar una plataforma flexible y adaptable para obtener distintos valores de corrientes de polarización en los espejos de corrientes que se ubican en los extremos de cada uno de los seguidores, así como jumpers y puntos de prueba para adquirir la mayor cantidad de información posible de las variables presentes en la placa, así como también aislar las diferentes etapas que componen el pseudo-resistor.

### **3.10. DISEÑO DEL DIAGRAMA ESQUEMÁTICO**

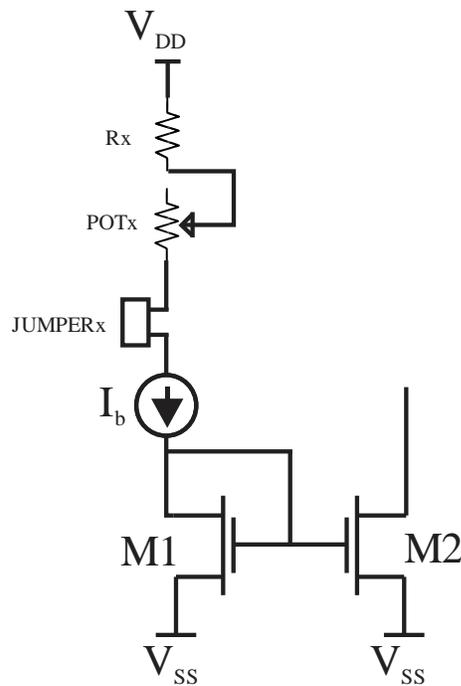
Para diseñar el diagrama esquemático, fue implementado el software CAD ORCAD, en el cual se dispusieron los elementos empleados de la manera más ergonómica, para lograr ofrecer una plataforma flexible y amigable para los usuarios. Este diagrama puede observarse en la Figura 3.17.

Como se observa, U1, U2, U3, U4, U5, U6 Y U7, son los encapsulados ALD1105, en los cuales fue posible interconectar los transistores para dar lugar al pseudo-resistor. Los encapsulados U1 y U7, tienen en sus transistores PMOS los dos componentes requeridos para dar lugar a la pseudo-resistencia, así, como los transistores M3 y M7 basándose en la Figura 3.16. En U2, por su parte, se ubican los transistores que conforman los espejos de corriente PMOS y NMOS de la terminal a, caso similar a U4, en el cual se localizan los correspondientes al seguidor de la terminal b del pseudo-resistor. En U3, pueden encontrarse los extremos superiores, así como la salida del seguidor de palumbos de ambos lados de los seguidores, es decir, M4, M5, M8 y M9 (ver Figura 3.16). Por último, en los encapsulados U5 y U6 se encuentran Level-shifter, con sus respectivos espejos de corriente, es decir, M6 Y M10.



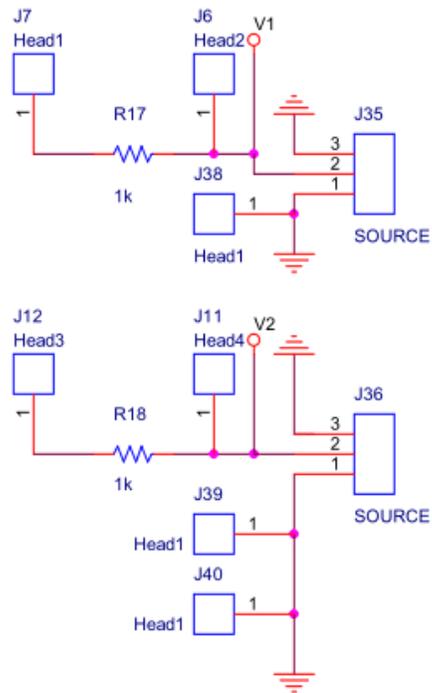
**Figura 3. 16:** Diagrama esquemático del pseudo-resistor propuesto en ORCAD Capture.

Como puede observarse, para cada uno de los espejos de corriente, fueron colocados conectores, para montar resistencias de distintos valores, en serie con trim-pots, con la finalidad de poder manipular las corrientes de polarización y así lograr alcanzar los valores de corriente deseados, disminuyendo la rigidez y facilitando en gran medida la medición de dichas corrientes mediante la colocación de jumpers, los cuales permiten abrir el circuito para lograr dicha medición (ver Figura 3.17).



**Figura 3. 17:** Arreglo para ajustar corrientes de espejos.

Para cada una de las entradas de los seguidores, fueron dispuestos los circuitos mostrados en la Figura 3.18. En ellos pueden observarse un resistor, cuya función reside en limitador de corriente, ya que en este punto encontramos la compuerta de los transistores  $M3$  y  $M7$ , las cuales son sensibles ante descargas electrostáticas. En los puntos de prueba  $J6$ ,  $J7$ ,  $J11$  y  $J12$ , es posible inducir voltajes, así como llevar a cabo la medición de la variable de voltaje presente en las mismas. En  $J35$  y  $J36$  es posible encontrar una solución para llevar a cabo la medición de THD utilizando una punta activa.



**Figura 3. 18:** Entradas de los seguidores.

Como se mencionó al inicio de esta sección los jumpers J30 y J31 significan un aislamiento entre los circuitos seguidores y los desplazadores de nivel para cada mitad del circuito, lo que permite analizar el funcionamiento del circuito por etapas.

### 3.11. DISEÑO DEL PCB

Una vez revisado a detalle el diagrama esquemático, es posible proceder con el diseño del circuito impreso. Para esto, es utilizado el software de ALLEGRO PCB DESIGNER y el netlist previamente creado (Ver Tabla 3.2) y mediante la implementación de dos capas (TOP y BOTTOM), se da lugar a un circuito ergonómico y sencillo de manipular para realizar las mediciones y ajustes necesarios durante el desarrollo de las pruebas.

La capa superior puede verse en la Figura 3.19, en la cual pueden observarse la disposición de los ALD1105 a lo largo de la placa, así como la bornera de alimentación en la parte superior. Al igual que todos los componentes que corresponden a los presentados en la Tabla 3.2.

Por su parte, la capa inferior, o BOTTOM, puede observarse en la figura 3.20, en esta, al igual que en la capa TOP, pueden observarse los distintos componentes, sin embargo, las pistas son distintas, ya que gracias a la tecnología *through-hole*, es posible interconectar las dos capas. De igual forma, para evitar fenómenos relacionados con el ruido o la generación de antenas, fue añadida una masa de tierra o GND, la cual simplifica la fabricación y facilita las conexiones de los instrumentos de medición.

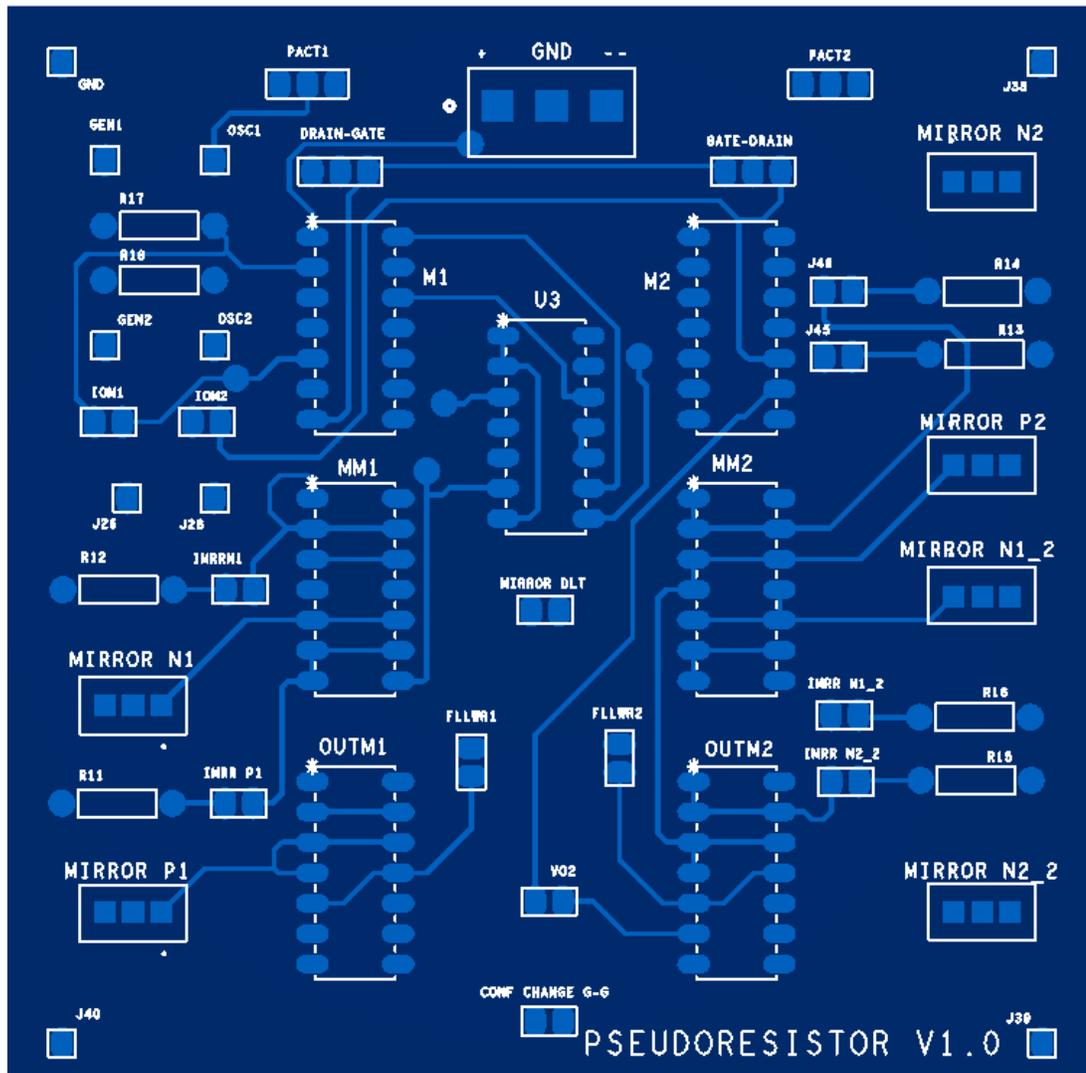
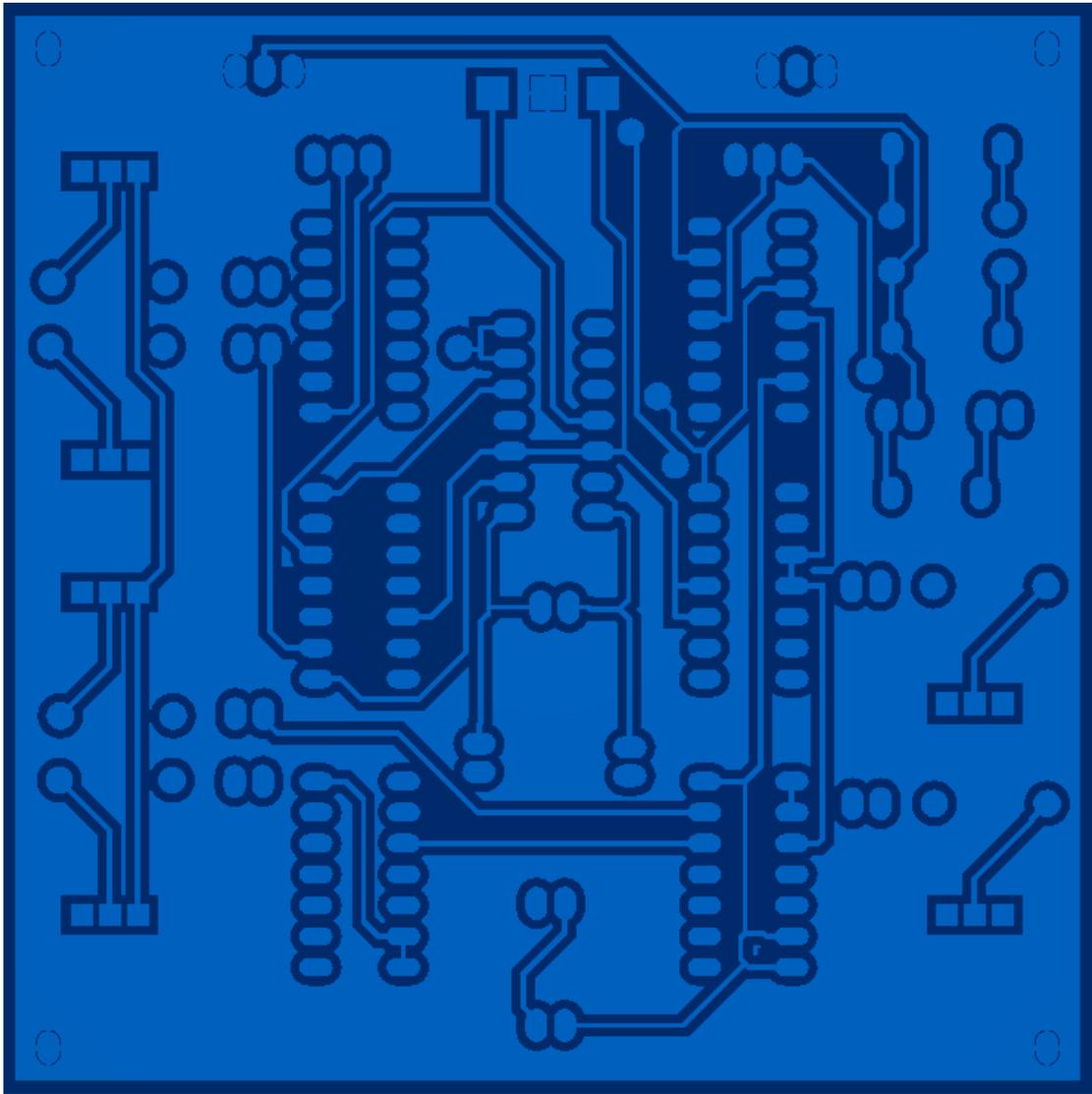


Figura 3. 19: Capa de TOP de circuito propuesto.



**Figura 3. 20:** Capa BOTTOM del circuito propuesto.

### 3.12. EQUIPO DE CARACTERIZACIÓN UTILIZADO

Es necesario entonces, llevar a cabo las mediciones pertinentes al circuito propuesto. Mediante la aplicación de tensiones y la medición de la respuesta en tensiones y corrientes, esto es posible. Al igual que todo proceso de obtención de datos se requiere de herramientas y equipos para suministro de energía, y adquisición de datos (mediciones). Para el suministro de energía, se emplearon fuentes de tensión y generadores de señal. Para las mediciones se utilizaron un osciloscopio y un multímetro, ambos digitales. Las mediciones fueron posibles gracias a que se elaboraron tres programas de adquisición de datos que se llevaron a cabo en el entorno de desarrollo de MATLAB.

A continuación, en la tabla 3.3 se enlistan los elementos que se emplearon en el desarrollo de las diferentes actividades para este proyecto de investigación.

Tabla 3.3: Elementos y dispositivos empleados a nivel general en los análisis desarrollados en este documento.

<b>Cantidad</b>	<b>Descripción</b>	<b>Función realizada</b>
1	Osciloscopio Digital (Agilent Technologies, Infinity Version DSO7034A).	Visualización de gráficos y parámetros de medición (magnitudes de frecuencia, amplitud de voltaje, voltajes de offset).
1	Fuente Keysight B2902A	Alimentación de sistemas y captura de datos por medios de GPIB.
1	Generador de señales (Tektronix AFG3101).	Generar señales específicamente, sinusoidales con valores específicos.

*Continúa en la página siguiente*

Tabla 3.3: *Continúa de página anterior.*

1	Fuente de voltaje en CD (Agilent E3645A).	Suministrar la tensión necesaria para permitir buen funcionamiento de circuitos
1	Fuente de voltaje en CD (Agilent E3630A)	Suministrar la tensión necesaria para permitir buen funcionamiento de circuitos
1	Analizador de espectro RIGOL DSA815	Medir variables tales como THD.
1	Multímetro KEITHLEY DMM6500	Medir las corrientes de polarización de los transistores y corrientes de fuga.
1	Multímetro Steren MUL-285	Medir las corrientes de polarización de los transistores.
1	Laptop personal	Mediante un programa de adquisición de datos permite visualizar y almacenar datos de mediciones.
1	Controlador de GPIB (Prologix USB).	Permite enlace entre computador personal y aparatos de medición para extracción de datos.
1	BUS GPIB	Permite enlace entre aparatos de medición

### 3.13. CÓDIGO DE MATLAB GPIB.

Para la realización de las mediciones, es necesaria la implementación de software de programación con comunicación con dispositivos GPIB. Es por esto que, para la obtención de las curvas de resistencia para distintos valores de corrientes de polarización, así como para la obtención de la curva del seguidor de palumbo y la medición de la corriente de fuga del ALD, fue necesario código en lenguaje m, implementando el software de MatLab.

#### 3.13.1. PROGRAMA PARA LA OBTENCIÓN DE CURVAS DE RESISTENCIA Y SEGUIDOR DE PALUMBO

Para obtener la curva de resistencia se corrió el código mostrado a continuación, en el cual se hace un barrido de la fuente primaria, midiendo la corriente de la misma, mientras que la secundaria mantiene el voltaje fijo, mientras que, de igual manera, se mide la corriente, misma que es graficada.

```
% Programa para medir una estructura con una fuente a un voltaje fijo y otra hace un
% barrido, la fuente 1 será barrida en voltaje y mide corriente y la fuente 2 estará
fija a cierto voltaje
% y mide corriente.
% PARA MEDIR CORRIENTES PEQUEÑAS ORDEN E-11 PONER
COMPLIANCE A 0.1UA

clear %Limpiar variables
close all
format short e

medicion1=[]; % Genera una matriz en blanco para ser llenada con los valores
obtenidos de corriente de fuente 1
fuente1=[]; % Genera una matriz en blanco para ser llenada con el valor fijo v1
de fuente 1
medicion2=[];% Genera una matriz en blanco para ser llenada con los valores
obtenidos de corriente de fuente 2
fuente2=[]; % Genera una matriz en blanco para ser llenada con los valores
fijados de voltaje de fuente 2
```

```

meas1=[]; % vector de mediciones para hacer promedio
v2=1.5; % voltaje fijo de la fuente 2
vi1=-1.5; % voltaje inicial de la fuente 1
vf1=1.5; % voltaje final de la fuente 1
pasos2=30; % Numero de pasos que dará la fuente2 desde vi2 hasta vf2
inc2=(vf1-vi1)/pasos2;% cantidad de voltaje que se incrementará en cada paso
que dé la fuente 2

F1=serial('COM3');%Asignamos a F1 el puerto serial COM4.

fopen(F1); % abrir el puerto

fprintf(F1, '++mode 1'); % modo controlador
fprintf(F1, '++auto 0'); % read after write disabled si no el 6487 marca error -410
fprintf(F1, '++eos 3'); % none CR/LF
fprintf(F1, '++addr 23'); % gpib 23

%Definir limite compliance fuente1 y fuente2
fprintf(F1, ':SENS1:CURR:PROT 10e-3');
fprintf(F1, ':SENS2:CURR:PROT 800e-6');
%Definir el modo de la fuente voltaje o corriente.
fprintf(F1, ':SOUR1:FUNC:MODE VOLT');
fprintf(F1, ':SOUR2:FUNC:MODE VOLT');
fprintf(F1, ':SENS1:CURR:DC:RANG:AUTO 1'); % autorango canal 1
fprintf(F1, ':OUTP1:FILT:AUTO 1');

%Encendido de las fuentes
fprintf(F1, ':OUTP1 ON');
fprintf(F1, ':OUTP2 ON');

    fprintf(F1, ':SOUR2:VOLT %f\n',v2); % sacar el voltaje de fuente 2
        %pause(.1);

    %ciclo para el barrido
    for c2=0:pasos2

        volt1=vi1+c2*inc2;
        fprintf(F1, ':SOUR1:VOLT %f\n',volt1); % Asigna la cantidad de voltaje a la
fuente 1 que hará el barrido
        %pause(0.5);
        % fprintf(F1, ':ARM:COUNT 1'); % almacene solo 1 medicion
        for prom=1:10 % hace un promedio de mediciones

```

```

fprintf(F1, ':MEAS:CURR? (@1)'); % capturar la medicion
fprintf(F1, '++auto 1'); % activa el read after write
m1=fscanf(F1); % captura en cadena de caracteres la medición
a1=str2num(m1(1:13));%convierte a numero los primeros 13 digitos de la
cadena de
        %caracteres que se genera al realizar medicion de corriente
meas1(prom,1)=a1;
end
medicion1(c2+1,1)=mean(meas1);% llena el vector con los valores de corriente
promedio obtenidos del barrido
fuente1(c2+1,1)=volt1;% llena el vector con los valores de voltaje obtenidos
del barrido
fprintf(F1, '++auto 0'); % desactiva el read after write
%pause(.1);
fprintf(F1, ':MEAS:CURR? (@2)'); % capturar la medicion de corriente de
fuente 2
fprintf(F1, '++auto 1'); % activa el read after write
m2=fscanf(F1); % captura en cadena de caracteres la medición
a2=str2num(m2(1:13));%convierte a numero los primeros 13 digitos de la
cadena de
        %caracteres que se genera al realizar medicion decorriente
medicion2(c2+1,1)=a2; % llena el vector con los valores de corriente
obtenidos en la medicion
fuente2(c2+1,1)=v2; % llena el vector con el mismo valor fijo declarado en v1
fprintf(F1, '++auto 0'); % desactiva el read after write
%pause(.1);
end

%Habilitar/deshabilitar canal
fprintf(F1, ':OUTP1 OFF');
fprintf(F1, ':OUTP2 OFF');

fprintf(F1, '*RST'); % Reset al equipo

%Permite borrar cualquier error que se presente
%fprintf(F1, ':SYST:ERR:ALL?');

fclose(F1);%*****cerrar*****
*
```

```

%medicion1 % Muestra los vectores correspondientes
%medicion2
%fuelle1
%fuelle2
%
%plot(voltaje2(:),corriente2(:));% grafica ambos vectores
%hold on
figure
plot(fuelle1(:),medicion1(:));
hold on
plot(fuelle1(:),medicion1(:),'ok');
hold off
figure
semilogy(fuelle1(:),abs(medicion1(:)));
hold on
semilogy(fuelle1(:),abs(medicion1(:)),'ok');
hold off
%grid on
%
fclose(F1);% *****cerrar*****
*
% for n=1:pasos2
% hold on
% plot(voltaje1(:),corriente2(:,n));
% end

```

### 3.13.2. PROGRAMA PARA LA OBTENCIÓN DE CURVAS DE CORRIENTE DE FUGA DEL ALD1105

En el especial caso de la medición de las corrientes parasitas, es necesario el código que a continuación se muestra, en el cual es barrido el voltaje de la fuente primaria mientras que a su vez se monitorea la corriente que entrega la misma. Dicho código para MatLab se presenta a continuación.

```

% Programa para medir un transistor, con una sola fuente, conectando DRAIN
% con GATE al force de la fuente, y el SOURCE a la salida low de la fuente l

```

```

clear %Limpiar variables
close all
format short e
corriente1=[]; % Genera una matriz en blanco para ser llenada con los valores
obtenidos de corriente
voltaje1=[]; % Genera una matriz en blanco para ser llenada con los valores
fijados de voltaje
meas1=[];
vi1=-1; % Voltaje inicial para la medicion
vf1=1; % Voltaje final
pasos1=100; % Numero de pasos que dará la fuente desde vi hasta vf
incl=(vf1-vi1)/pasos1; % cantidad de voltaje que se incrementará en cada paso
que dé la fuente

F1=serial('COM3'); %Asignamos a F1 el puerto serial COM4. verificar para cada
computadora con el software GPIB configurator

fopen(F1); % *****abrir
puerto*****

fprintf(F1, '++mode 1'); % modo controlador
fprintf(F1, '++auto 0'); % read after write disabled si no el 6487 marca error -410
fprintf(F1, '++eos 3'); % none CR/LF
fprintf(F1, '++addr 23'); % gpib 23

%Definir limite compliance fuente1
fprintf(F1, ':SENS1:CURR:PROT 5e-3');
%Definir el modo de la fuente voltaje o corriente.
fprintf(F1, ':SOUR1:FUNC:MODE VOLT');

fprintf(F1, ':OUTP1:FILT:AUTO 1');

%Habilitar deshabilitar canal
fprintf(F1, ':OUTP1 ON');

%Ciclo de mediciones

for c1=0:pasos1
    volt1=vi1+c1*incl; % formula para calcular el voltaje que aplicará la fuente en
cada paso

```

```

fprintf(F1, ':SOUR1:VOLT %f\n',volt1); % envia la orden a la fuente con la
cantidad de voltaje a aplicar en la medicion
% fprintf(F1, ':ARM:COUNT 1'); % almacene solo 1 medicion
pause(.1);

for prom=1:10

fprintf(F1, ':MEAS:CURR? (@1)'); % capturar la medicion
fprintf(F1, '++auto 1'); % activa el read after write
m1=fscanf(F1); % captura en cadena de caracteres la medición
a1=str2num(m1(1:13)); %convierte a numero los primeros 13 digitos de la
cadena de caracteres que se genera al realizar medicion
meas1(prom,1)=a1;
end
corriente1(c1+1,1)=mean(meas1); % llena el vector con los valores de
corriente obtenidos en la medicion
voltaje1(c1+1,1)=volt1; % llena el vector con los valores de voltaje obtenidos
en la medicion
fprintf(F1, '++auto 0'); % desactiva el read after write
pause(.2);

end

%Habilitar/deshabilitar canal
fprintf(F1, ':OUTP1 OFF');
fprintf(F1, '*RST'); % Resete al equipo
fclose(F1);% *****cerrar*****
*

%Muestra los vectores correspondiente y los grafica.
figure
plot(voltaje1(:),corriente1(:));
figure
semilogy(voltaje1(:),abs(corriente1(:)))
hold on
semilogy(voltaje1(:),abs(corriente1(:)),'k')
%Permite borrar cualquier error que se presente
%fprintf(F1, ':SYST:ERR:ALL?');

```

# 4. RESULTADOS

Se llevaron a cabo diferentes mediciones para comprobar el funcionamiento del pseudo-resistor propuesto, desde la obtención de sus curvas para obtener valores resistivos en DC, hasta la medición de distintos armónicos para llevar a cabo el cálculo del THD, para su posterior comparación con las topologías existentes en la literatura y determinar si esta resulta una opción viable para su posterior aplicación en filtros.

## 4.1. ARMADO DEL PCB

Una vez que la tarjeta fue fabricada, se procedió al ensamble de los componentes dentro de ella, teniendo en cuenta que se trata de un circuito a dos capas, teniendo en cuenta su orientación y posición dentro de la misma. En la Figura 4.1, se observa la placa sin ningún componente montado, en la que se pueden observar los *footprints* necesarios para llevar a cabo el proceso de soldado.

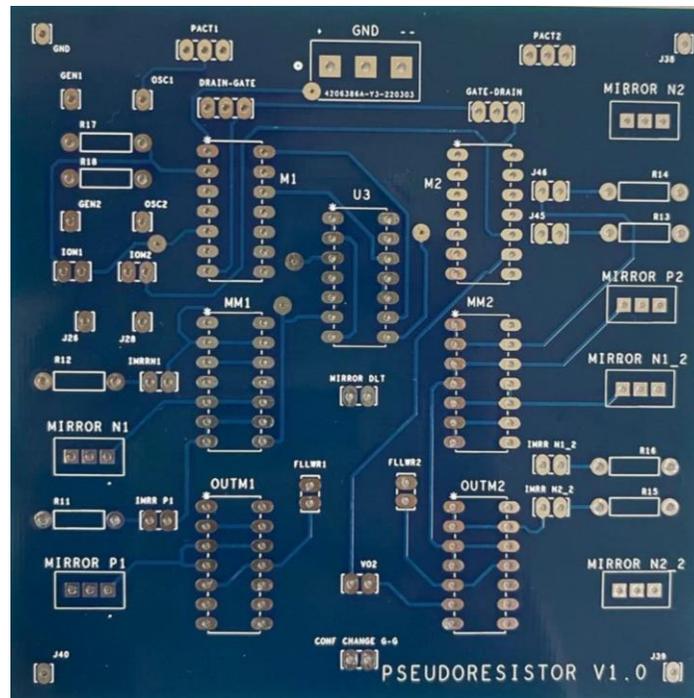
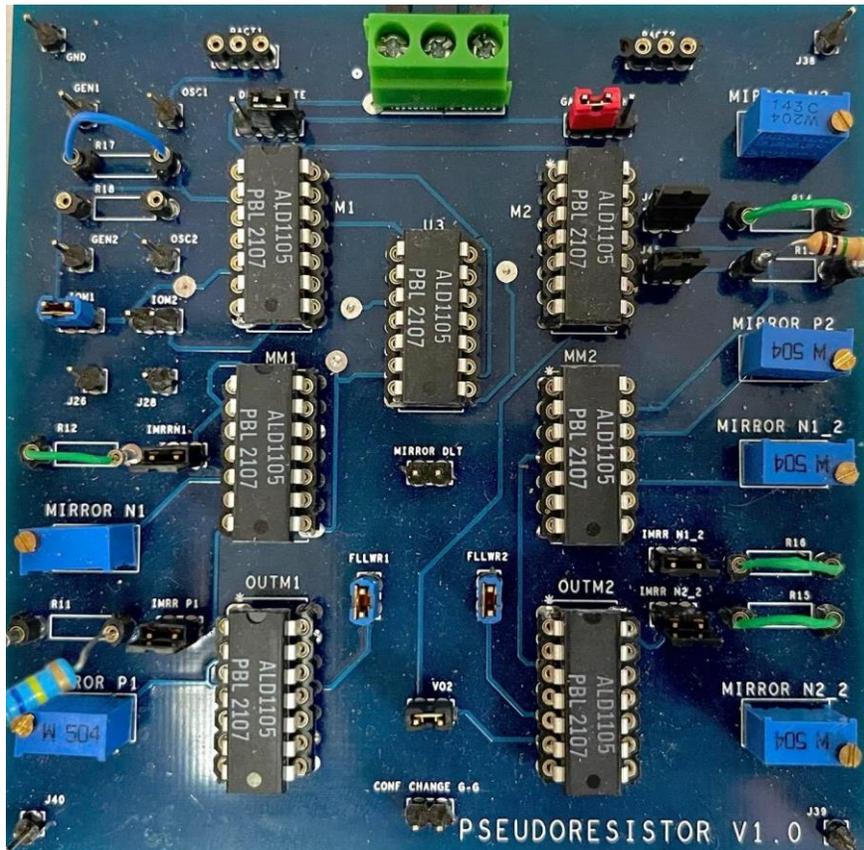


Figura 4. 1: Placa del circuito del Pseudo-resistor sin componentes.

Una vez montados los componentes se procede a soldarlos mediante la utilización de cautín y estaño de baja fusión para evitar levantar las pistas. Cabe mencionar que debido a la tecnología de fabricación donde los *pads* de la capa inferior tienen conexión con los de la superior, solo fue necesario llevar a cabo el proceso de soldadura en la capa inferior. La placa terminada se puede observar en la Figura 4.2.

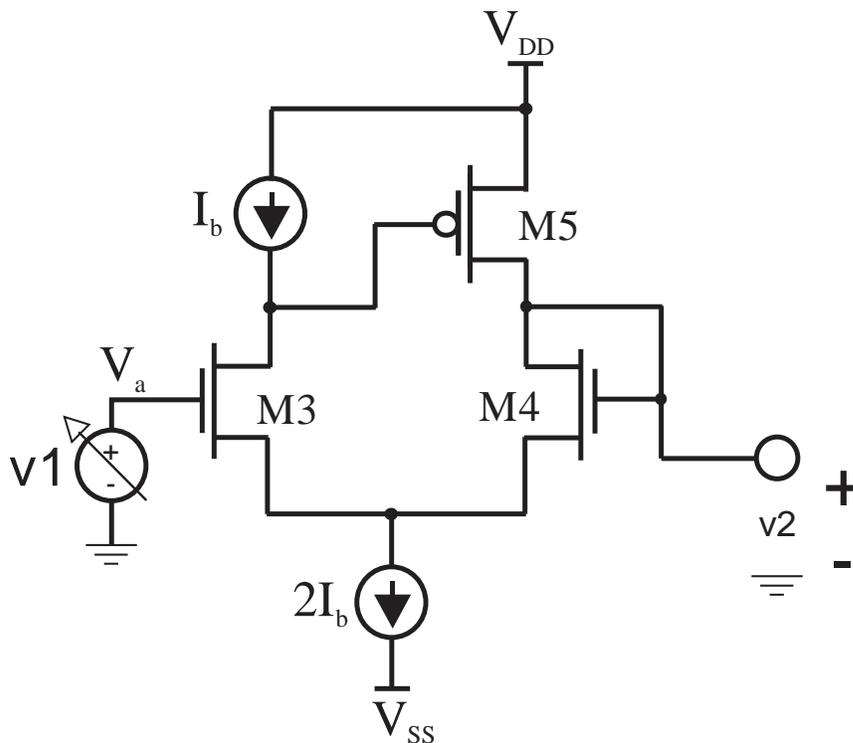


**Figura 4. 2:** Placa del circuito del Pseudo-resistor con componentes.

Fueron colocados puntos de prueba conectados a tierra en cada una de las cuatro esquinas de la placa, con la finalidad de facilitar la conexión de los instrumentos de medición y su conexión a GND.

## 4.2. OBTENCIÓN DE LA CURVA DEL SEGUIDOR DE PALUMBO.

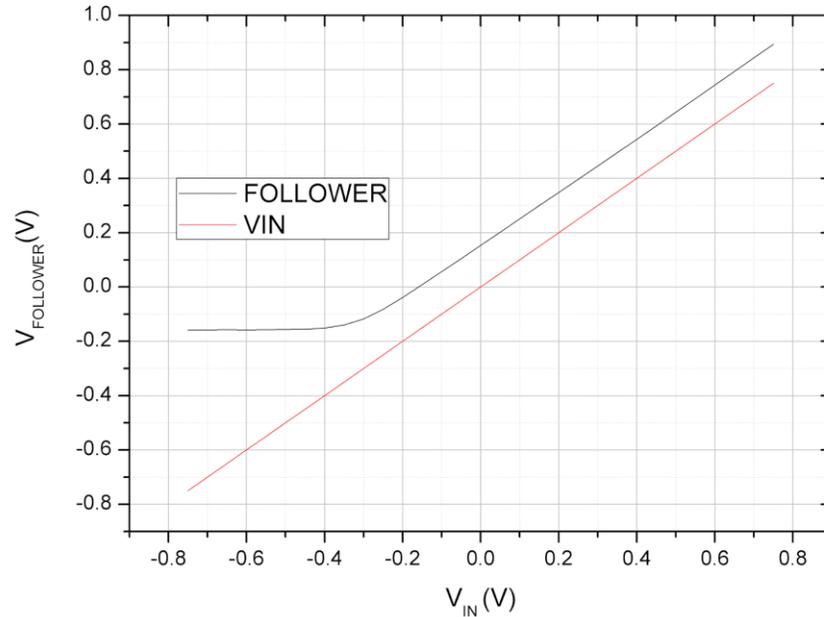
Implementando el respectivo código, mediante la conexión mostrada en el diagrama de la Figura 4. Y utilizando la fuente Keysight B2902A, fue posible la obtención de la curva del seguido de Ganancia unitaria de Palumbo, con lo cual se comprobó que el voltaje producido entre las terminales de cada uno de los transistores del pseudo-resistor era, efectivamente el necesario para mantener los transistores en el régimen de inversión débil.



**Figura 4. 3:** Medición del voltaje del seguidor de Palumbo.

Realizada la medición y mediante el programa requerido, se extrae el voltaje de entrada y el voltaje en el punto del circuito seguidor, el cual fue previamente aislado de las siguientes etapas para evitar la presencia de interferencia en la medición. Esta curva se presenta en la Figura 4.4, en la que puede verse que no existe la presencia de efecto de

cuerpo debido a que las curvas describen trayectorias paralelas, lo que indica el correcto funcionamiento del circuito.

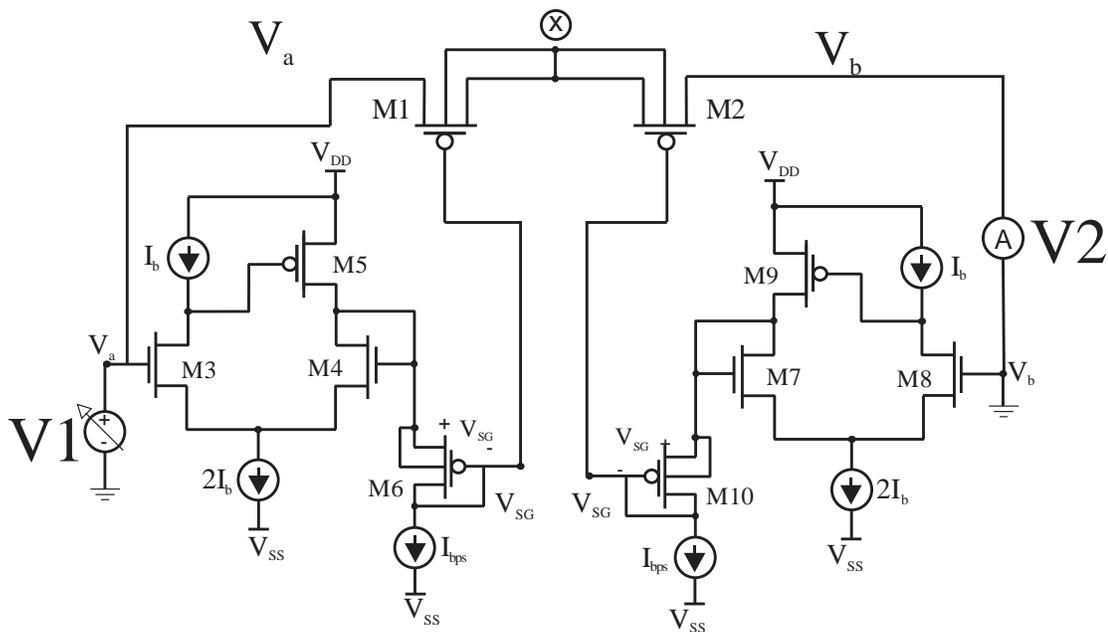


**Figura 4. 4:** Curva del seguidor de Palumbo medida en el circuito.

En el gráfico, la línea negra indica el voltaje en el punto de salida del seguidor, mientras que la curva roja indica el voltaje aplicado a la entrada de este. Como se ha mencionado, este seguidor carece de efecto de cuerpo, sin embargo, la diferencia de potencial requerida por los transistores del pseudo-resistor es de polaridad inversa, por lo que, en la siguiente etapa, el desplazador de nivel es el encargado de generarla, es decir, desplaza el nivel del seguidor por debajo de la entrada, todo esto, sin presencia de efecto de cuerpo.

### 4.3. OBTENCIÓN DE LAS CURVAS DE RESISTENCIA.

Para lograr obtener cada una de las curvas de resistencia para cada configuración se realizó la conexión mostrada en la figura 4.5, en la cual se observa que la fuente primaria de la Keysight B2902A, se conecta en la entrada del primer seguidor, la cual a su vez es barrida y es capturada su corriente, mientras que la fuente secundaria de la fuente es capturada su corriente, de la misma que posteriormente se captura su pendiente para proceder al cálculo de la resistencia para cada valor de polarización.



**Figura 4. 5:** Diagrama para la medición de curvas de resistencia del pseudo-resistor.

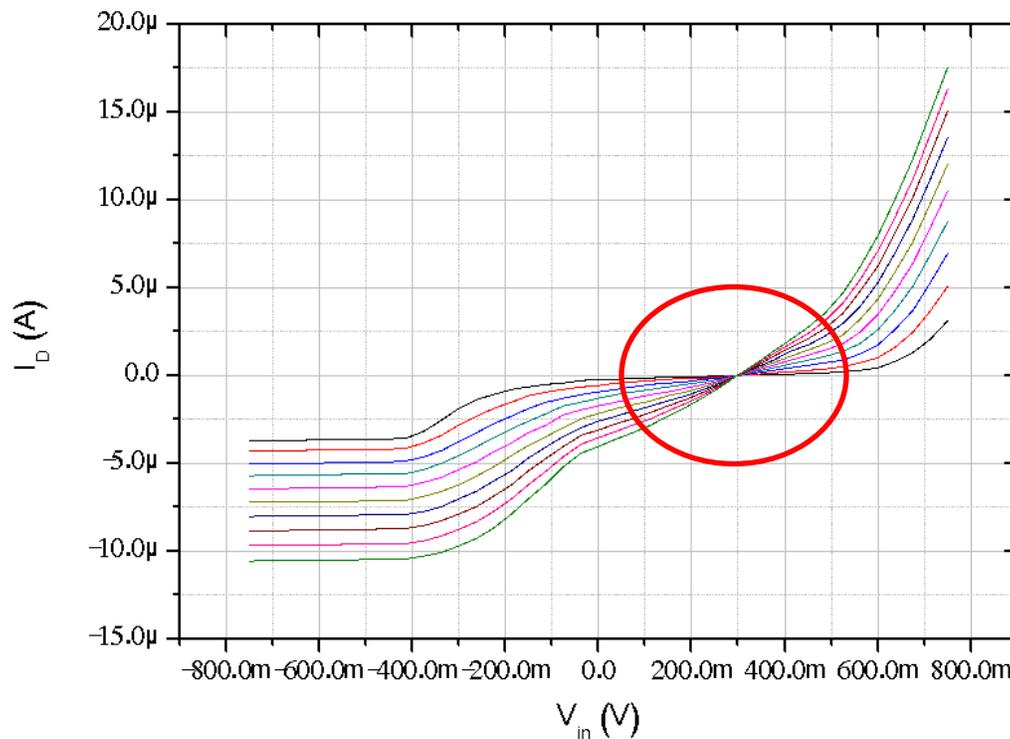
Para cada una de las gráficas que se muestran a continuación se sigue el proceso descrito a continuación.

1. Se ajustan los valores de corriente de los espejos que quedan fijos.
2. Se ajusta el valor de los espejos de polarización  $I_{bps}$  de ambos seguidores para un valor de  $\mu A$  determinado.
3. Se ejecuta el programa y se capturan los datos de corriente obtenidos.

4. Se vuelve a ajustar el valor de los espejos de polarización  $I_{bps}$  de ambos seguidores para un valor de  $\mu\text{A}$  determinado.
5. Se ejecuta el programa y se capturan los datos de corriente obtenidos.

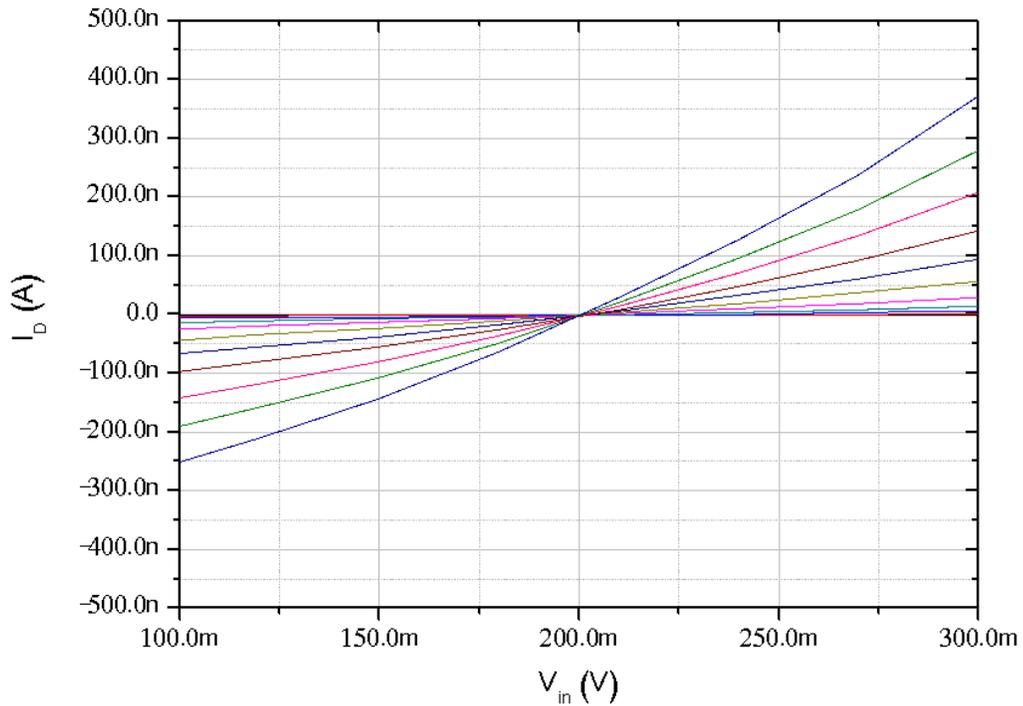
Repitiendo los pasos 4 y 5 hasta tener la cantidad de curvas suficientes para observar el comportamiento del pseudo-resistor.

Como se observa, en la Figura 4.6, las curvas obtenidas para valores de alimentación altos presentan un rango dinámico elevado, así, como el voltaje en la fuente secundaria, determina el punto de cruce de las curvas. En esta primera aproximación puede observarse un gráfico que carece de linealidad, así como un rango dinámico limitado.



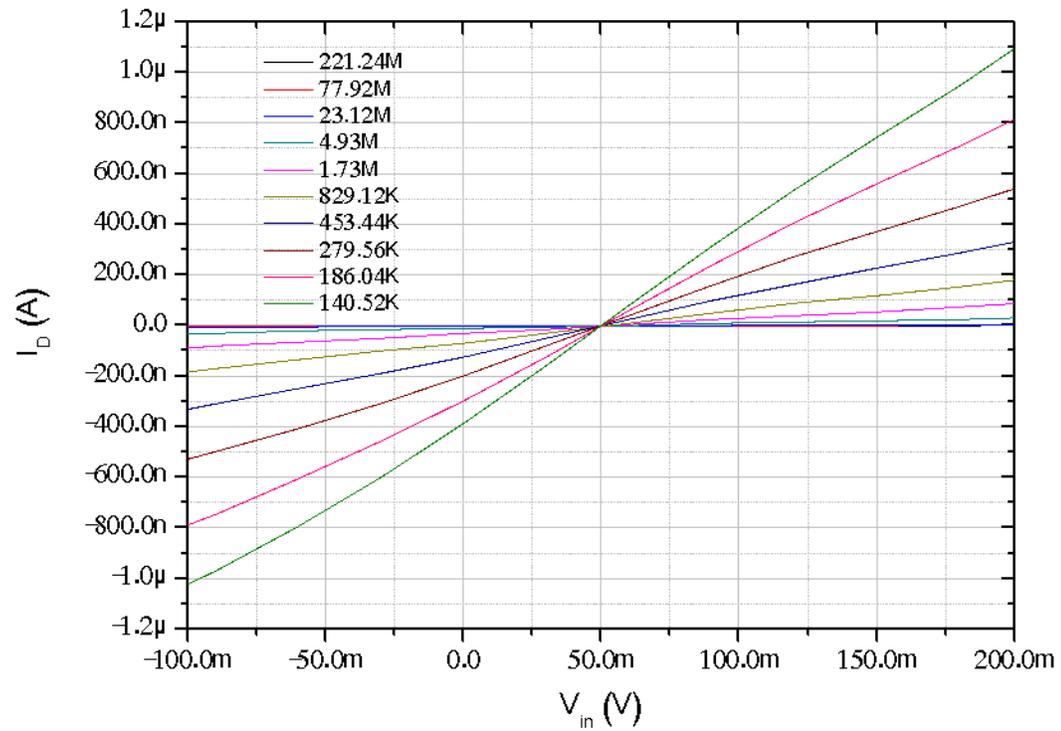
**Figura 4. 6:** Curvas del pseudo-resistor para 1V riel a riel y barrido de -0.75V a 0.75V y  $V_2=0.3\text{V}$ .

Mediante el aumento en la diferencia de los espejos del seguidor, es posible notar un aumento en la linealidad de las curvas obtenidas, tal y como se observa en la Figura 4.7. Sin embargo, la simetría se ve sumamente afectada, por lo que aunque se alcanzan valores resistivos en decenas de  $M\Omega$ , es aún mejorable.



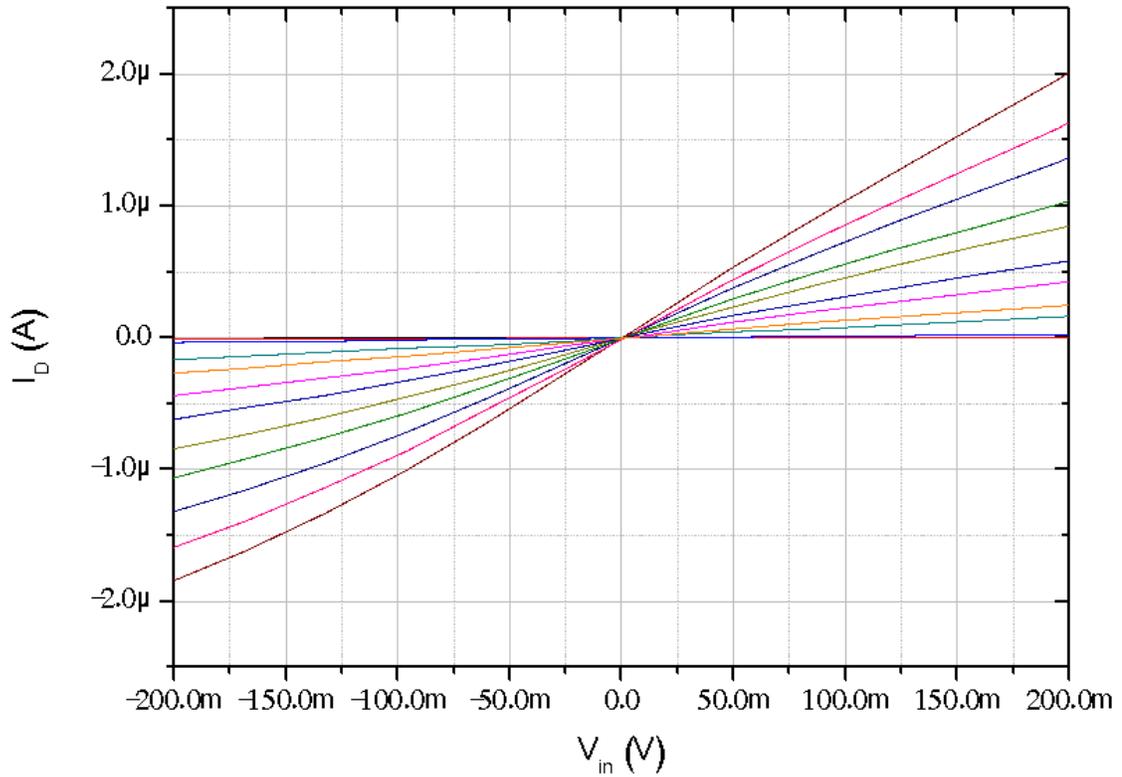
**Figura 4. 7:** Curvas del pseudo-resistor para 1V riel a riel y barrido de  $-0.75V$  a  $0.75V$ ,  $V_2=0.3V$  con corriente en el espejo  $P1$ ,  $P2=1\mu A$ , corrientes en espejos  $N1$ ,  $N2= 30\mu A$  y  $V_2=200mV$ .

Mediante el equilibrio y el ajuste de las corrientes de polarización es posible alcanzar valores resistivos de  $221\text{M}\Omega$ , obteniendo también un rango dinámico real considerable de  $300\text{mV}$ . (Ver Figura 4.8)



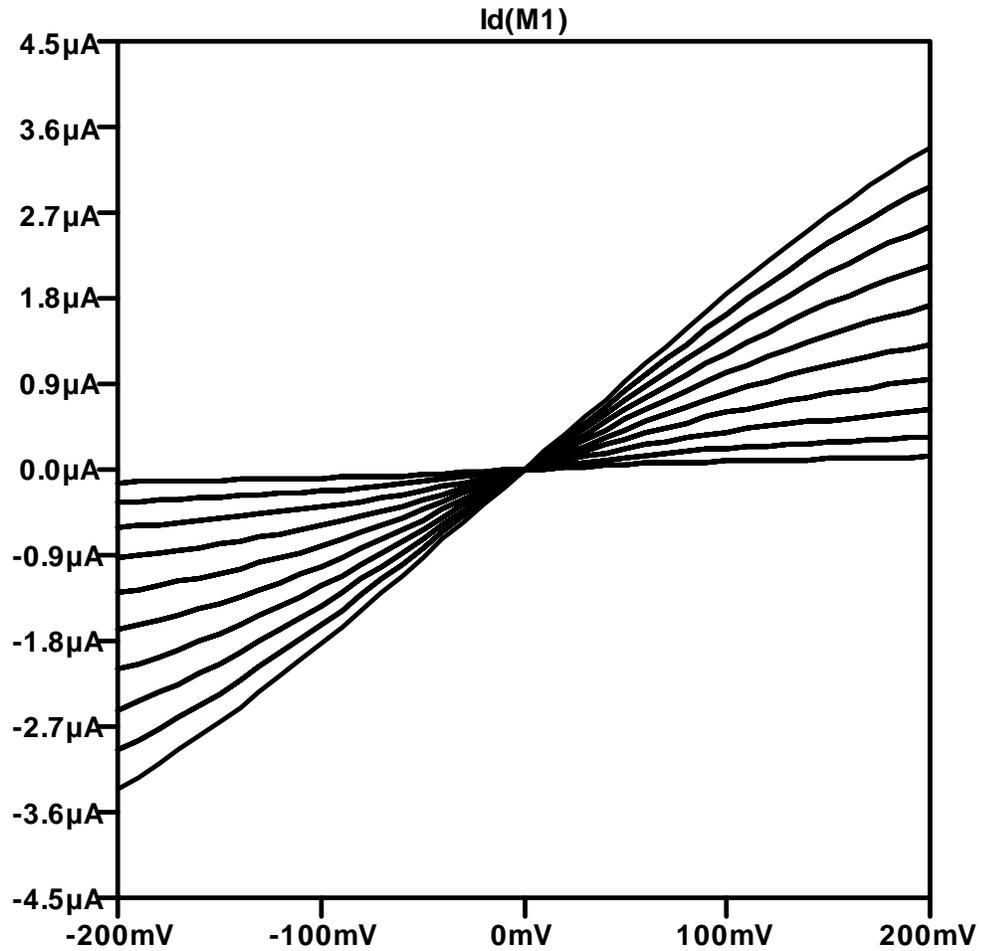
**Figura 4. 8:** Curvas del pseudo-resistor para 1V riel a riel y barrido de  $-0.75\text{V}$  a  $0.75\text{V}$ ,  $V_2=0.3\text{V}$  con corriente en el espejo P1, P2= $1\mu\text{A}$ , corrientes en espejos N1, N2=  $10\mu\text{A}$  y  $V_2=50\text{mV}$ .

Aunque bueno, el caso de la Figura 4.8 utiliza dos fuentes debido a que  $V_2$  tiene un valor de  $50\text{mV}$ , es por ello, que mediante su conexión a GND es posible eliminar dicha fuente, obteniendo un gráfico en el cual sus valores resistivos se encuentran alrededor de los  $210\text{M}\Omega$ , con un rango dinámico de  $400\text{mV}$ .



**Figura 4. 9:** Curvas del pseudo-resistor para 1V riel a riel y barrido de  $-0.75\text{V}$  a  $0.75\text{V}$ ,  $V_2=0.3\text{V}$  con corriente en el espejo  $P_1$ ,  $P_2=1\mu\text{A}$ , corrientes en espejos  $N_1$ ,  $N_2= 10\mu\text{A}$  y  $V_2=0\text{V}$ .

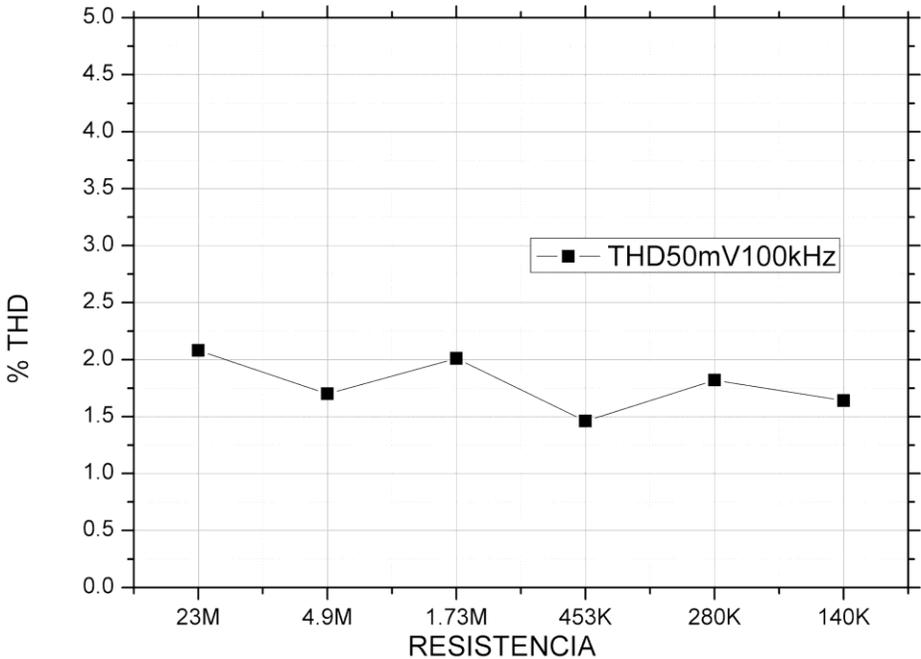
Llevando a cabo la comparación entre los resultados obtenidos en la práctica y los previamente simulados, es posible observar, mediante la Figura 4.10, que aunque existe un error, los resultados concuerdan con lo obtenido, con lo cual es posible asegurar que se trata de un pseudo-resistor de alta linealidad.



**Figura 4. 10:** Simulación del pseudo-resistor en tecnología de  $0.35\mu m$  en el software LTSPICE.



De esta forma, para una forma de onda senoidal de 50mVp a 100kHz, se obtuvieron los datos mostrados en la Figura. 4.12, en la cual se puede observar un THD < 2%, el cual, mejora considerablemente con respecto a anteriores topologías.

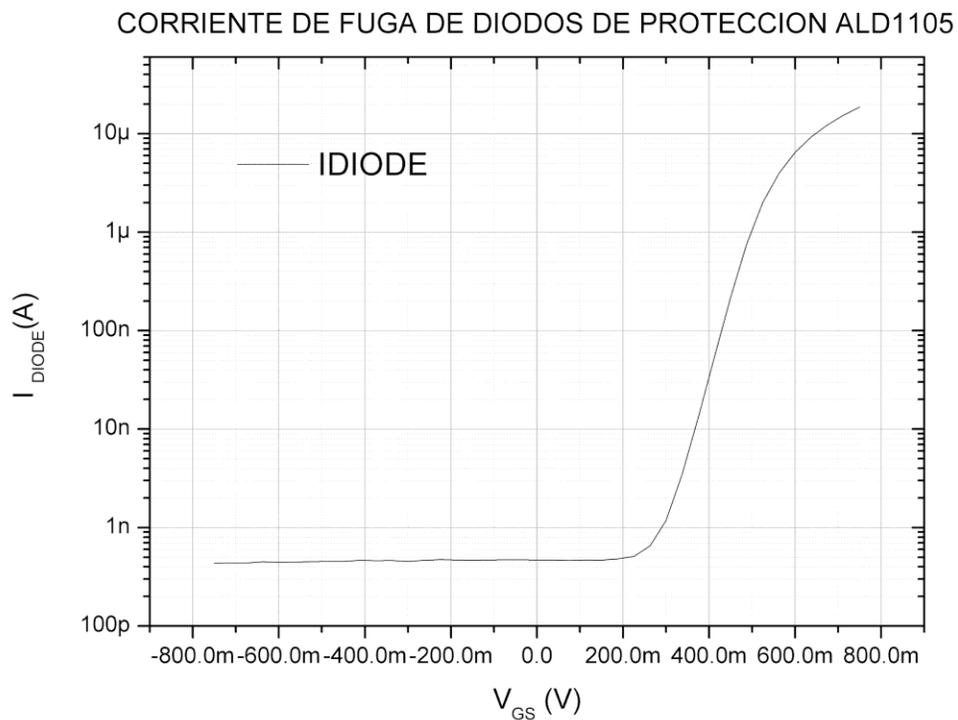


**Figura 4. 12:** Medición de THD para valores resistivos puntuales.

## 4.5. MEDICIÓN DE DIODOS PARÁSITOS DEL ALD 1105

Debido a la presencia de diodos parásitos en las uniones de los transistores, así como de la presencia de diodos de protección ESD, no es posible alcanzar valores resistivos en el orden de  $G\Omega$ , esto, debido a las fugas de corriente presentes en los transistores. Para cuantificar esta cantidad, fue necesaria la medición de dichos diodos, presentes en este tipo de componentes discretos.

Como se observa en la figura 4.13, los diodos de protección están presentes, además de conservar un tamaño considerable, no permiten que se alcancen corrientes en el orden de los nano amperes, con lo que resulta entonces imposible llegar a valores resistivos en el orden de los  $G\Omega$ .



**Figura 4. 13:** Corriente de fuga de diodos de protección ALD1105.

#### 4.6. COMPARATIVA DE LOS PRINCIPALES PARAMETROS

Como se observó en los resultados, el pseudo-resistor propuesto alcanza valores de cientos de  $M\Omega$ , conserva un rango dinámico aceptable de 400mV, así como un THD < 2%, con la principal característica sobre otras topologías de presentar un alto grado de linealidad debido a la conexión entre los dos bulks de los transistores PMOS que conforman el pseudo-resistor. Así es posible, mediante la Tabla 4.1, llevar a cabo la comparación de los principales parámetros de los pseudo-resistores actuales con la propuesta de este trabajo.

Tabla 4. 1: Comparativa de parámetros de pseudo-resistores.

	Tajallí [20]	Kassiri [21]	Nagulapalli [22]	Propuesta
<b>Rango Dinámico (V)</b>	0.5V	0.6V	0.6V	0.4V
<b>THD (%)</b>	5 dB	1%	No reporta	<2%
<b>Corriente de polarización (A)</b>	10nA - 100nA	25nA-125nA	5n 200nA	1 $\mu$ A-16 $\mu$ A
<b>Frecuencia (Hz)</b>	3Hz-106kHz	0.5Hz-5kHz	0.5Hz-10kHz	100Hz-100kHz
<b>Voltaje Riel a Riel (V)</b>	(-0.5V) - 0.5V	0-1.2V	0-0.7V	-1V – 1V
<b>Resistencia (<math>\Omega</math>)</b>	100k $\Omega$ -1G $\Omega$	20k $\Omega$ -6G $\Omega$	2k $\Omega$ -500M $\Omega$	145K $\Omega$ -230M $\Omega$
<b>Tecnología (m)</b>	0.18 $\mu$ m	0.13 $\mu$ m	0.18 $\mu$ m	0.35 $\mu$ m
<b>Implementación</b>	No	No	Si	Si

# 5. CONCLUSIONES

Como resultado del trabajo realizado para llevar a cabo esta tesis, es posible deducir, que el pseudo- resistor propuesto es, sin duda, una buena opción para muchas aplicaciones. Esto debido a su mayor grado de linealidad por su bajo porcentaje de distorsión armónica. Sin embargo, existen limitantes que pueden ser mejoradas, mediante la integración del mismo dentro de un chip, ya que la utilización de componentes discretos deriva en la disminución de los parámetros simulados debido a la presencia de dispositivos de protección. Tal es el caso de los diodos ESD, los cuales no permiten alcanzar corrientes en el orden de los nA, acto que se ve reflejado en el valor resistivo máximo alcanzado.

Por otra parte, la eliminación del efecto de cuerpo en el seguidor, así como la presencia de un desplazador de nivel el cual también es libre de dicho fenómeno, deriva en un mejor funcionamiento en cuanto a linealidad y rango dinámico se refiere, por lo que la hipótesis de este trabajo se cumple.

De igual forma, las herramientas que ofrece el bus GPIB son una inmejorable oportunidad para optimizar y agilizar las pruebas de un laboratorio de desarrollo, ya que gracias a este es posible llevar a cabo mediciones que, en circunstancias ajenas, tomarían un excesivo tiempo y esfuerzo por parte de quien las realice.

Para finalizar, en este trabajo se presenta una pseudo-resistencia original con desplazador de nivel libre de efecto cuerpo. Desde la perspectiva del diseño, la conexión del bulk entre los transistores de la pseudo-resistencia permite usar un solo pozo, este hecho permite ahorrar área, a diferencia de otros enfoques donde una conexión separada requiere dos pozos a diferentes potenciales. La resistencia del pseudo-resistor se ajusta configurando la corriente de polarización  $I_{bps}$ . A pesar de que la resistencia medida no está en el rango de los  $G\Omega$ , la buena linealidad lo hace útil para muchas aplicaciones.

## 5.1. TRABAJOS FUTUROS

Como trabajos futuros, se recomienda llevar a cabo el *layout* de la propuesta para introducir el diseño dentro de un encapsulado en una oblea de silicio, para así, eliminar de una vez por todas los diodos de protección ESD, y alcanzar valores resistivos más altos, cercanos al orden de los G $\Omega$ .

De igual forma, continuar con el desarrollo de pruebas automatizadas resulta imperativo para perfeccionar su funcionamiento y la obtención de las variables deseadas, con lo cual se optimiza en tiempo y esfuerzo.

# 6. ANEXOS

## 6.1. Datasheet ALD1105.



ADVANCED  
LINEAR  
DEVICES, INC.

ALD1105

### DUAL N-CHANNEL AND DUAL P-CHANNEL MATCHED PAIR MOSFET

#### GENERAL DESCRIPTION

The ALD1105 is a monolithic dual N-channel and dual P-channel complementary matched transistor pair intended for a broad range of analog applications. These enhancement-mode transistors are manufactured with Advanced Linear Devices' enhanced AC MOS silicon gate CMOS process. It consists of an ALD1116 N-channel MOSFET pair and an ALD1117 P-channel MOSFET pair in one package. The ALD1105 is a low drain current, low leakage current version of the ALD1103.

The ALD1105 offers high input impedance and negative current temperature coefficient. The transistor pair is matched for minimum offset voltage and differential thermal response, and it is designed for precision signal switching and amplifying applications in +1V to +12V systems where low input bias current, low input capacitance and fast switching speed are desired. Since these are MOSFET devices, they feature very large (almost infinite) current gain in a low frequency, or near DC, operating environment. When used in complementary pairs, a dual CMOS analog switch can be constructed. In addition, the ALD1105 is intended as a building block for differential amplifier input stages, transmission gates, and multiplexer applications.

The ALD1105 is suitable for use in precision applications which require very high current gain, beta, such as current mirrors and current sources. The high input impedance and the high DC current gain of the field effect transistors result in extremely low current loss through the control gate. The DC current gain is limited by the gate input leakage current, which is specified at 30pA at room temperature. For example, DC beta of the device at a drain current of 3mA at 25°C is  $\beta = 3\text{mA}/30\text{pA} = 100,000,000$ .

#### FEATURES

- Thermal tracking between N-channel and P-channel pairs
- Low threshold voltage of 0.7V for both N-channel & P-channel MOSFETs
- Low input capacitance
- Low  $V_{os}$  -- 10mV
- High input impedance --  $10^{13}\Omega$  typical
- Low input and output leakage currents
- Negative current ( $I_{DS}$ ) temperature coefficient
- Enhancement mode (normally off)
- DC current gain  $10^8$
- Matched N-channel pair and matched P-channel pair in one package

#### ORDERING INFORMATION

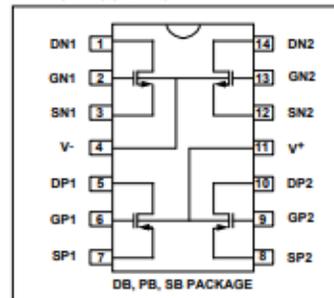
Operating Temperature Range*		
-55°C to +125°C	0°C to +70°C	0°C to +70°C
14-Pin CERDIP Package	14-Pin Plastic Dip Package	14-Pin SOIC Package
ALD1105 DB	ALD1105 PB	ALD1105 SB

\* Contact factory for industrial temperature range.

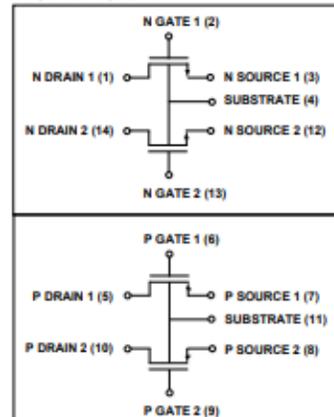
#### APPLICATIONS

- Precision current mirrors
- Complementary push-pull linear drives
- Discrete Analog switches
- Analog signal Choppers
- Differential amplifier input stage
- Voltage comparator
- Data converters
- Sample and Hold
- Analog current inverter
- Precision matched current sources

#### PIN CONFIGURATION



#### BLOCK DIAGRAM



### ABSOLUTE MAXIMUM RATINGS

Drain-source voltage, $V_{DS}$	13.2V
Gate-source voltage, $V_{GS}$	13.2V
Power dissipation	500 mW
Operating temperature range	PB, SB package 0°C to +70°C
	DB package -55°C to +125°C
Storage temperature range	-65°C to +150°C
Lead temperature, 10 seconds	+260°C

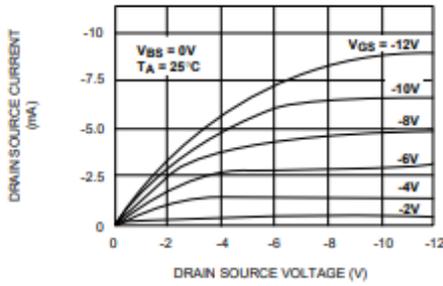
### OPERATING ELECTRICAL CHARACTERISTICS

$T_A = 25^\circ\text{C}$  unless otherwise specified

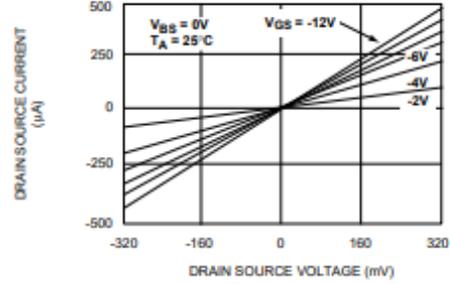
Parameter	Symbol	N - Channel			Unit	Test Conditions	P - Channel			Unit	Test Conditions
		Min	Typ	Max			Min	Typ	Max		
Gate Threshold Voltage	$V_T$	0.4	0.7	1.0	V	$I_{DS} = 1\mu\text{A}$ $V_{GS} = V_{DS}$	-0.4	-0.7	-1.0	V	$I_{DS} = -1\mu\text{A}$ $V_{GS} = V_{DS}$
Offset Voltage $V_{GS1} - V_{GS2}$	$V_{OS}$		2	10	mV	$I_{DS} = 10\mu\text{A}$ $V_{GS} = V_{DS}$		2	10	mV	$I_{DS} = -10\mu\text{A}$ $V_{GS} = V_{DS}$
Gate Threshold Temperature Drift	$TC_{VT}$		-1.2		mV/°C			-1.3		mV/°C	
On Drain Current	$I_{DS(ON)}$	3	4.8		mA	$V_{GS} = V_{DS} = 5\text{V}$	-1.3	-2		mA	$V_{GS} = V_{DS} = -5\text{V}$
Trans-conductance	$G_{fs}$	1	1.8		mmho	$V_{DS} = 5\text{V}$ $I_{DS} = 10\text{mA}$	0.25	0.67		mmho	$V_{DS} = -5\text{V}$ $I_{DS} = -10\text{mA}$
Mismatch	$\Delta G_{fs}$		0.5		%			0.5		%	
Output Conductance	$G_{OS}$		200		$\mu\text{mho}$	$V_{DS} = 5\text{V}$ $I_{DS} = 10\text{mA}$		40		$\mu\text{mho}$	$V_{DS} = -5\text{V}$ $I_{DS} = -10\text{mA}$
Drain Source ON Resistance	$R_{DS(ON)}$		350	500	$\Omega$	$V_{DS} = 0.1\text{V}$ $V_{GS} = 5\text{V}$		1200	1800	$\Omega$	$V_{DS} = -0.1\text{V}$ $V_{GS} = -5\text{V}$
Drain Source ON Resistance Mismatch	$\Delta R_{DS(ON)}$		0.5		%	$V_{DS} = 0.1\text{V}$ $V_{GS} = 5\text{V}$		0.5		%	$V_{DS} = -0.1\text{V}$ $V_{GS} = -5\text{V}$
Drain Source Breakdown Voltage	$BV_{DSS}$	12			V	$I_{DS} = 1\mu\text{A}$ $V_{GS} = 0\text{V}$	-12			V	$I_{DS} = -1\mu\text{A}$ $V_{GS} = 0\text{V}$
Off Drain Current	$I_{DS(OFF)}$		10	400	pA nA	$V_{DS} = 12\text{V}$ $I_{GS} = 0\text{V}$ $T_A = 125^\circ\text{C}$		10	400	pA nA	$V_{DS} = -12\text{V}$ $V_{GS} = 0\text{V}$ $T_A = 125^\circ\text{C}$
Gate Leakage Current	$I_{GSS}$		0.1	30	pA nA	$V_{DS} = 0\text{V}$ $V_{GS} = 12\text{V}$ $T_A = 125^\circ\text{C}$		1	30	pA nA	$V_{DS} = 0\text{V}$ $V_{GS} = -12\text{V}$ $T_A = 125^\circ\text{C}$
Input Capacitance	$C_{ISS}$		1	3	pF			1	3	pF	

## P- CHANNEL TYPICAL PERFORMANCE CHARACTERISTICS

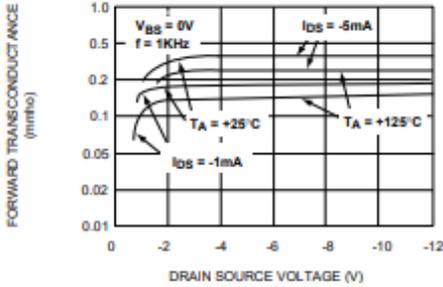
### OUTPUT CHARACTERISTICS



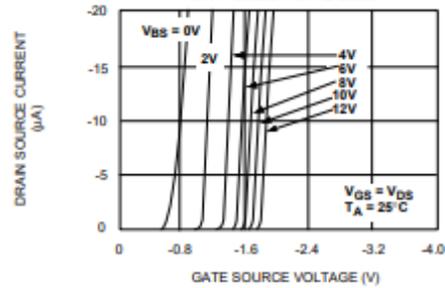
### LOW VOLTAGE OUTPUT CHARACTERISTICS



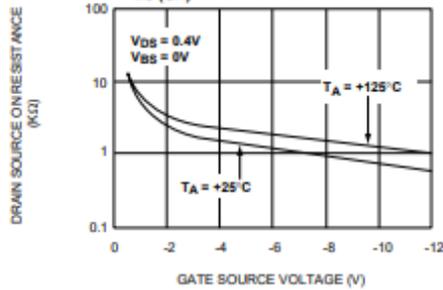
### FORWARD TRANSCONDUCTANCE vs. DRAIN SOURCE VOLTAGE



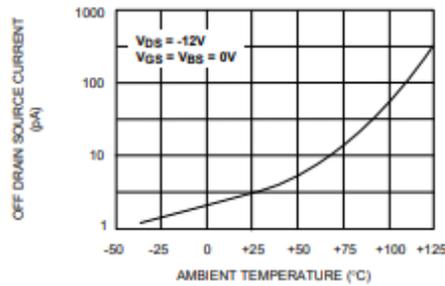
### TRANSFER CHARACTERISTIC WITH SUBSTRATE BIAS



### DRAIN SOURCE ON RESISTANCE $R_{DS(ON)}$ vs. GATE SOURCE VOLTAGE

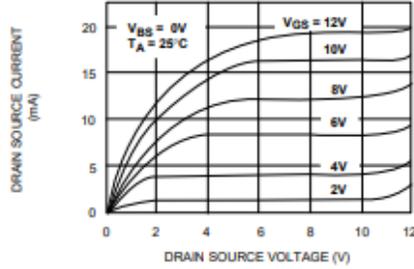


### OFF DRAIN CURRENT vs. AMBIENT TEMPERATURE

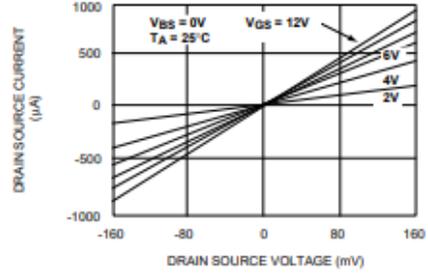


## N- CHANNEL TYPICAL PERFORMANCE CHARACTERISTICS

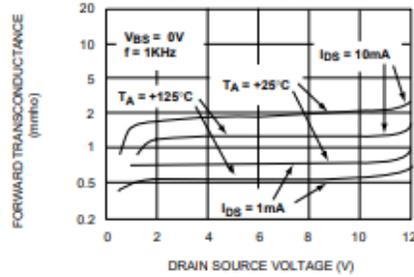
**OUTPUT CHARACTERISTICS**



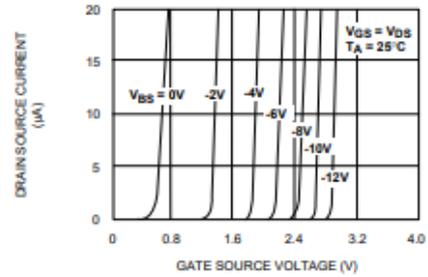
**LOW VOLTAGE OUTPUT CHARACTERISTICS**



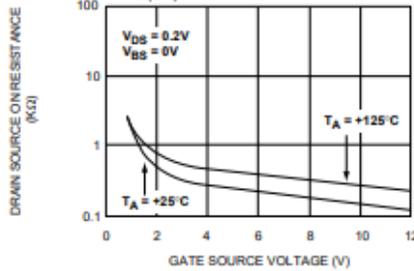
**FORWARD TRANSCONDUCTANCE vs. DRAIN SOURCE VOLTAGE**



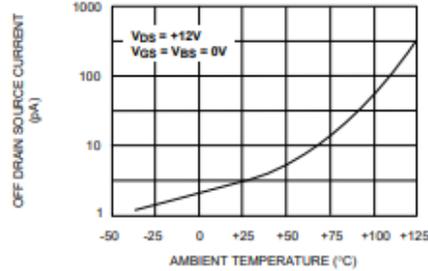
**TRANSFER CHARACTERISTIC WITH SUBSTRATE BIAS**



**DRAIN SOURCE ON RESISTANCE  $R_{DS(ON)}$  vs. GATE SOURCE VOLTAGE**

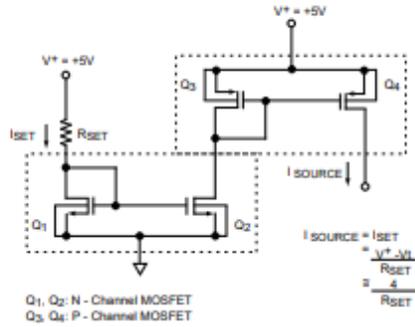


**OFF DRAIN CURRENT vs. AMBIENT TEMPERATURE**

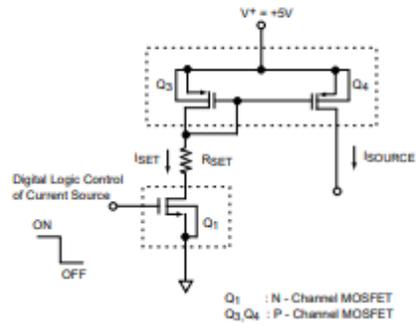


## TYPICAL APPLICATIONS

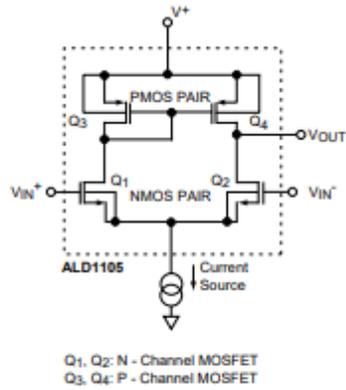
### CURRENT SOURCE MIRROR



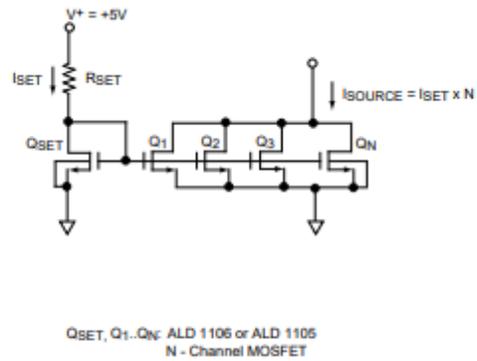
### CURRENT SOURCE WITH GATE CONTROL



### DIFFERENTIAL AMPLIFIER



### CURRENT SOURCE MULTIPLICATION



# MOVILIDAD ESTUDIANTIL



Guadalajara, Jalisco, 16/JULIO/2021

A Quien Corresponda Presente:

Asunto: Carta Movilidad Estudiantil y

Docente.

Por medio de la presente carta se reporta la movilidad estudiantil de 4 Maestranteros del Posgrado Ingeniería en electrónica del Instituto Tecnológico de Cd. Guzmán con numero de referencia 002502, Ing. Víctor Javier Ochoa Guzmán con No. Control M19291017, Ing. Adrián Manuel López Almejo con No. Control M20291051, Ing. Jacob Eleazar Meza Aguilar con No. Control M20291050, Ing. Miguel Ángel Villa Barba con No. Control M20291054 y 2 docentes, Dr. Sergio Sandoval Pérez y el Dr. Jesús Ezequiel Molinar Solís, investigadores del Tecnológico Nacional de México/Instituto Tecnológico de Cd. Guzmán. En la estadía técnica y de solución de problemas técnicos y académicos en las líneas de producción de la compañía durante el periodo **del 04 de enero 2021 al 04 de Julio 2021.**

Cumpliendo con las actividades encomendadas por los ingenieros de la planta Flextronics Manufacturing Mex, S.A. de C.V. (FLEX NORTE) y Flextronics Technologies México, S. de R.L. de C.V. (FLEX SUR) de Guadalajara, Jalisco, México.

Sin más por el momento, se despide de usted su seguro servidor

Ing. Juan Luis Rosas Ornelas  
Gerente de Recursos Humanos Flextronics Manufacturing Mex, S.A. de C.V.,  
Flextronics Technologies México, S. de R.L. de C.V.

## ARTICULO PUBLICADO



THEOREMA  
REVISTA CIENTÍFICA

### DISPOSITIVO ELIMINADOR DE LARVAS DE MOSQUITO EN CONTENEDORES ESTACIONARIOS POR MEDIO DE ALTAS FRECUENCIAS

Artículo arbitrado 11

Edición 16

Adrián Manuel López Almejo<sup>1</sup>, Jesús Ezequiel Molinar Solís<sup>2</sup> y Joel Salome Baylou<sup>3</sup>

<sup>1,2</sup> Tecnológico Nacional De México,  
Campus Ciudad Guzmán, Jalisco.  
Avenida Tecnológico #100  
Ciudad Guzmán, Jalisco, México,  
C.P. 49000.

  
a.almejo95@gmail.com

Recibido Marzo 16, 2021.  
Recibido en forma revisada Mayo 24, 2021.  
Aceptado Junio 8, 2021.

**Resumen:** En este estudio, se evalúa un dispositivo acústico de bajo costo para controlar etapas tempranas del mosquito *Aedes aegypti* en diversos ambientes de agua dulce. En condiciones de campo, se investigó el efecto del tiempo de exposición y la distancia del transductor sobre la mortalidad de las larvas y pupas de *Ae. aegypti*. Los resultados mostraron que las larvas fueron eliminadas con mayor porcentaje de efectividad para tiempos superiores a los 20 minutos de exposición, debido a que, al ser un dispositivo de menor potencia a los que actualmente se encuentran en el mercado, este requiere de más cercanía a las larvas, así como un mayor tiempo de exposición. Las ondas ultrasónicas aplicadas durante 1200s a una frecuencia de 40kHz causaron una mortalidad larvaria de alrededor del 85% a una distancia de 15 cm del transductor. La exposición a las ondas sonoras producidas por el dispositivo larvicida acústico a diferentes distancias dañó efectivamente *Ae. aegypti* mediante la destrucción del dorsal tronco traqueal, tórax y abdomen. En general, los resultados indicaron que el dispositivo probado puede proporcionar una herramienta alternativa para reducir las poblaciones de instar jóvenes de *Ae. Aegypti*.

➤ **Palabras clave:** Larvicida acústico, larva, ultrasonido, transductor.

■ **Abstract:** This study evaluates a low-cost, acoustic device; to control the early stages of the *Aedes aegypti* mosquito in various freshwater

# 7. BIBLIOGRAFÍA

- [1] MUHAMMAD H. RASHID. “Microelectronic Circuits Analysis and Design”. Cengage Learning. 2nd edition. 2011.
- [2] RICHARD C. JEAVER AND TRAVIS N. BLALOCK. “Microelectronic Circuit Design”. McGraw-Hill. 4th edition. 2011.
- [3] JEAN. P. COLINGE AND CYNTHIA. A. COLINGE. “Physics of Semiconductor Devices”. Kluwer Academic Publishers. 1st edition. 2005.
- [4] S. M. SZE AND KWOK K. NG. “Physics of Semiconductor Devices”. John Wiley and Sons. 3rd edition. 2007.
- [5] ROBERT L. BOYLESTAD AND LOUIS NASHELSKY. “Electrónica: Teoría de Circuitos y Dispositivos Electrónicos”. Prentice Hall. 10ma. edición. 2009.
- [6] ADEL S. SEDRA AND KENNETH C. SMITH. “Microelectronic Circuits”. Oxford University Press. 5th edition. 2004.
- [7] BEHZAD RAZAVI. “Design of Analog CMOS Integrated Circuits”. McGraw-Hill. International edition. 2001.
- [8] BEHZAD RAZAVI. “Fundamentals of Microelectronics”. John Wiley and Sons. 2nd edition. 2014.
- [9] R. JACOB BAKER “CMOS Circuit Design, Layout, and Simulation”. John Wiley and Sons. 3rd edition. 2010.
- [10] PAUL R. GRAY, PAUL J. HURST, STEPHEN H. LEWIS AND ROBERT G. MEYER. “Analysis and Design of Analog Integrated Circuits”. John Wiley and Sons. 5th edition. 2009.
- [11] PAZ R. P. B. “Diseño de procedimientos para control de instrumentos electrónicos”. Tesis de licenciatura. Universidad de El Salvador. San Salvador. 2015.

- [12] SIERRA V. M. “Aplicaciones didácticas del GPIB a nivel licenciatura y posgrado para la UAEH”. Tesis de licenciatura. Universidad Autónoma del Estado de Hidalgo. Pachuca de Soto Hidalgo. 2007.
- [13] MARQUEZ C. M. E. Y RAIMUNDO C. H. A. “Diseño e implementación de un procedimiento de medición de calibración de un multímetro patrón de 8.5 dígitos utilizando la comunicación por el BUS GPIB y el Estándar IEEE-488.2”. Tesis de licenciatura. Universidad de El Salvador. San Salvador. 2013.
- [14] AMORES R. E. “Control de instrumentos mediante el bus GPIB programado con MATLAB”. Tesis de licenciatura. Universidad Autónoma de Barcelona. Bellaterra, Barcelona, España. 2010.
- [15] “Standard Commands for Programmable Instruments (SCPI)”. VOL. 1. Syntax and Style. U.S.A. 1999.
- [16] AGUILAR A. F. “Directrices orientadas al control de instrumentos mediante SCPI, ejemplificadas en una herramienta para el manejo del analizador de espectros ESA-L E4403B”. Tesis de licenciatura. Universidad Tecnológica de la Mixteca. Huajuapán de León, Oaxaca. 2006.
- [17] Keysight Technologies. “SCPI Command Reference”. Vol. 1. U. S. A. 2015.
- [18] “PROLOGIX GPIB-USB CONTROLLER”. USER MANUAL. 2013.
- [19] The Math Works Inc. “Instrument Control Toolbox 2”. User’s Guide. U.S. 2007.
- [20] Tajalli, A., Leblebici, Y., & Brauer, E. J. (2008). Implementing ultra-high-value floating tunable CMOS resistors. *IEE Electronics Letters*, 44(ARTICLE), 349-350.
- [21] Kassiri, H., Abdelhalim, K., & Genov, R. (2013, October). Low-distortion super-GOhm subthreshold-MOS resistors for CMOS neural amplifiers. In *2013 IEEE Biomedical Circuits and Systems Conference (BioCAS)* (pp. 270-273). IEEE.

- [22] Nagulapalli, R., Hayatleh, K., Barker, S., Georgiou, P., & Lidgey, F. J. (2019). A high value, linear and tunable cmos pseudo-resistor for biomedical applications. *Journal of Circuits, Systems and Computers*, 28(06), 1950096.
- [23] Webster, J. G. (Ed.). (2009). *Medical instrumentation: application and design*. John Wiley & Sons.
- [24] Pantoja, L. F. M. (2019). Diseño de bloques analógicos para aplicaciones biomédicas usando resistores de alto valor.
- [25] Palmisano, G., Palumbo, G., & Pennisi, S. (2000). High-performance and simple CMOS unity-gain amplifier. *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, 47(3), 406-410.
- [26] Enz, C. C., & Vittoz, E. A. (2006). *Charge-based MOS transistor modeling: the EKV model for low-power and RF IC design*. John Wiley & Sons.