

TECNOLÓGICO NACIONAL DE MÉXICO
INSTITUTO TECNOLÓGICO DE APIZACO
DIVISIÓN DE ESTUDIOS DE POSGRADO E INVESTIGACIÓN

TESIS

**“DISEÑO E IMPLEMENTACIÓN DE UN INVERSOR
FUENTE Z-MULTINIVEL CONTROLADO POR UN FPGA
INTEGRANDO UN SISTEMA FOTOVOLTAICO
INTERCONECTADO A LA RED ELÉCTRICA”**

PARA OBTENER EL GRADO DE:
MAESTRO EN INGENIERÍA MECATRÓNICA

PRESENTA:
ING. MIGUEL ÁNGEL RODRÍGUEZ RODRÍGUEZ

ASESORES:
DR. RAFAEL ORDOÑEZ FLORES
DR. ROBERTO MORALES CAPORAL



INSTITUTO TECNOLÓGICO DE APIZACO

APIZACO, TLAXCALA MÉXICO

SEPTIEMBRE DE 2018.



Apizaco, Tlax., 23 de Mayo de 2018

ASUNTO: Aprobación del trabajo de Tesis de Maestría.

DR. JOSÉ FEDERICO CASCO VÁSQUEZ
JEFE DE LA DIVISIÓN DE ESTUDIOS DE
POSGRADO E INVESTIGACIÓN.
P R E S E N T E.

Por este medio se le informa a usted, que los integrantes de la **Comisión Revisora** para el trabajo de tesis de maestría que presenta el **ING. MIGUEL ANGEL RODRIGUEZ RODRIGUEZ**, con número de control **M09370531**, candidato al grado de **Maestro en Ingeniería Mecatrónica** y egresado del **Instituto Tecnológico de Apizaco**, cuyo tema es **"DISEÑO E IMPLEMENTACIÓN DE UN INVERSOR FUENTE Z-MULTINIVEL CONTROLADO POR UN FPGA INTEGRANDO UN SISTEMA FOTOVOLTAICO INTERCONECTADO A LA RED ELÉCTRICA"**, fue:

A P R O B A D O

Lo anterior, al valorar el trabajo profesional presentado por el candidato y constatar que las observaciones que con anterioridad se le marcaron así como correcciones sugeridas para su mejora ya han sido realizadas.

Por lo que se avala se continúe con los trámites pertinentes para su titulación.

Sin otro particular por el momento, le envió un cordial saludo.

LA COMISIÓN REVISORA

DR. RAFAEL ORDÓÑEZ FLORES

DR. ROBERTO MORALES CAPORAL

DR. VICENTE FLORES LARA

M.E. JUDITH DÍAZ DOMÍNGUEZ

C. p.- Interesado.





TECNOLÓGICO NACIONAL DE MEXICO

Instituto Tecnológico de Apizaco

Apizaco, Tlax., 23 de Mayo de 2018

No. de Oficio: DEPI/192/18

ASUNTO: Se Autoriza Impresión de Tesis de Grado.

ING. MIGUEL ANGEL RODRIGUEZ RODRIGUEZ,
CANDIDATO AL GRADO DE MAESTRO
EN INGENIERÍA MECATRÓNICA
No. de Control: **M09370531**
P R E S E N T E.

Por este medio me permito informar a usted, que por aprobación de la Comisión Revisora asignada para valorar el trabajo, mediante la Opción: I **Tesis de Grado por Proyecto de Investigación**, de la **Maestría en Ingeniería Mecatrónica**, que presenta con el tema: "DISEÑO E IMPLEMENTACIÓN DE UN INVERSOR FUENTE Z-MULTINIVEL CONTROLADO POR UN FPGA INTEGRANDO UN SISTEMA FOTOVOLTAICO INTERCONECTADO A LA RED ELÉCTRICA" y conforme a lo establecido en el Procedimiento para la Obtención del Grado de Maestría en el Instituto Tecnológico, la División de Estudios de Posgrado e Investigación a mi cargo le emite la:

AUTORIZACIÓN DE IMPRESIÓN

Debiendo entregar un ejemplar del mismo debidamente encuadernado y seis copias en CD en formato PDF, para presentar su Acto de Recepción Profesional a la brevedad.

Sin otro particular por el momento, le envío un cordial saludo.

ATENTAMENTE
PENSAR PARA SERVIR, SERVIR PARA TRIUNFAR®

DR. JOSÉ FEDERICO CASCO VÁSQUEZ
JEFE DE LA DIVISIÓN DE ESTUDIOS DE POSGRADO E INVESTIGACIÓN.
SECRETARÍA DE EDUCACIÓN PÚBLICA
TECNOLÓGICO NACIONAL DE MÉXICO
INSTITUTO TECNOLÓGICO DE APIZACO
DIVISIÓN DE ESTUDIO DE POSGRADO E INVESTIGACIÓN



JFCV/JDD*mebr.
C.p. Expediente.



Carretera Apizaco-Tzompantepec, Esq. con Av. Instituto Tecnológico S/N
Conurbado Apizaco-Tzompantepec, Tlaxcala, Méx.
C.P. 90300, Apizaco, Tlax. Tels. 01241-4172010 Ext. 146, 246
e-mail: posgrado@itapizaco.edu.mx www.itapizaco.edu.mx



DEDICATORIAS Y AGRADECIMIENTOS

*“No tenía ni un instante sin pensar en ella,
Que la vida era ella a toda hora y en todas partes,
Como solo Dios tenía el derecho y el poder de serlo,
Y que el gozo supremo de su corazón sería morirse con ella”.*

G. García M., *“Del Amor y Otros Demonios”*, Argentina, 1ra Edición., Sudamericana S.A.

Al ser divino que premia con la vida y en cada momento entrega oportunidades, que nos hace saber qué, no solo se mira con los ojos sino también con el alma.

A mis padres y hermanos, con infinito amor, gratitud y respeto al haberme moldeado y guiado en el camino de la rectitud día a día, gracias por darme alas y dejarme volar.

Al Dr. Rafael Ordoñez Flores por su apoyo incondicional y asesoría en la realización de este proyecto de tesis, por sus enseñanzas que forjaron mis habilidades y conocimientos para la formación y consumación de la maestría. Gracias por motivar en mí el deseo de superación, por su confianza y su apreciable amistad, Gracias Amigo.

Al Dr. Jesús Aguayo Alquicira y demás miembros del Departamento de Ingeniería Electrónica del Centro Nacional de Investigación y Desarrollo Tecnológico (CENIDET), por la prestaciones y enseñanzas académicas otorgadas durante el periodo de Estancias.

A los miembros del comité tutorial de este proyecto de tesis, Dr. Roberto Morales Caporal, Dr. Vicente Flores Lara y M. E. Judith Díaz Domínguez, por sus comentarios y observaciones para hacer de este un mejor proyecto de tesis. A todos los catedráticos de la división de estudios de posgrado y demás áreas pertenecientes al Instituto Tecnológico de Apizaco.

Al Consejo Nacional de Ciencia y Tecnología por el apoyo económico brindado para realizar el estudio de la Maestría y para la realización de Estancias.

RESUMEN

Los avances tecnológicos de los convertidores de potencia han brindado un camino para una nueva era en el área de electrónica de potencia, posibilitando una producción industrial en gran escala de soluciones usadas en diversas áreas de la tecnología. Dos de las topologías más recientes desarrolladas en el área de convertidores de CD-CA (inversores), y, que exhiben un gran potencial con una amplia aplicación en el futuro son el Inversor Fuente-Z y el Inversor Multinivel.

La primera topología (Inversor Fuente-Z) emplea una red de impedancia única para acoplar el circuito principal del convertidor a la fuente de energía, proporcionando así características únicas que no se pueden obtener en los convertidores de tensión y de corriente convencionales, superando así sus barreras y limitaciones conceptuales y teóricas. La segunda topología, que se han consolidado en los últimos años como una opción competitiva para la conversión de energía en el rango de media-alta potencia, desde el punto de vista técnico y económico, y cuyo funcionamiento brinda una serie de ventaja como la posibilidad de trabajar con tensiones elevadas empleando los mismos dispositivos que en un convertidor convencional, y por otro lado lograr una reducción de los armónicos en la onda de tensión de salida debido a la forma escalonada en que se genera, entre otras características.

Actualmente la calidad de la energía eléctrica es un concepto de gran interés, ya que las perturbaciones en los sistemas eléctricos de conversión inciden directamente en todos los usuarios (residencial, comercial e industrial), todo lo anterior hacen que la necesidad de suministrar/convertir energía sea con un buen perfil de tensión-corriente y baja cantidad de armónicos, en este concepto, una alternativa solución basado en las ventajas que ofrecen los convertidores mencionados anteriormente, y que forman parte de un Sistema Fotovoltaico Interconectado a la Red Eléctrica, es el establecimiento del acoplamiento de ambas topologías, surgiendo así el Inversor Fuente-Z Multinivel NPC; y, donde las soluciones que se proponen mediante el uso de esta nueva topología hacia la mejora del medio científico son principalmente la reducción de costos, volumen, peso y pérdidas del proceso de conversión, entre otras. Es aquí donde la presente tesis incide, ya que se investiga una solución alterna a los problemas que presentan los convertidores convencionales y las topologías aquí estudiadas y empleadas por separado, concretamente en la eficiencia de conversión de energía eléctrica, todo lo anterior, a través del análisis, diseño, modelado e implementación de un prototipo, y establecer así, bases y conceptos generales en el proceso y la eficiencia de conversión de la energía. Análisis teóricos detallados, resultados de simulación (Mediante el software Matlab-Simulink) y experimentales corroboran el funcionamiento de la topología propuesta y la eficiencia de la misma, además de determinar pérdidas en el proceso de conversión frente a los convertidores convencionales.

En el Capítulo I se presentan una revisión de las características de los inversores convencionales, una evaluación del estado del arte de los Inversores Fuente-Z y Multinivel y sus áreas de aplicación, lo anterior como parte integral de un Sistema Fotovoltaico Interconectado a la Red Eléctrica.

En el Capítulo II se determinan las técnicas de modulación aplicables para ambas topologías, con el objetivo de determinar en el respectivo acoplamiento la técnica más apta para poder ser implementada a partir de un controlador digital FPGA (Field Programmable Gate Array-Campo Programable de Arreglo de Compuertas).

En el Capítulo III, se presenta el análisis, diseño y modelado de ambas topologías por separado, mediante el empleo de las técnicas modulación PWM (Pulse Width Modulation) de Control de Elevación Simple SBC (Simple Boost Control) y de Disposición de Fase PD (Phase Disposition) respectivamente, todo lo anterior aplicado hacia sistemas de conversión CD-CA trifásica.

En el Capítulo IV, se presenta el análisis, diseño, modelado del Inversor Trifásico Fuente-Z Multinivel NPC implementado, mediante la técnica de modulación SBC-PDPWM.

En el Capítulo V se presentan los resultados obtenidos en las pruebas realizadas al prototipo de inversion construido, el cual, en conjunto con los circuitos del panel fotovoltaico, regulador de carga y de sincronización con línea propuestos, forman parte del Sistema Fotovoltaico Interconectado a la Red Eléctrica desarrollado.

Por último se muestran las conclusiones del tema de investigación y las sugerencias para trabajos futuros utilizando la topología de inversion aquí analizada.

ABSTRACT

The technological advances of power converters have provided a way for a new era in the area of power electronics, enabling a large-scale industrial production of solutions used in various areas of technology. Two of the most recent topologies developed in the area of CD-CA converters (inverters), and, which exhibit a great potential with a wide application in the future are the Z-Source and the Multilevel Inverter topologies.

The first topology (Z-Source inverter) employs an impedance network to couple the main circuit of the converter to the power source, thus providing characteristics that can not be obtained in conventional voltage and current converters, thus exceeding its conceptual and theoretical barriers and limitations. The second topology, which have been consolidated in recent years as a competitive option for the conversion of energy in the medium-high power range, from the technical and economic point of view, and whose operation provides a series of advantages such as the possibility to work with high voltages using the same devices as in a conventional converter, and on the other hand to achieve a reduction of the harmonics in the output voltage wave due to the stepped form in which it is generated, among other characteristics.

Currently the quality of electric power is a concept of great interest, since the disturbances in the electrical conversion systems directly affect all users (residential, commercial and industrial), all the above make the need to supply/convert energy with good voltage-current profile and low quantity of harmonics, in this concept, an alternative solution based on the advantages offered by the aforementioned converters, which are part of a Photovoltaic System Interconnected to the Electricity Network, is the establishment of the coupling of both topologies, thus emerging the NPC Z-Source Multilevel Inverter; and, where the solutions proposed through the use of this new topology towards the improvement of the scientific environment are mainly the reduction of costs, volume, weight and losses of the conversion process, among others. This is where the present thesis is concerned, since an alternative solution to the problems presented by conventional converters and the topologies studied and used separately, specifically in the conversion efficiency of electrical energy, all of the above, is analyzed through the analysis, design, modeling and implementation of a prototype, and thus establish, bases and general concepts in the process and energy conversion efficiency. Detailed theoretical analyzes, simulation results (using the Matlab-Simulink software) and experimental corroborate the operation of the proposed topology and the efficiency of it, as well as determining losses in the conversion process compared to conventional converters.

Chapter I presents a review of the characteristics of conventional Inverters, an assessment of the state of the art of the Z-Source and Multilevel Inverters and their areas of application, the former as an integral part of a Photovoltaic System Interconnected to the Electricity Network.

In Chapter II the applicable modulation techniques for both topologies are determined, in order to determine in the respective coupling the most suitable technique to be implemented from a digital FPGA controller (Field Programmable Gate Array).

In Chapter III, the analysis, design and modeling of both topologies are presented separately, using the PWM (Pulse Width Modulation) modulation techniques of Simple Elevation Control SBC (Simple Boost Control) and PD Phase Disposition (Phase Disposition) respectively, all of the above applied to three-phase CD-CA conversion systems.

In Chapter IV, the analysis, design and modeling of the Three Phase Z-Source NPC Multilevel Inverter implemented, using the SBC-PDWM modulation technique, is presented.

Chapter V presents the results obtained in the tests carried out on the prototype of the built inversion, which, together with the circuits of the photovoltaic panel, charge regulator and synchronization with the proposed line, form part of a Photovoltaic System Interconnected to the Network Electrical developed.

Finally, the conclusions of the research topic and the suggestions for future work are shown using the inversion topology analyzed here.

ÍNDICE GENERAL

RESUMEN.....	I
ABSTRACT.....	II
Índice de Figuras.....	VI
Índice de Tablas.....	X
Acrónimos.....	XI
CAPÍTULO I INTRODUCCIÓN.....	13
1.1 Introducción.....	13
1.2 Planteamiento del problema.....	15
1.3 Justificación.....	16
1.4 Hipótesis.....	17
1.5 Objetivos.....	17
1.5.1 Objetivo general.....	17
1.5.2 Objetivos específicos.....	17
1.6 Alcances y Limitaciones.....	18
1.7 Estado de la Técnica.....	18
1.7.1 Convertidores de potencia.....	19
1.7.2 Inversores y sus aplicaciones.....	19
1.7.2.1 Inversor medio puente.....	20
1.7.2.2 Inversor puente completo.....	20
1.7.3 Generalidades sobre el Inversor Fuente-Z.....	21
1.7.4 Generalidades sobre los Inversores Multinivel.....	22
1.7.4.1 El concepto Multinivel.....	23
1.7.4.2 Topologías del Inversor Multinivel.....	24
1.7.4.2.1 Inversor Multinivel de Fijación por Diodos.....	25
1.7.4.2.2 Inversor Multinivel con Diodo Fijador Mejorado.....	28
1.7.4.2.3 Inversor Multinivel con Capacitores Flotantes.....	28
1.7.4.2.4 Inversor Multinivel con Conexión en Cascada de Puentes Monofásicos.....	31
1.7.4.2.5 Comparación de necesidades de componentes en convertidores Multinivel.....	33
1.8 Dispositivos semiconductores de potencia.....	33
1.9 Sistemas Solares Fotovoltaicos.....	37
1.9.1 Celdas Solares.....	37
1.9.2 Topologías de los Sistemas Solares Fotovoltaicos.....	38
1.9.2.1 Sistema Solar Fotovoltaico Aislado de la Red.....	39
1.9.2.2 Sistema Solar Fotovoltaico Interconectado a la Red.....	40

1.9.2.3 Técnicas de Interconexión del Sistema Fotovoltaico a la Red Eléctrica.....	40
CAPÍTULO II TÉCNICAS DE MODULACIÓN Y MÉTODOS DE CONTROL PARA EL INVERSOR FUENTE-Z Y MULTINIVEL.....	42
2.1 Técnicas de Modulación PWM para el ZSI.....	42
2.1.1 Técnica de Control de Elevación Simple, SBC.....	42
2.1.2 Técnica de Control de Elevación Máxima, MBC.....	45
2.1.3 Técnica de Control de Elevación Máxima Constante, CMBC.....	49
2.2 Técnicas de Modulación para el Inversor Multinivel.....	50
2.2.1 Modulación por Ancho de Pulsos Sinusoidal, SPWM.....	53
2.2.2 Modulación PWM basada en Portadora Modificada.....	53
2.2.3 Modulación basada en múltiples señales moduladoras o bipolar.....	55
2.2.4 Modulación por Vector Espacial, SVM.....	55
2.2.5 Eliminación Selectiva de Armónicos.....	56
2.3 Métodos de control para el Inversor Fuente-Z y Multinivel NPC.....	56
CAPÍTULO III DISEÑO Y SIMULACIÓN DE INVERSOR FUENTE-Z Y MULTINIVEL NPC.....	58
3.1 Análisis de estado estacionario y diseño de la Red-Z de trabajo del ZSI monofásico y trifásico.....	58
3.1.1 Inversor ZSI monofásico; modos y estados de operación.....	59
3.1.1.1 Resultados de la simulación del ZSI monofásico, SBC.....	66
3.1.2 Inversor ZSI trifásico; modos y estados de operación.....	68
3.1.2.1 Resultados de la simulación del ZSI trifásico, SBC.....	78
3.2 Inversor Multinivel NPC trifásico de tres niveles (descripción de funcionamiento).....	83
3.2.1 Configuración del Inversor Multinivel NPC trifásico de tres niveles.....	83
3.2.2 Estados de los interruptores del Inversor Multinivel NPC trifásico de tres niveles.....	84
3.2.3 Proceso de conmutación del Inversor Multinivel NPC trifásico de tres niveles.....	86
3.2.4 Modelo matemático del Inversor Multinivel NPC trifásico de tres niveles.....	89
3.2.5 Resultados de la simulación del Inversor Multinivel NPC trifásico de tres niveles, PD-PWM.....	92
CAPÍTULO IV DESARROLLO DEL SOFTWARE Y ACOPLAMIENTO DEL INVERSOR FUENTE-Z Y MULTINIVEL NPC.....	96
4.1 Estados de operación y análisis matemático del ZSINPC de tres niveles.....	97
4.2 Selección de los valores de los componentes de la Red-Z.....	101
4.3 Desarrollo del esquema de modulación del ZSINPC de tres niveles.....	102
4.3.1 Esquema de modulación de Elevación Simple-Disposición de Fase PWM, SBC-PDPWM.....	102
4.3.2 Programación e Implementación de la modulación SBC-PDPWM en FPGA para el ZSINPC.....	104
4.4 Inversor ZSINPC de N niveles.....	115
4.5 Resultados de la simulación del ZSINPC trifásico de tres niveles, SBC-PDPWM.....	118
CAPÍTULO V ETAPA EXPERIMENTAL Y ANÁLISIS DE RESULTADOS.....	124

5.1 Implementación del Sistema Fotovoltaico Interconectado a la Red Eléctrica.....	124
5.1.1 Implementación del Subsistema de Paneles Fotovoltaicos.....	124
5.1.2 Implementación del Subsistema de Acondicionamiento de Potencia.....	126
5.1.2.1 Acumulador.....	126
5.1.2.2 Regulador de carga.....	127
5.1.2.3 Inversor ZSINPC trifásico de tres niveles (caracterización de las tarjetas).....	127
5.1.3 Subsistema de Interconexión a la Red Eléctrica.....	133
5.2 Análisis de los resultados obtenidos.....	135
CONCLUSIONES.....	137
TRABAJOS FUTUROS Y APORTACIONES.....	140
BIBLIOGRAFÍA.....	142
Anexo A: Publicaciones.....	149
Anexo B: Carta de Liberación y Constancia de Satisfacción de Estancia en CENIDET.....	152

Índice de Figuras

Fig.	Descripción	Pág.
1.1	Inversor Fuente-Z.....	14
1.2	Sistema trifásico Multinivel de procesamiento de potencia.....	14
1.3	Tensión de salida de un inversor Multinivel (cinco niveles).....	14
1.4	Inversor Multinivel NPC trifásico de tres niveles.....	15
1.5	Inversor monofásico medio puente.....	20
1.6	Inversor puente completo: a) inversor monofásico, b) inversor trifásico.....	21
1.7	Esquema por interruptor de un polo del inversor Multinivel.....	24
1.8	Inversor multinivel de cinco niveles con fijación por diodos, una rama.....	26
1.9	Inversor multinivel con diodos fijadores en serie.....	28
1.10	Inversor multinivel con diodo fijador mejorado, con diodos fijadores distribuidos.....	28
1.11	Inversor multinivel monofásico puente completo con capacitores flotantes de cinco niveles.....	29
1.12	Inversor en cascada de tres niveles.....	31
1.13	Inversor en cascada de cuatro niveles.....	31
1.14	Inversor monofásico multinivel en cascada de nueve niveles de medio puente a) diagrama del circuito b) forma de onda de salida de voltaje de fase.....	32
1.15	Estructura interna de un diodo de potencia.....	35
1.16	Símbolo y característica estática de corriente-tensión de un diodo de potencia.....	35
1.17	Comutación de un diodo.....	35
1.18	Símbolo del transistor IGBT.....	36
1.19	Estructura básica del transistor IGBT.....	36
1.20	Celdas solares de silicio Monocristalinos, Policristalinos y Amorfos.....	38
1.21	Funcionamiento de un Sistema Fotovoltaico.....	39
1.22	Sistema Solar Fotovoltaico Aislado de la Red.....	39
1.23	Sistema Solar Fotovoltaico Interconectado a la Red.....	40
1.24	Técnica PLL.....	41
2.1	Representación gráfica de la técnica Simple Boost Control, SBC para el ZSI.....	43
2.2	Representación gráfica de la técnica Maximun Boost Control, MBC para el ZSI.....	46

2.3	Representación gráfica de la técnica Maximun Boost Control, MBC utilizando componente homopolar para el ZSI.....	48
2.4	Comportamiento temporal de T_{ST} en la técnica Maximun Boost Control, MBC para el ZSI.....	49
2.5	Representación gráfica de la técnica Constant Maximun Boost Control, CMBC utilizando componente homopolar para ZSI.....	50
2.6	Estrategias de conmutación Multinivel.....	51
2.7	Modulación SPWM: a) dos niveles, b) tres niveles.....	53
2.8	Esquema de modulación en portadora modificada a) PD, b) APOD.....	54
2.9	Voltaje de Fase y Voltaje de Línea a) Modulación PD; b) Modulación APOD.....	54
2.10	Modulación bipolar para un inversor de tres niveles.....	55
2.11	Diagrama de vectores de estado para un inversor de tres niveles.....	55
3.1	Conmutación equivalente del inversor ZSI.....	59
3.2	Estructura general del inversor ZSI monofásico.....	59
3.3	Inversor ZSI monofásico, modo de operación 1.....	60
3.4	Inversor ZSI monofásico, modo de operación 2.....	60
3.5	Inversor ZSI monofásico, modo de operación 3.....	61
3.6	Inversor ZSI monofásico, modo de operación 4.....	62
3.7	Inversor ZSI monofásico, modo de operación 5.....	62
3.8	Inversor ZSI monofásico, estado STS (cero).....	63
3.9	Inversor ZSI monofásico, estado Activo.....	64
3.10	Inversor ZSI monofásico en Matlab/Simulink.....	66
3.11	Formas de onda de la simulación del ZSI monofásico a) V_{Out} y b) I_{Out}	67
3.12	Formas de onda en estado estacionario-sinusoidales del ZSI trifásico para rizados de a) V_C y b) I_L	74
3.13	Formas de onda en estado estacionario-linealizadas del ZSI trifásico para rizados de a) V_C b) I_L	76
3.14	Inversor ZSI trifásico en Matlab/Simulink.....	79
3.15	Formas de onda de simulación del Inversor ZSI trifásico con SBC, a) ΔV_C , b) ΔI_L y c) I_{Out}	80
3.16	Formas de onda de la simulación del Inversor ZSI trifásico con SBC, V_{BCD} , V_C , I_L y I_{Out}	81
3.17	Análisis THD de la I_{Out} del ZSI trifásico con SBC.....	81
3.18	Formas de onda de la simulación del ZSI trifásico con estados estáticos indeseables, SBC.....	82
3.19	Estados de conmutación del inversor Multinivel NPC de tres niveles, V_g y V_{AZ}	84

3.20	V_{AZ} y V_{AB} del inversor Multinivel NPC trifásico de tres niveles.....	85
3.21	Transición de los estados de conmutación del inversor Multinivel NPC de tres niveles.....	87
3.22	Circuito equivalente del inversor Multinivel NPC de tres niveles de la Fig. 3.19 para la fase A.....	90
3.23	Inversor Multinivel NPC trifásico de tres niveles en Matlab/Simulink.....	93
3.24	Formas de onda de la simulación del inversor Multinivel NPC trifásico de tres niveles a) V_{AB} , b) V_{AN} y c) I_{OutA}	94
3.25	Análisis THD de la I_{OutA} y el V_{AN} del inversor Multinivel NPC trifásico de tres niveles.....	94
4.1	Inversor ZSINPC trifásico de tres niveles con dos redes de impedancia LC.....	96
4.2	Inversor ZSINPC trifásico de tres niveles con una red de impedancia LC.....	98
4.3	Simplificación del ZSINPC de tres niveles a) NSTS y b) FSTS.....	99
4.4	Simplificación del ZSINPC de tres niveles a) USTS y b) LSTS.....	100
4.5	Modulación SBC-PDPWM del ZSINPC de tres niveles.....	103
4.6	Tarjeta Altera CYCLONE II EP2C5T144.....	105
4.7	Pantalla de inicio del Software QUARTUS II 13.0.....	106
4.8	Implementación de pulso PWM (variable), 100 kHz a 50% de ciclo de trabajo.....	107
4.9	Simulación de la señales sinusoidales discretizadas en ModelSim.....	109
4.10	Simulación de señales triangulares discretizadas en ModelSim.....	110
4.11	Bloque RTL del código de comparación mayor igual que (\geq).....	111
4.12	Diagrama RTL de la modulación SBC-PDPWM.....	113
4.13	Implementación de la modulación SBC-PDPWM en FPGA.....	113
4.14	Implementación de la modulación SBC-PDPWM en FPGA (desfase 120°).....	114
4.15	Simulación de la modulación SBC-PDPWM en Matlab Simulink.....	114
4.16	Estructura del inversor ZSINPC trifásico de N Niveles.....	116
4.17	Señales de referencia para el inversor ZSINPC trifásico de cinco niveles, APOD.....	117
4.18	Señales de control APOD propuestas para el inversor ZSINPC trifásico de cinco niveles para la fase A a) primer método b) segundo método.....	118
4.19	Inversor ZSINPC trifásico de tres niveles en Matlab/Simulink.....	119
4.20	Formas de onda de la simulación del ZSINPC trifásico de tres niveles, a) ΔV_C , b) ΔI_L y c) V_{CD}	121
4.21	Formas de onda de la simulación del ZSINPC trifásico de tres niveles, a) I_{OutA} y b) V_{AN}	122
4.22	Análisis THD de la I_{OutA} y el V_{AN} , del ZSINPC trifásico de tres niveles.....	123

5.1	Diagrama a bloques del Sistema Fotovoltaico Interconectado a la Red (implementado).....	124
5.2	Vistas frontales de la implementación de paneles fotovoltaicos.....	125
5.3	Conductores eléctricos de los paneles fotovoltaicos hacia la entrada del subsistema de acondicionamiento de potencia.....	125
5.4	Acumulador Optima Battery D51R.....	126
5.5	Regulador de carga Steca Solarix PRS 3030.....	127
5.6	Tarjeta de Red-Z del ZSINPC trifásico de tres niveles.....	128
5.7	Tarjeta de Control y Disparo del ZSINPC trifásico de tres niveles.....	128
5.8	Tarjeta de Potencia del ZSINPC trifásico de tres niveles.....	129
5.9	Distribución de las tarjetas del prototipo de inversion ZSINPC trifásico de tres niveles conectado al FPGA CYCLONE II EP2C5T144.....	129
5.10	Forma de onda del Bus de CD (salida de la Red-Z) del ZSINPC trifásico de tres niveles implementado, SBC-PDPWM.....	131
5.11	Formas de onda del voltaje de línea (V_{AB}) del ZSINPC trifásico de tres niveles implementado, SBC-PDPWM.....	131
5.12	Formas de onda del voltaje de fase (V_{AN}) del ZSINPC trifásico de tres niveles implementado, SBC-PDPWM.....	132
5.13	Análisis THD de la (I_{OutA}) del ZSINPC trifásico de tres niveles implementado, SBC-PDPWM.....	133
5.14	Diagrama a bloques del circuito de sincronización con línea propuesto.....	134
5.15	Circuito de control para sincronización con línea propuesto (set point).....	134
5.16	Circuito de generación de pulsos de comando para sincronización con línea propuesto (V_D).....	135

Índice de Tablas

Tabla	Descripción	Pág.
1.1	Necesidad de componentes por rama, en tres convertidores multinivel.....	33
2.1	Técnicas de modulación aplicables a las configuraciones multinivel.....	52
3.1	Estados de conmutación del ZSI monofásico.....	63
3.2	Resultados de la simulación del ZSI monofásico, SBC.....	67
3.3	Estado de operación “Open” del ZSI trifásico.....	68
3.4	Estado de operación “Activo” del ZSI trifásico.....	68
3.5	Estado de operación “STS” del ZSI trifásico.....	69
3.6	Estados de operación de la Red-Z.....	69
3.7	Resultados de la simulación del ZSI trifásico para el diseño de 5% de rizo de V_C , e I_L , SBC.....	80
3.8	Estados de conmutación P, O, N del inversor Multinivel NPC de tres niveles.....	84
3.9	Estados de conmutación del inversor Multinivel NPC trifásico de tres niveles.....	86
3.10	Resultados de la simulación del inversor Multinivel NPC trifásico de tres niveles, PD-PWM.....	92
4.1	Estados de conmutación del ZSINPC trifásico de tres niveles.....	97
4.2	Valores de las constantes para la generación de relojes en SBC-PDPWM.....	111
4.3	Estados de conmutación permitidos en el ZSINPC de N niveles para la fase A.....	115
4.4	Resultados de la simulación del ZSINPC trifásico de tres niveles SBC-PDPWM.....	120
4.5	Resultados de la simulación del ZSINPC trifásico de tres niveles para el diseño de 5% de rizo de V_C e I_L , SBC-PDPWM.....	121
5.1	Características y especificaciones del panel solar Epcom Power Line PROSE WK-25024.....	126
5.2	Características y especificaciones del acumulador Optima Battery D51R.....	126
5.3	Características y especificaciones del regulador de carga Steca Solarix PRS 3030.....	127
5.4	Dispositivos utilizados en la implementación del ZSINPC trifásico de tres niveles.....	130
5.5	Resultados de la implementación del ZSINPC trifásico de tres niveles, SBC-PDPWM.....	133

Acrónimos

APOD-PWM	Modulación de Ancho de Pulso de Disposición Alternativa de Oposición de Fase (del inglés, Alternative Phase Opposition Disposition Pulse Width Modulation).
BJT	Transistor de Unión Bipolar (Bipolar Junction Transistor).
CA	Corriente Alterna.
CC	Corriente Continua.
CD	Corriente Directa.
CLB	Bloque Lógico Configurable (Configurable Logic Block).
CMBC	Control de Elevación Máxima Constante (Constant Maximun Boost Control).
CSI	Inversor Fuente de Corriente (Current Source Inverter).
DCMLI	Inversor Multinivel de Fijación por Diodo (Diode-Clamped Multi Level Inverter).
DSP	Procesador Digital de Señales (Digital Signal Processor).
DTC	Control Directo de Par (Direct Torque Control).
EMI	Interferencia Electromagnética (Electromagnetic Interference).
FCMLI	Inversor Multinivel de Capacitores Flotantes (Flying-Capacitor Multi Level Inverter).
FFT	Transformada Rápida de Fourier (Fast Fourier Transform).
FPGA	Campo Programable de Arreglo de Compuertas (Field Programmable Gate Array).
FSTS	Estado de Disparo a Través de la Rama Directo o Completo (Full-Shoot Through State).
GTO	Tiristor Apagado por Compuerta (Gate Turn-Off Thyristor).
HD	Distorsión Armónica (Harmonic Distorsión).
HP	Caballo de Potencia (Horsepower), medida de potencia utilizada en el sistema anglosajón equivalente aproximadamente a 745,7 vatios.
IDE	Servicio Integral de Desarrollo (Integrated Development Environment), aplicación informática que proporciona servicios integrales para desarrollo de software.
IGBT	Transistor Bipolar de Puerta Aislada (Insulated Gate Bipolar Transistor).
IGCT	Tiristor Conmutado por Compuerta Integrada (Integrated Gate-Commutated Thyristor).
LSTS	Estado de Disparo a Través de la Rama Inferior (Lower-Shoot Through).
LS-PWM	Modulación de Ancho de Pulso con Desplazamiento de Nivel (Level Shifted PWM).
LUT	Tabla de Búsqueda Proporcional (Look Up Table).
MATLAB	Laboratorio de Matrices, de la abreviatura inglesa (MATrix LABoratory), herramienta de software matemático que ofrece un entorno de desarrollo integrado (IDE) con un lenguaje de programación propio.
MBC	Control de Elevación Máxima (Maximun Boost Control).
MOSFET	Transistor Metal Oxido Semiconductor de Efecto de Campo (Metal Oxide Semiconductor Field Effect Transistor).
NPC	Fijación al Punto Neutro (Neutral Point Clamped).
NSTS	Estado Sin Disparo a Través de la Rama-Estado Activo (Non Shoot Through State).
NTV	Tres Vectores Más Cercanos (Nearest Three Vector).
PCB	Placa de Circuito Impreso (Printed Circuit Board).
PD-PWM	Modulación de Ancho de Pulso con Disposición de Fase (Phase Disposition PWM).
PLL	Lazo de Fase Bloqueado (Phase-Locked Loop).

POD-PWM	Modulación de Ancho de Pulso con Oposición Disposición de Fase (Phase Opposition Disposition PWM).
PWM	Modulación por Ancho de Pulso (Pulse Width Modulation).
PS-PWM	Modulación de ancho de pulso con desplazamiento de fase (Phase Shifted PWM).
RTL	Nivel de Transferencia de Registro (Register-Transfer Level).
SBC	Control de Elevación Simple (Simple Boost Control).
SCR	Semiconductor Controlado de Silicio (Silicon Controlled Rectifier).
SDCS	Múltiple Fuente de Corriente Directa (Several DC Sources).
SHE	Eliminación Selectiva de Armónicos (Selective Harmonic Elimination).
SPWM	Modulación por Ancho de Pulso Sinusoidal (Pulse Width Modulation Sinusoidal).
STS	Estado de Disparo a Través de la Rama (Shoot Through State).
SVG	Generador de VAR Estáticos (Static Var Generator).
SVM	Modulación por Vector Espacial (Space Vector Modulation).
THD	Distorsión Armónica Total (Total Harmonic Distorsión).
TRIAC	Tríodo para Corriente Alterna (Triode of Alternating Current).
UPS	Fuente Ininterrumpida de Potencia (Uninterruptible Power Source).
USTS	Estado de Disparo a Través de la Rama Superior (Upper-Shoot Through).
VAR STATCON	Compensador Estático de Volt-Amperes Reactivos (Static Compensator VAR).
VHDL	Lenguaje VHSIC de Descripción de Hardware (VHSIC Hardware Description Language).
VHSIC	Circuito Integrado de muy Alta Velocidad (Very High Speed Integrated Circuit).
VSI	Inversor Fuente de Voltaje (Voltage Source Inverter).
ZSI	Inversor Fuente-Z (Z-Source Inverter).
ZSINPC	Inversor Fuente-Z Multinivel de Fijación al Punto Neutro (Z-Source Inverter Neutral Point Clamped).

CAPÍTULO I

INTRODUCCIÓN

1.1 Introducción

Desde el inicio del siglo XX, la evolución de los dispositivos semiconductores de potencia y los avances significativos de la industria, han permitido que nuevas tecnologías en ésta área puedan ser desarrolladas. Los primeros avances y descubrimientos en el área de electrónica de potencia fueron asociados a la creación de nuevas técnicas para la generación, transmisión y distribución de energía eléctrica, etc. Posteriormente, con el avance de los dispositivos semiconductores de potencia como la invención de los tiristores a finales de la década de los 50's, fue posible crear soluciones que posibilitaran en corto tiempo el accionamiento eficiente de máquinas eléctricas. El subsecuente desarrollo en el área de microelectrónica, de ingeniería de computación y de los avances tecnológicos de los controladores de potencia han facilitado soluciones usadas en diversas áreas de tecnología. Actualmente, la electrónica de potencia puede ser encontrada en dispositivos electrónicos, en sistemas ininterrumpidos de energía, en el accionamiento de máquinas eléctricas de diversas potencias y particularmente en sistemas de generación de energía.

Los convertidores CD-CA (Corriente Directa-Corriente Alterna), también llamados Inversores son una de las principales invenciones de electrónica de potencia, debido a su amplia gama de aplicaciones. Entre los inversores existentes se encuentran principalmente dos topologías tradicionales: el Inversor Fuente de Voltaje VSI, (del inglés, Voltage Source Inverter); y el Inversor Fuente de Corriente CSI, (Current Source Inverter), los cuales son punto culminante por dos razones básicas; primeramente las tensiones y corrientes entregadas a la salida pueden soportar cargas de diferentes fases y pueden ser utilizados para suministrar energía a la red de distribución de CA, y, consecutivamente en la sección de la fuente de tensión y/o de corriente, el inversor permite la conexión de varios tipos de fuentes de energía primaria, tales como baterías, pilas de combustible, matrices de paneles fotovoltaicos y condensadores.

Con las nuevas tendencias de la tecnología, existe la necesidad continua de descubrir nuevas topologías de inversión, capaces de realizar las funciones del inversor VSI y del CSI, además de la adición de características positivas para ciertas aplicaciones. Con la evolución de los interruptores de alimentación controlados en las últimas décadas, los avances significativos se han hecho en topologías de convertidores CD-CA, siempre con el objetivo de mejorar el proceso de conversión de energía [1].

Dos de los desarrollos más recientes y convenientes en el área de electrónica de potencia concretamente en la mejora del proceso de conversión de energía son el Inversor Fuente-Z, también conocido como ZSI (Z-Source Inverter) y el Inversor Multinivel.

La topología del ZSI fue propuesta por científico Peng en 2002 [2], pero no fue hasta su trabajo de 2003 [3] que la idea se hizo conocida en los círculos científicos. La idea de esta topología se basa en la construcción de una red de impedancia (Red-Z) que se usa para reemplazar el enlace tradicional CD (elevando el voltaje de entrada sin requerir de un convertidor de CD-CD o una etapa de transformación), Fig. 1.1. Por lo tanto; un estado adicional cero aparecerá siguiendo la rama de disparo a través de una, dos o tres fases, que

en este caso no está permitido en la estrategia de control de los inversores tradicionales. Además, la fiabilidad del inversor se mejora, en gran medida, debido a que el ruido de interferencia electromagnética EMI (Electromagnetic Interference) causado por el descontrolado disparo y que puede destruir el circuito del inversor ya no se presenta. A su vez, esta solución proporciona un bajo costo, fiabilidad, y una alta eficiencia en una estructura de una sola etapa [3].

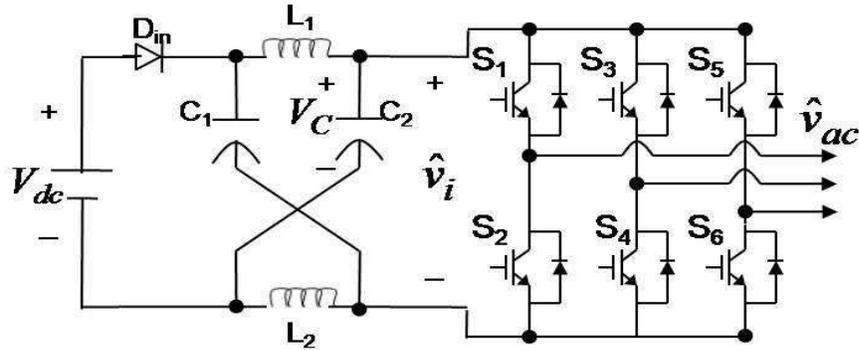


Fig. 1.1 Inversor Fuente-Z.

Por otro lado, en la segunda topología la función principal que realiza el convertidor Multinivel es mejorar la onda de voltaje alterno generada, usando diferentes niveles de voltaje continuo, Fig. 1.2. Su funcionamiento es tal que, al aumentar el número de niveles, el voltaje de salida, que está formado por escalones de tensión, tiene mayor resolución porque aumenta el número de escalones, acercándose a una onda sinusoidal con mayor precisión, Fig. 1.3. A mayor cantidad de escalones o niveles en la onda de salida, menos distorsión armónica, HD (Harmonic Distortion), tiene la onda [4] [5]. Los convertidores Multinivel, diseñados para generar un gran número de niveles, pueden trabajar con técnicas convencionales de Modulación de Ancho de Pulso, PWM (Pulse Width Modulation), pero además pueden ser modulados en amplitud, lo que produce salidas mucho más limpias, mejor aún, cada puente del convertidor funciona a baja frecuencia de conmutación, lo cual da la posibilidad de poder trabajar con semiconductores de menor velocidad, generando menos pérdidas por conmutación y haciendo más eficiente el convertidor.

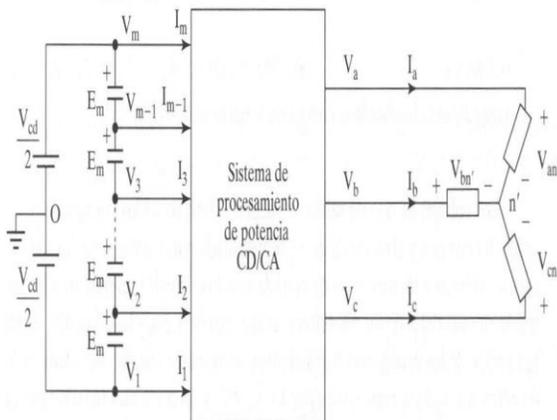


Fig. 1.2 Sistema trifásico Multinivel de procesamiento de potencia [6].

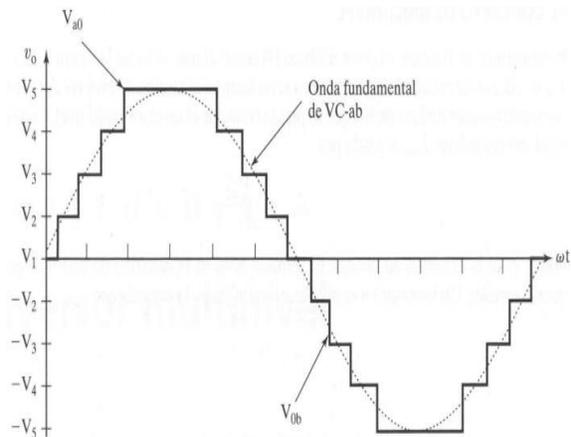


Fig. 1.3 Tensión de salida de un inversor Multinivel (cinco niveles) [6].

Una de las topologías más estudiadas y aplicadas dentro del Inversor Multinivel es la de Fijación por Diodos DCMLI (Diode Clamped Multilevel Inverter), en su configuración de fijación al punto neutro, NPC (Neutral Point Clamped), en la cual se forma la onda de tensión a partir de la acción de diodos de potencia que fijan las tensiones en los dispositivos semiconductores a un punto neutral, Fig. 1.4.

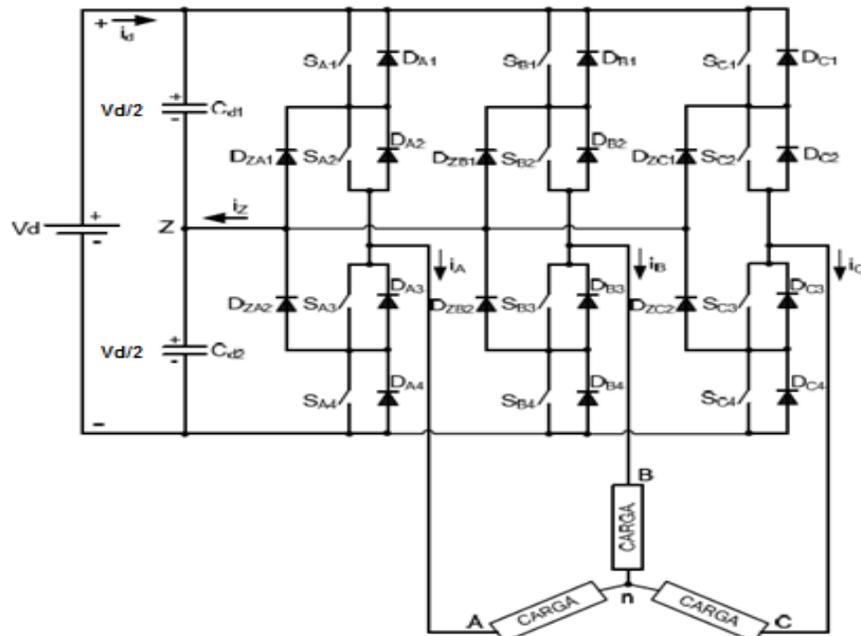


Figura 1.4 Inversor Multinivel NPC trifásico de tres niveles [7].

En este trabajo se estudiará la topología de Fijación al Punto Neutro (NPC) de tres niveles acoplada a la Red-Z, como parte integral dentro de un Sistema Fotovoltaico de Interconexión a la Red Eléctrica. Diseñando e implementando un prototipo con el cual se pretende analizar el funcionamiento de dicho acoplamiento, y de este modo, establecer bases en el área de la compensación y el mejoramiento de la calidad de la energía. La topología del inversor Multinivel acoplado a la Red-Z se presenta como una posible solución a las limitaciones técnicas presentadas por inversores VSI, CSI, ZSI y Multinivel NPC desarrollados por separado presentes en un Sistema Fotovoltaico.

1.2 Planteamiento del problema

La energía eléctrica es de vital importancia debido a que en el mundo existen cada vez más equipos y sistemas que dependen de la electricidad como fuente de energía. La conversión de energía es necesaria debido a la gran diversidad de cargas existentes. Esta conversión se realiza a través de convertidores de potencia, los cuales se encargan de entregar de manera apropiada la energía eléctrica a la carga, ya sea en CD o en CA. Por otro lado, existen equipos que requieren de una buena calidad y seguridad en el suministro eléctrico, lo que trae consigo la necesidad continua de descubrir nuevas tecnologías de conversión con el objetivo principal de mejorar dicho proceso.

En un sistema Fotovoltaico, y, particularmente en la sección del convertidor de potencia convencional de CD-CA (inversor), se tiene que debido a su estructura, sus interruptores soportan toda la tensión del bus de CD. Para aplicaciones de potencia esto puede ser un problema ya que se tienen que utilizar componentes más robustos, asimismo, son considerables las pérdidas por conmutación al operar con técnicas convencionales. Así, los principales problemas que se identifican en este tipo de inversores son los siguientes:

- **Altas pérdidas por conmutación.**
- **Problemas de distorsión armónica.**
- **Altos dv/dt en dispositivos y cargas.**
- **Pérdida de eficiencia del sistema de potencia.**

Las cargas no lineales conectadas a la red de la salida del Sistema Fotovoltaico, este o no interconectado a la Red Eléctrica, a pesar de ser alimentadas con una tensión sinusoidal absorben corrientes que no son sinusoidales, las cuales forman perturbaciones en las señales eléctricas que afectan tanto al sistema mismo como a otras cargas conectadas. Entre sus efectos sobre el sistema de potencia se pueden mencionar los armónicos que desmejoran el perfil de tensión, afectan la alimentación de las cargas conectadas, ocasionan pérdidas en los conductores y debilitan la regulación de tensión. Los armónicos también pueden ocasionar errores de disparo a los tiristores en el sistema, y falsos disparos en los dispositivos de protección, entre otros. Es debido a estos efectos nocivos que se hace necesario encontrar formas de mejorar la calidad de la energía.

Esta tesis investiga, simula e implementa el diseño de un convertidor con topología Multinivel NPC de tres niveles acoplado a la Red-Z de la topología del ZSI, el cual integra un Sistema Fotovoltaico Interconectado a la Red Eléctrica, lo anterior con el fin de mejorar la calidad de la energía (aumento de eficiencia), específicamente en mantener constantes la amplitud y la frecuencia tanto del voltaje como de la corriente que serán entregadas e interconectadas a la Red Eléctrica para la alimentación de una carga general.

1.3 Justificación

Con las necesidades de ahorro de energía presentes y las ventajas de su uso eficiente, los convertidores electrónicos podrían ser integrados en mayor cantidad de sistemas (residencial, comercial e industrial), siempre acompañados de una estructura y control adecuado. Debido a la gran cantidad de controles y topologías existentes, y que se continúan proponiendo, es conveniente tener la posibilidad de evaluarlos de una manera más rápida y eficiente a la actual, la aceleración en su factibilidad permitirá una implementación pronta en diferentes aparatos eléctricos, y por lo tanto un mayor aprovechamiento de la energía en la vida diaria.

En un Sistema Fotovoltaico, y específicamente en la sección de la conversión de energía de CD-CA, es necesario que dicha transformación se lleve a cabo con la máxima eficiencia, para poder lograr esto de una manera efectiva se propone desarrollar un convertidor (prototipo) de potencia con topología Multinivel NPC de tres niveles acoplado a la Red-Z que pueda ser controlado de un modo totalmente digital en una plataforma de bajo costo, además de analizar el acoplamiento de dichos circuitos y establecer así bases relacionadas con el área de la compensación y el mejoramiento de la calidad de la energía.

1.4 Hipótesis

Tanto el Inversor Fuente-Z como el Multinivel se han consolidado en los últimos años como una opción competitiva para la conversión de energía (técnica y económica). La conversión llevada a cabo por estos inversores de manera individual puede considerarse un área joven dentro de la electrónica de potencia, brindando una serie de ventajas como la posibilidad de trabajar con tensiones en media a alta potencia, empleando los mismos dispositivos que en un inversor convencional.

A partir de las características específicas de cada inversor **¿Será posible aprovechar las ventajas que ofrecen estas topologías por separado y acoplarlas así en una estructura conjunta reemplazando de esta manera al inversor convencional utilizado en un Sistema Fotovoltaico?**; es decir, a partir de la eliminación del circuito de elevación tradicional a través de la Red-Z, realizar el acoplamiento de la topología Multinivel a ésta última, y poder generar diferentes voltajes de salida con baja distorsión armónica provocando así menores pérdidas de potencia, lo anterior a través de un control totalmente digital que permita utilizar estrategias de control-modulación avanzadas, y, a su vez poder obtener un voltaje y frecuencia constante de energía eléctrica que pueda ser interconectada a la Red Eléctrica, aumentando la eficiencia del sistema.

1.5 Objetivos

1.5.1 Objetivo general:

Diseñar e implementar un prototipo con la topología de Inversión Multinivel NPC de tres niveles acoplado a la Red-Z para remplazar al inversor convencional utilizado en un Sistema Fotovoltaico Interconectado a la Red Eléctrica.

1.5.2 Objetivos específicos: Específicamente los objetivos del presente trabajo se contempla el análisis, las ventajas y desventajas de las topologías antes mencionadas, comparándolas con las topologías clásicas, considerando lo siguiente:

- Diseñar, modelar y simular los inversores topología Fuente-Z y Multinivel de tres niveles NPC por separado, a través de técnicas de modulación PWM.
- Diseñar, modelar y simular el acoplamiento de la topología del inversor Multinivel NPC de tres niveles hacia la Red-Z, analizando las ventajas y desventajas en términos de calidad de conversión de energía.
- Establecer un control digital a partir de una plataforma de bajo costo FPGA (del inglés, Field Programmable Gate Array-Campo Programable de Arreglo de Compuertas), para la conmutación de los dispositivos semiconductores de potencia.
- Implementar un prototipo basado en la simulación de dicho acoplamiento y del control establecido para alimentar una carga general, realizar pruebas y establecer conclusiones.

1.6 Alcances y Limitaciones

Los principales alcances que se pretenden conseguir con este trabajo de tesis son:

- Abordar el tema de Inversores Fuente-Z y Multinivel para asimilación de estas tecnologías, sobre todo porque en el área de calidad de la energía se tienen aplicaciones en las cuales se ve atractivo su uso.
- Tener alternativas a métodos de inversión convencionales. Lo anterior debido a que las aplicaciones de los Inversores Fuente-Z y Multinivel son variadas.
- A su vez se contempla la construcción del prototipo del Inversor Fuente-Z Multinivel NPC de tres niveles. Dentro de lo anterior se estudiará primeramente el funcionamiento de la topología del Inversor Fuente-Z, y por otro lado la topología Multinivel NPC de tres niveles, para determinar así una comparación conjunta y por separado, es decir; esfuerzos de tensión de los dispositivos, formas de onda que pueden presentar en su salida y aplicaciones que puedan tenerse utilizando determinadas topologías.
- Establecer una estandarización de los parámetros que rigen dicho acoplamiento para un determinado número de niveles, en términos de potencia, frecuencia, número de elementos, etc., lo anterior para determinadas aplicaciones futuras.

Las principales limitaciones que se establecen en este trabajo de tesis son:

- Se trabajara específicamente en el diseño e implementación del inversor Fuente-Z Multinivel NPC de tres niveles, el cual integra un Sistema Fotovoltaico Interconectado a la Red Eléctrica.
- Se trabajará con valores en el orden de baja tensión, ya que en este trabajo de tesis el objetivo principal es determinar la factibilidad del acoplamiento en comparación con las topologías antes mencionadas por separado.
- Por otro lado se tendrá en cuenta que los dispositivos de potencia, las técnicas de modulación y el control propuestos en este trabajo de tesis, se determinarán primeramente a partir de la simulaciones establecidas en el Software Matlab (MATrix LABoratory-Laboratorio de Matrices), lo que conlleva que posteriormente los valores de cada elemento físico y de control sean adquiridos en términos aproximados a éstos (fuente de alimentación, semiconductores de potencia, FPGA, etc.).
- El número de niveles es limitado por cuestiones de diseño, ya que dicho acoplamiento es la base para un mayor número de niveles.

1.7 Estado de la Técnica

La dependencia sobre los combustibles de origen fósil, el grado de contaminación y el calentamiento global, entre otros, ha despertado dentro de la comunidad científica la necesidad de encontrar nuevas fuentes de energía más económicas y limpias. De esta forma se inicia el interés por las nuevas fuentes de energía y, en particular, por el diseño de convertidores de potencia basados en semiconductores [8].

Por otro lado, a pesar de que las topologías VSI y CSI convencionales pueden fabricarse a gran escala y se utilizan en muchas áreas (Sistemas Fotovoltaicos, por ejemplo), estos tipos de inversores tienen algunas limitaciones técnicas conocidas las cuales se presentarán más adelante. La siguiente sección describe un breve preámbulo al tema de calidad de la energía enfocándose en los inversores Multinivel y Fuente-Z; analizando sus principales características en términos de mejoramiento de conversión de la misma, frente a los convertidores convencionales, respectivamente se aborda el tema de los Sistemas Fotovoltaicos Interconectados a la Red eléctrica, con sus principales componentes y características, y, donde el inversor de potencia juega un papel importante en su estructura.

1.7.1 Convertidores de potencia: Los principales tipos de convertidores de potencia son los siguientes [6]:

- **Convertidor Corriente Alterna/Corriente Directa (CA/CD):** Este tipo de convertidor es comúnmente llamado rectificador. Su implementación más simple se efectúa con diodos y un filtro para obtener el nivel de CD. Versiones más elaboradas incluyen interruptores controlados.
- **Convertidor Corriente Directa/Corriente Directa (CD/CD):** Este tipo de convertidor es bastante utilizado para elevar o disminuir la tensión de CD de salida respecto a la de entrada y obtener un nivel de CD regulada.
- **Convertidor Corriente Alterna/Corriente Alterna (CA/CA):** Este tipo de convertidor se encarga de proporcionar una tensión de salida en CA controlada a partir de una entrada de CA sin regular.
- **Convertidor Corriente Directa/Corriente Alterna (CD/CA):** Son llamados inversores y se encargan de producir una tensión alterna controlada en voltaje y frecuencia en su salida a partir de una tensión de CD.

La importancia de los convertidores radica en que son ampliamente utilizados en gran variedad de equipos eléctricos proporcionando principalmente un control sobre las variables de salida, tales como la corriente, tensión y frecuencia.

1.7.2 Inversores y sus aplicaciones

Los inversores son utilizados en control de motores (donde la frecuencia y la tensión de salida deben ser variables), en sistemas de alimentación ininterrumpibles UPS's (del inglés, Uninterruptible Power Source), donde la frecuencia y tensión de salida son fijas) y en general, en aquellas aplicaciones que necesiten de una tensión de salida en CA controlada. Los inversores también pueden ser utilizados para la conversión de energía eléctrica a partir de fuentes renovables permitiendo su conexión a varios tipos de fuentes de energía primaria, tales como baterías, pilas de combustible, matrices de paneles fotovoltaicos y condensadores, etc., [6] [7].

Particularmente en el inversor Multinivel, existe gran interés en aplicar fuentes de voltajes con inversores de altas potencias, como por ejemplo en los sistemas eléctricos para fuentes controladas de potencia reactiva. En operación de estado permanente, un inversor puede producir una corriente reactiva controlada y opera como un compensador estático de volt-amperes reactivos, VAR STATCON (Volt-Ampere Static Compensator). También, estos

inversores pueden reducir el tamaño físico del compensador y mejorar su rendimiento durante contingencias en el sistema eléctrico. El uso de un inversor de alto voltaje hace posible la conexión directa con el sistema de distribución en alto voltaje (por ejemplo 13 KV), eliminando al transformador de distribución y reduciendo el costo del sistema. Además, el contenido de armónicas de la forma de onda del inversor se puede reducir con técnicas adecuadas de control, y con ello se puede mejorar la eficiencia del sistema. Las aplicaciones más comunes de los convertidores multinivel incluyen: compensación de potencia reactiva, interconexión en cascada, espalda con espalda e impulsores de velocidad variable.

Cada tipo de inversor, en sus variantes de medio puente y puente completo, utiliza dispositivos semiconductores de potencia para proporcionar la tensión deseada en la salida. En los inversores ideales la salida debería ser una señal sin contenido armónico, sin embargo, en la práctica el contenido armónico depende en gran medida del tipo de control empleado en la generación de las señales de conmutación.

1.7.2.1 Inversor medio puente

Este tipo de inversor, mostrado en la Fig. 1.5, está formado por dos interruptores S_1 y S_2 ; su salida se toma en el punto A y su referencia es el punto medio de las fuentes de alimentación. Cada condensador está cargado a una tensión $\frac{V_{cd}}{2}$.

La tensión de salida pico V_o que el inversor puede proporcionar a la salida está dada por:

$$V_o = \pm \frac{V_{cd}}{2} \dots\dots 1.1 \quad \text{Donde:} \\ V_{cd} = \text{Tensión del bus de CD}$$

La corriente de colector pico que deben manejar los dispositivos semiconductores es igual a:

$$I_{cp} = \frac{V_{cd}}{2|Z_{carga}|} \dots\dots 1.2 \quad \text{Donde:} \\ Z_{carga} = \text{Impedancia equivalente de la carga}$$

La tensión colector emisor de los interruptores, V_{CE} , se expresa como: $V_{CE} = V_{cd}$

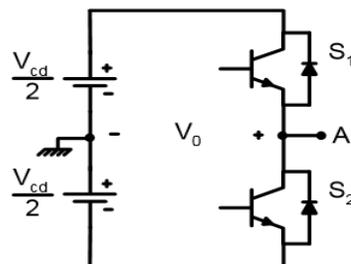


Fig. 1.5 Inversor monofásico medio puente.

1.7.2.2 Inversor puente completo

Este inversor tiene un mejor desempeño que el anterior. Proporciona una tensión alterna a la carga y la alimentación del inversor se realiza a través de una sola fuente de CD. La Fig. 1.6 muestra la configuración para este tipo de inversor en su versión monofásica y trifásica.

La tensión de salida pico V_o que el inversor puede proporcionar a la salida está dada por:

$$V_o = \pm V_{cd} \dots 1.3$$

La corriente de colector pico que deben manejar los dispositivos semiconductores es igual a:

$$I_{cp} = \frac{V_{cd}}{|Z_{carga}|} \dots 1.4$$

La tensión colector emisor de los interruptores V_{CE} , se expresa como: $V_{CE} = V_{cd}$

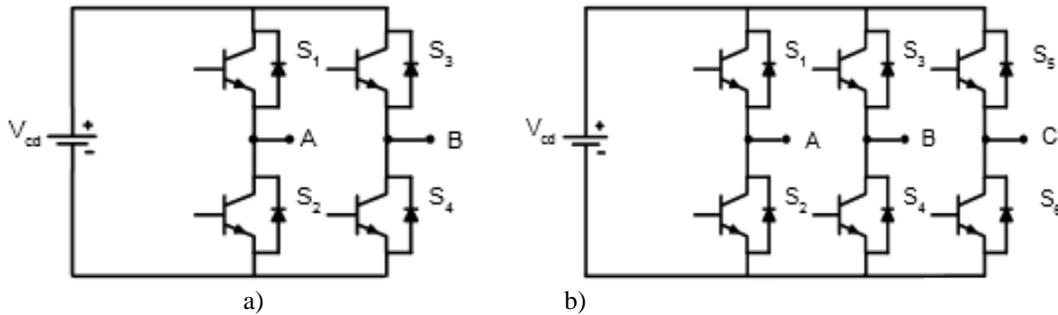


Fig. 1.6 Inversor puente completo: a) inversor monofásico, b) inversor trifásico.

1.7.3 Generalidades sobre el Inversor Fuente-Z

Esta sección muestra el Inversor trifásico Fuente-Z, propuesto por Peng en 2002-2003 [2] [3], abordando las características más importantes que esta topología presenta. La Fig. 1.1 muestra la estructura básica de un Inversor Fuente-Z conectado a una misma fuente de tensión de CD y a una carga trifásica de CA, utilizando Transistores Bipolares de Puerta Aislada IGBT's (Insulated Gate Bipolar Transistors) y diodos en antiparalelo como interruptores. A pesar de la estructura mostrada en la Fig. 1.1, se puede conectar a una misma fuente de tensión CD y a la carga usando otros tipos de interruptores, tales como IGBT's con diodos o tiristores en serie, estos tipos de interruptores alternativos no se pueden utilizar en un VSI convencional. También es posible mantener la estructura de la Fig. 1.1 y conectarlo a una fuente de corriente de CD. En la fuente de corriente del inversor, la fuente de CD puede estar conectada a la carga de CA a través de IGBT's con diodos o tiristores en serie, nunca a través de IGBT's con diodos en antiparalelo [3].

Como puede verse en la Fig. 1.1, la malla o Red-Z consta de dos bobinas L_1 y L_2 ; y dos condensadores C_1 y C_2 conectados en la forma de una X. La fuente de voltaje CD puede ser implementado por un conjunto de paneles fotovoltaicos, una batería, una pila de combustible o un condensador. Las inductancias L_1 y L_2 de Red pueden ser implementadas por inductores separados o inductores divididos. Las capacitancias C_1 y C_2 pueden ser implementadas por condensadores electrolíticos, porque estos voltajes son siempre condensadores unipolares. El diodo D_1 es parte del ZSI y es esencial durante la función de elevación, cuya función es conducir corriente y bloquear la tensión varias veces cada periodo de conmutación, por lo que es importante tener pequeños tiempos de recuperación inversa. Por lo tanto, en la implementación práctica, se utilizan diodos de recuperación rápida [3].

Dentro de los estados de conmutación de los inversores convencionales VSI y CSI es posible obtener 8 estados de conmutación: seis vectores activos y dos vectores nulos. El ZSI

tiene, además de los 8 ocho estados de conmutación, otros estados que no están permitidos en estas topologías (descritos más adelante). Estos nuevos estados se obtienen por el cierre simultáneo de los interruptores superior e inferior de la misma red del ZSI. Si dos interruptores de la misma red están cerrados en un inversor VSI o CSI (a través de un disparo), ocurre un cortocircuito no deseado en el bus de CD. Como el inversor ZSI tiene una Red-Z entre el bus de CD y los interruptores, es posible aplicar un disparo a través de uno o dos elementos, la Red-Z inhibe el cortocircuito en el bus de CD. El disparo puede ocurrir a través de uno, dos o tres elementos del ZSI, añadiendo siete posibilidades más.

1.7.4 Generalidades sobre los Inversores Multinivel

Como ya se mencionó anteriormente los inversores de fuente de voltaje producen un voltaje o una corriente de salida cuyos niveles son 0 ó $\pm V_{cd}$. Para obtener una forma de voltaje o corriente con alta calidad, con un contenido mínimo de rizo, requieren conmutación con alta frecuencia, junto con diversas estrategias PWM, pero en aplicaciones con alta potencia y alto voltaje, éstos inversores tienen algunas limitaciones para operar a alta frecuencia, principalmente a causa de las pérdidas por conmutación y limitaciones de las especificaciones nominales de los dispositivos. Además, los dispositivos semiconductores de conmutación se deben usar de tal manera que se eviten problemas asociados con sus combinaciones en serie-paralelo, necesarias para obtener la capacidad de manejo de altos voltajes y corrientes.

Los Inversores Multinivel han atraído mucho interés en el campo de potencia. Presentan un conjunto nuevo de propiedades adecuadas para usarse en compensación de potencia reactiva. Puede ser más fácil producir un inversor de alta potencia y un alto voltaje con la estructura multinivel, por la forma en la que se controlan en la estructura los esfuerzos dieléctricos del dispositivo, ya que al aumentar la cantidad de niveles de voltaje en el inversor sin necesidad de mayores especificaciones nominales de los dispositivos individuales, se puede aumentar la potencia nominal (usando una red de fijación de voltaje formada por diodos), además de reducir en forma importante el contenido de armónicas en la forma de onda de voltaje de salida [4] [5]. La estructura única de fuente de voltaje de los inversores multinivel les permite alcanzar altos voltajes con pocas armónicas, sin uso de transformadores o de dispositivos de conmutación sincronizada conectados en serie. Una estructura multinivel con más de tres niveles puede reducir en forma apreciable el contenido de armónicas. En 1980 Nabae, Takahashi y Akagi presentaron su trabajo acerca de convertidores multinivel que supone uno de los puntos de partida de la investigación propuesta, convirtiéndose con el tiempo en una opción competitiva para la conversión de energía en el rango de media y alta potencia [9] [10]. El desarrollo de la tecnología multinivel se ha visto marcado por dos factores, el progreso de la tecnología de materiales semiconductores MOSFET (del inglés, Metal Oxide Semiconductor Fiel Effect Transistor-Transistor Metal Oxido Semiconductor de Efecto de Campo) e IGBT's en los últimos años y la evidente evolución de los procesadores digitales de señal como microprocesadores, DSP's (Digital Signal Processors) y FPGA's. Estos factores han ido consolidando a los inversores multinivel como una buena opción desde el punto de vista técnico y económico. Los inversores multinivel son básicamente arreglos de semiconductores de potencia y fuentes de CD. Las conmutaciones adecuadas de los semiconductores de potencia permiten que se forme un escalonamiento en la tensión de las fuentes de CD, generando una onda de voltaje de varios niveles [11].

Algunas ventajas que ofrece esta topología de inversión se listan a continuación:

- Permiten aumentar varias veces la tensión de trabajo del convertidor empleando los mismos interruptores que en un convertidor convencional. Cada interruptor debe bloquear únicamente la tensión correspondiente a un nivel de tensión continua, evitando el inconveniente del equilibrado estático y dinámico inherente a la asociación serie de dispositivos electrónicos [8] [11], reduciendo así el esfuerzo de los dispositivos semiconductores y permitiendo trabajar a mayores potencias.
- Contribuyen a la reducción del contenido armónico en tensiones y corrientes, aspecto de gran importancia frente a la regulación y supervisión por parte de las entidades del estado a las empresas distribuidoras que se hace cada vez más exigente.

A pesar de su funcionalidad, ésta topología también presenta algunos inconvenientes:

- Se emplea un número de interruptores elevado, por tanto la complejidad del control se incrementa significativamente.
- Pueden existir problemas de desequilibrios en las tensiones de los condensadores lo que podría afectar la acción del convertidor ya que un requisito indispensable es que dichas tensiones se mantengan constantes en cualquier condición de trabajo, con objeto de que cada condensador actúe como una fuente de tensión constante.

Las características clave de una estructura multinivel son las siguientes:

- La adición de un nivel de voltaje implica la adición de un dispositivo de conmutación principal a cada fase. El voltaje fundamental de salida del inversor se establece con el voltaje CD de canal, V_{cd} que se puede controlar con un enlace variable de CD.
- Con niveles adicionales de voltaje, el voltaje y la potencia de salida aumentan, la forma de onda de voltaje tiene más ángulos de conmutación libre que se pueden seleccionar para eliminar armónicas, por lo que se reducen las necesidades de filtrado.
- En ausencia de alguna técnica PWM, se pueden evitar pérdidas por conmutación. El aumento de voltaje y la potencia de salida no requiere un aumento en las especificaciones del dispositivo individual.
- Se incorpora a la estructura, ya sea por diodos fijadores o por capacitores, el voltaje estático y dinámico compartido entre los dispositivos de conmutación. Los dispositivos de conmutación no tienen problemas de voltaje compartido alguno. Por esta razón, los inversores multinivel se pueden aplicar con facilidad en altos voltajes, como impulsores de grandes motores y en fuentes de servicio eléctrico.

1.7.4.1 El concepto Multinivel:

De acuerdo al sistema de un inversor trifásico de la Fig. 1.2 con un voltaje V_{cd} , los capacitores conectados en serie forman el tanque de energía del inversor, proporcionando algunos nodos con los que se puede conectar el inversor multinivel. Cada capacitor tiene el mismo voltaje, E_m , definido por:

$$E_m = \frac{V_{cd}}{m - 1} = \frac{V_{cd}}{3 - 1} = \frac{V_{cd}}{2} = V_{cd} \dots 1.5 \quad \text{Donde } m \text{ es la cantidad de niveles}$$

El termino **nivel** es la cantidad de nodos al que el inversor puede acceder. Un inversor en **m** niveles necesita **(m – 1)** capacitores. Los voltajes de fase de salida se pueden definir como los voltajes entre las terminales de salida del inversor y el punto de tierra, representado por **0**, Fig. 1.2. Además, los voltajes y las corrientes de entrada a nodo se pueden referenciar a los voltajes de terminal de entrada del inversor con referencia al punto de tierra (NPC), y las corrientes correspondientes de cada nodo de los capacitores hacia el inversor, respectivamente [6]. Por ejemplo, los voltajes (CD) de entrada a nodo se representan por V_1, V_2 , etc., y las corrientes (CD) de entrada al nodo se representan con I_1, I_2 , etc., la Fig. 1.2. Los voltajes V_a, V_b y V_c son valores rms de los voltajes de la línea de carga; I_a, I_b e I_c son los valores rms de las corrientes de la línea de carga. La Fig. 1.7 muestra el esquema de un polo en un inversor multinivel, donde V_a indica el voltaje de salida de fase, que puede asumir cualquier nivel de voltaje, dependiendo de la selección de voltaje (CD) de nodo, V_1, V_2 , etc., así, un polo en un inversor multinivel se puede considerar como un interruptor de un polo y varios tiros. Al conectar el interruptor a un nodo a la vez, se puede obtener a salida que se desee. La Fig. 1.3 muestra el voltaje de salida típico de un inversor en cinco niveles, respecto a la Fig. 1.7.

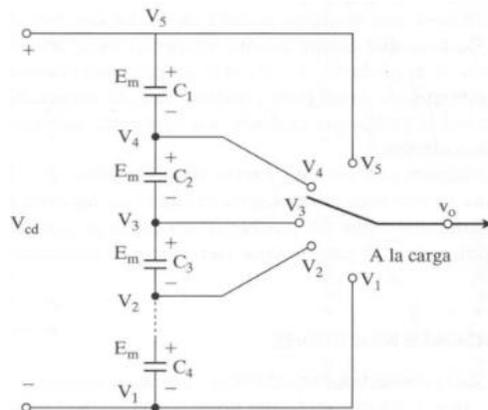


Fig. 1.7 Esquema por interruptor de un polo del inversor Multinivel [6].

La implementación real del interruptor requiere dispositivos de conmutación bidireccional para cada nodo. La estructura topológica del inversor debe:

1. **Tener el mínimo de dispositivos de conmutación que sea posible;**
2. **Ser capaz de resistir voltajes muy altos para aplicaciones de alta potencia, y;**
3. **Tener menor frecuencia de conmutación para cada dispositivo de conmutación.**

1.7.4.2 Topologías del Inversor Multinivel

El objetivo general del convertidor multinivel es sintetizar un voltaje casi sinusoidal a partir de varios niveles de voltajes de CD. A medida que aumenta la cantidad de niveles, la forma de salida sintetizada tiene más escalones, que producen una onda en escalera que tiende a la forma de onda que se desea. También, al añadir más escalones a la forma de onda, disminuye la distorsión armónica de la onda de salida, y tiende a cero a medida que aumenta la cantidad de niveles. A medida que aumenta la cantidad de niveles, también aumenta el

voltaje que puede suministrarse sumando múltiples niveles de voltaje [6]. El voltaje de salida durante el medio ciclo positivo se puede determinar a partir de:

$$v_{ao} = \sum_{n=1}^m E_n * SF_n \dots\dots 1.6$$

Donde:

SF_n Es la función de conmutación o de control del n-ésimo nodo, y su valor es 0 o 1.

En general, los voltajes entre las terminales de capacitor, E_1, E_2, \dots , tienen todos el mismo valor E_m . Así, el voltaje pico de salida es:

$$v_{ao(pico)} = (m - 1)E_m = V_{cd} \dots\dots 1.7$$

Para generar un voltaje de salida con valores positivos y negativos, la topología del circuito tiene otro conmutador para producir la parte v_{ab} negativa, de modo que:

$$v_{ab} = v_{ao} + v_{ob} = v_{ao} - v_{bo} \dots\dots 1.8$$

Básicamente existen tres topologías que han sido objeto de estudio y aplicación actualmente, las cuales se enlistan a continuación [8] [9]:

1. **Inversor Multinivel de fijación por diodos DCMLI.**
2. Inversor Multinivel con Capacitores Flotantes FCMLI (del inglés, Flying-Capacitor multilevel inverter).
3. Inversor Multinivel con Conexión en Cascada de Puentes Monofásicos.

Sin embargo existen otras topologías que aunque de menor interés y aplicación real, vale la pena mencionarlas.

- Inversor asimétrico híbrido.
- Inversores acoplados por transformador.
- Inversor con puentes en cascada y fuentes CC/CC con aislamiento.
- Inversor multinivel generalizado.
- Inversor con conmutación suave.
- Rectificador elevador de tres niveles o inversor matricial.

1.7.4.2.1 Inversor Multinivel de Fijación por Diodos

Un inversor multinivel (de m niveles) con diodo fijador consiste, en forma típica, en (m - 1) capacitores en el canal de CD y produce m niveles en el voltaje de fase. Este inversor se puede considerar como el origen del inversor multinivel reciente y ha sido la topología de mayor estudio y aplicación en la actualidad, Fig. 1.4. En este inversor, la tensión del bus de continua está dividido por dos condensadores donde el punto medio 0 se define como el punto neutro. La tensión de salida en cada una de las fases, puede tomar tres niveles, $\frac{V_{pn}}{2}, 0$ y $-\frac{V_{pn}}{2}$. Los diodos conectados al punto medio son los elementos que fijan las tensiones de bloqueo de los interruptores a una fracción de la tensión del bus de continua, por lo tanto son el elemento clave de esta topología. Esta topología puede extenderse a más niveles pero se aumenta considerablemente el número de dispositivos interruptores utilizados. En un inversor multinivel de más de tres niveles se aumenta la complejidad del modelo matemático y por consiguiente la de la estrategia de control y conmutación. En la

Fig. 1.8, se muestra una rama de un inversor de cinco niveles con fijación por diodos. El orden de numeración de los interruptores es $S_{a1}, S_{a2}, S_{a3}, S_{a4}, S'_{a1}, S'_{a2}, S'_{a3}$ y S'_{a4} . El canal de CD consiste en cuatro capacitores, C_1, C_2, C_3 y C_4 . Para un canal V_{cd} de voltaje CD, el voltaje a través de cada capacitor es $\frac{V_{cd}}{4}$, y el esfuerzo dieléctrico de cada dispositivo se limita mediante diodos fijadores, a un nivel de voltaje de capacitor, $\frac{V_{cd}}{4}$. Una rama de inversor en m niveles requiere $(m - 1)$ capacitores, $2(m - 1)$ dispositivos de conmutación y $(m - 1)(m - 2)$ diodos fijadores.

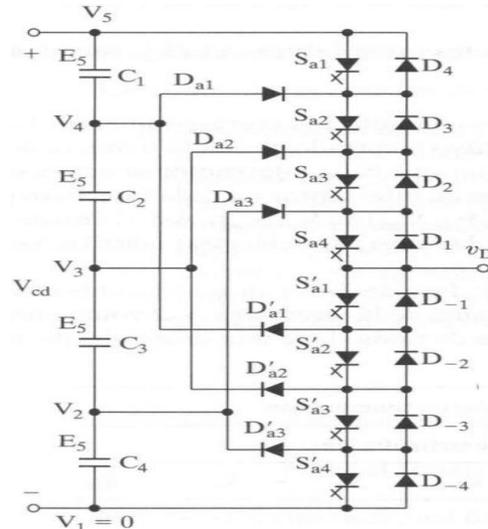


Fig. 1.8 Inversor multinivel de cinco niveles con fijación por diodos, una rama [6].

a) **Propiedades principales del Inversor Multinivel con Diodo Fijador [6]:**

1. **Especificación de alto voltaje para diodos de bloqueo;** Aunque cada dispositivo de conmutación solo debe bloquear un nivel de voltaje $\frac{V_{cd}}{(m-1)}$, los diodos fijadores deben tener distintas especificaciones de bloqueo de voltaje en sentido inverso. Por ejemplo, cuando todos los dispositivos inferiores S'_{a1} a S'_{a4} están activados, el diodo D'_{a1} debe bloquear tres voltajes de capacitor, es decir, $\frac{3V_{cd}}{4}$. De igual manera, los diodos D_{a2} y D'_{a2} deben bloquear $\frac{2V_{cd}}{4}$, y D_{a3} debe bloquear $\frac{V_{cd}}{4}$. Aunque se supone que cada interruptor principal bloquea el voltaje nominal de bloqueo, este voltaje para cada diodo fijador, en el inversor con diodo fijador, depende de su posición en la estructura. En la rama de m niveles puede haber dos diodos, viendo cada uno un voltaje de bloqueo a partir de la siguiente ecuación:

$$V_D = \frac{m - 1 - k}{m - 1} * V_{cd} \dots 1.9$$

Donde:

m: Es la cantidad de niveles

k: Va de 1 a $(m - 2)$

Vcd: Es el voltaje total de enlace CD

2. Si el voltaje nominal de bloqueo de cada diodo es igual al del dispositivo conmutador, la cantidad de diodos necesarios para cada fase está dada por la ecuación 1.10, cuando

m es suficientemente grande, la cantidad de diodos hace impráctica la implementación del sistema, lo cual limita, de hecho, la cantidad de niveles:

$$N_p = (m - 1)(m - 2), m = 5, N_p = (5 - 1)(5 - 2) = 12, m = 3, N_p = 2 \dots 1. 10$$

3. **Diferente especificación nominal de dispositivo conmutador;** El trabajo de conducción desigual (entre interruptores) requiere distintas especificaciones nominales de corriente para los dispositivos de conmutación. En consecuencia, si en el diseño del inversor se usa el ciclo de trabajo promedio para determinar las especificaciones del dispositivo, los interruptores superiores pueden estar sobredimensionados y los inferiores subdimensionados. Si el diseño se usa la condición del peor de los casos, cada fase tendrá $2 \times (m - 2)$ dispositivos superiores sobredimensionados.
4. **Desbalanceo del voltaje de capacitores;** Como los niveles de voltaje en las terminales de capacitor son diferentes, las corrientes que suministran los capacitores también son diferentes. Cuando se opera con factor de potencia unitario, el tiempo de descarga para la operación de inversor (o el tiempo de carga para la operación de rectificación), es distinto para cada capacitor. Este perfil de carga de capacitor se repite cada medio ciclo, y el resultado son voltajes desbalanceados de capacitor, entre los distintos niveles, problema que se puede resolver con métodos de reemplazo de capacitores por una fuente controlada de voltaje CD constante, reguladores de voltaje PWM o con baterías.

Las principales ventajas de éste tipo de inversor son:

- Utiliza pocos condensadores en comparación con otras topologías existentes.
- La tensión a la que está sometido cada interruptor es igual a $\frac{V_{cd}}{(m-1)}$, evitando así someter a los interruptores a altas tensiones, deteriorando su funcionamiento.
- Se puede conectar directamente al bus de continua sin necesidad de crear otros buses adicionales.
- Cambio de estado accionando solo un interruptor, el método de control es sencillo, por lo que la eficiencia del inversor es alta porque todos los dispositivos pueden ser conmutados a la frecuencia fundamental.
- Cuando la cantidad de niveles es suficientemente alta, el contenido de armónicas es lo suficientemente bajo para evitar el uso de filtros.

Sin embargo, con éste tipo de inversor puede presentar los siguientes inconvenientes:

- Se requiere que los diodos sean de recuperación rápida y que soporten la corriente nominal del inversor.
- Es importante que las tensiones en los condensadores se mantengan equilibradas durante la operación del inversor, de otro modo se pueden obtener tensiones de salidas desequilibradas.
- A medida que se aumentan los niveles, aumenta en forma considerable la cantidad de elementos necesarios para el montaje del inversor.
- Es difícil controlar el flujo de la potencia real del convertidor individual, en sistemas con varios convertidores.

1.7.4.2.2 Inversor Multinivel con Diodo Fijador Mejorado

El problema de voltajes múltiples de bloqueo que tienen los diodos fijadores se puede combatir conectando en serie una cantidad adecuada de diodos, Fig. 1.9. Sin embargo, a causa de faltas de coincidencia entre las características de los diodos, el voltaje no se comparte en partes iguales. En la Fig. 1.10 se ve una versión mejorada del inversor con diodo fijador [12], para cinco niveles. El orden de numeración de los interruptores es $S_1, S_2, S_3, S_4, S'_1, S'_2, S'_3$ y S'_4 . Hay un total de 8 interruptores y 12 diodos de igual especificación de voltaje, igual que en el inversor multinivel con diodo fijador con diodos conectados en serie. Esta arquitectura piramidal se puede extender a cualquier nivel, a menos que se limite en la práctica por otras circunstancias. Una rama de Inversor de cinco niveles requiere $(m - 1) = 4$ capacitores, $(2(m - 1)) = 8$ interruptores, y $((m - 1)(m - 2)) = 12$ diodos fijadores [6].

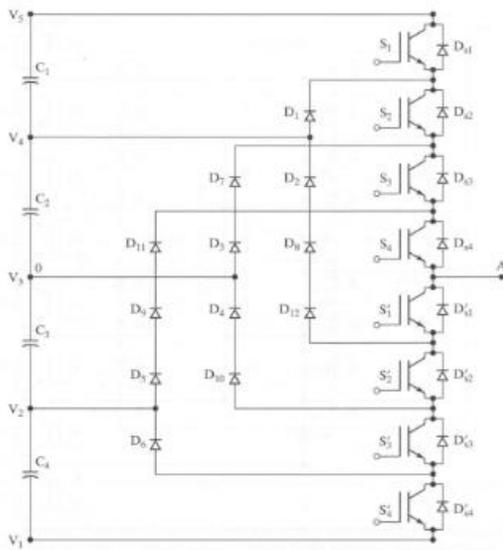


Fig. 1.9 Inversor multinivel con diodos fijadores en serie [6].

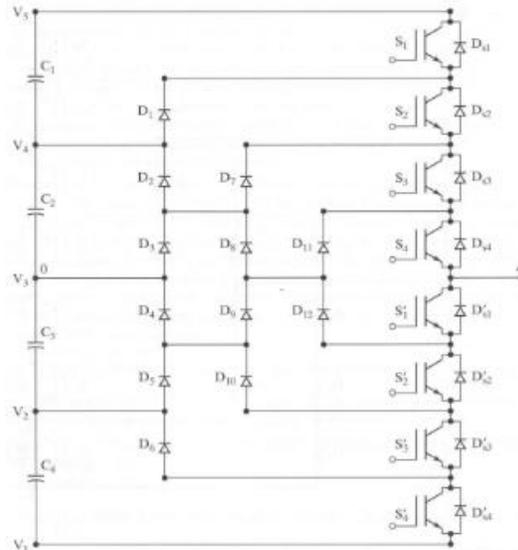


Fig. 1.10 Inversor multinivel con diodo fijador mejorado, con diodos fijadores distribuidos [12].

1.7.4.2.3 Inversor Multinivel con Capacitores Flotantes

Este inversor a diferencia del anterior, bloquea la tensión de cada interruptor a través de capacitores como se observa en la Fig. 1.11 del convertidor monofásico de puente completo de cinco niveles, basado en cinco capacitores flotantes. El orden de numeración de los interruptores es $S_{a1}, S_{a2}, S_{a3}, S_{a4}, S'_{a4}, S'_{a3}, S'_{a2}$ y S'_{a1} . Nótese que el orden de numeración es distinto al del inversor con diodo fijador de la Fig. 1.8. La numeración no importa, mientras los interruptores se activen y desactiven en la secuencia correcta para producir la forma de onda que se desee. Cada rama de fase tiene una estructura idéntica. Suponiendo que cada capacitor tenga el mismo voltaje nominal, la conexión de los capacitores en serie indica el nivel de voltaje entre los puntos de fijación. Tres capacitores de balanceo de lazo interno (C_{a1}, C_{a2} y C_{a3}) para el ramal a de fase son independientes de la rama b de fase. Todas las ramas de fase comparten los mismos capacitores de enlace de CD (C_1 a C_4) [6].

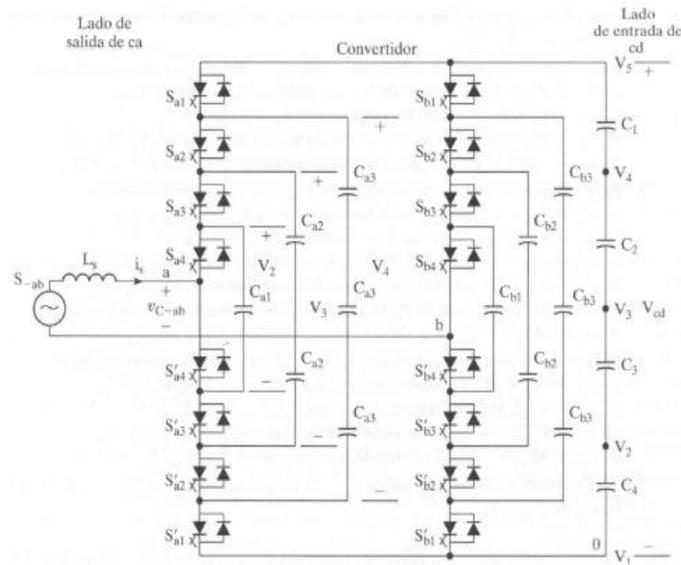


Fig. 1.11 Inversor multinivel monofásico puente completo con capacitores flotantes de cinco niveles [6].

El nivel de voltaje de voltaje en el convertidor con capacitores flotantes es parecido al del convertidor tipo diodo fijador. Esto es, el voltaje de fase v_{a0} de un convertidor en m niveles, tiene m niveles (incluyendo el nivel de referencia), y el voltaje de línea v_{ab} tiene $(2m - 1)$ niveles. Suponiendo que cada capacitor tiene la misma especificación de voltaje que la del dispositivo de conmutación, el canal de CD necesita $(m - 1)$ capacitores si el convertidor es de m niveles. La cantidad necesaria de capacitores para cada fase es:

$$N_c = \sum_{j=1}^m (m - j) , m = 5, N_c = 10 \dots \dots 1. 11$$

a) Propiedades principales del Inversor Multinivel con Capacitores Flotantes [6]:

- 1. Gran cantidad de capacitores;** El inversor requiere una gran cantidad de capacitores de almacenamiento. Suponiendo que el voltaje nominal de cada capacitor sea el mismo que la de un dispositivo de conmutación, un convertidor en m niveles requiere un total de $(m - 1) \times \frac{(m-2)}{2}$ capacitores auxiliares por rama de fase, y además $(m - 1)$ capacitores de canal principal. Al contrario, un inversor con diodo fijador solo requiere $(m - 1)$ capacitores con el mismo voltaje nominal. Así, para $m = 5$, $N_c = (5 - 1) \times \frac{(5-2)}{2} + (5 - 1) = 10$, en comparación con $N_c = 4$ para el tipo con diodo fijador.
- 2. Balanceo de voltaje de capacitor;** a diferencia del inversor con diodo fijador, el FCMLI tiene redundancia en sus niveles internos de voltaje. Un nivel de voltaje es redundante si puede sintetizarse con dos o más combinaciones validas de interruptor. La disponibilidad de redundancias de voltaje permite controlar los voltajes individuales de capacitor. Para producir el mismo voltaje de salida, el inversor puede utilizar distintas combinaciones de capacitores, permitiendo la carga o descarga

preferencial de los capacitores individuales. Esta flexibilidad facilita la manipulación de los voltajes de capacitor, y el mantenerlos en sus valores correctos. Es posible emplear dos o más combinaciones de interruptor para niveles intermedios de voltaje (es decir, $\frac{3V_{cd}}{4}$, $\frac{V_{cd}}{2}$ y $\frac{V_{cd}}{4}$) en uno o varios ciclos de salida, para balancear la carga y la descarga de los capacitores. Así, con una selección adecuada de combinaciones de interruptor, se puede usar este tipo de inversor para conversiones de potencia real, sin embargo, en éste caso la selección de una combinación de interruptores se hace muy complicada, y la frecuencia de conmutación debe ser mayor que la frecuencia fundamental.

Las ventajas que ofrece este inversor son:

- Estos inversores proporcionan redundancia de combinaciones de interruptor, para balancear distintos niveles de voltaje. El control de tensión de los condensadores se hace a través de los estados redundantes del inversor, por lo que el control del equilibrio de las tensiones de los condensadores flotantes puede hacerse de forma independiente en cada rama, mientras que en el inversor anterior debe hacerse para el sistema trifásico completo.
- No se utilizan diodos de potencia, reduciendo la problemática asociadas a estos dispositivos.
- Grandes cantidades de capacitores de almacenamiento pueden proporcionar operación durante cortes de energía.
- Como el inversor con diodo fijador con más niveles de voltaje, el contenido de armónicas es suficientemente bajo para no necesitar filtros.
- Se puede controlar el flujo de potencia tanto real como reactiva.

Los inconvenientes que presenta este tipo de inversor son:

- El número de condensadores utilizados es alta, y se deben tomar del mismo valor debido a que por ellos circula la misma corriente y de esta forma se pueden obtener valores similares en la tensión de rizado. Se debe definir un método de carga inicial de los condensadores flotantes.
- Existe el peligro de obtener efectos de resonancia debido a la cantidad de condensadores.
- El control de inversor puede ser muy complicado, y la frecuencia de conmutación y las pérdidas por conmutación son altas para la transmisión de potencia real.
- Puede ser poco sensible a cambios de tensión rápidos en el bus de continua, debido a que los condensadores flotantes tardan cierto tiempo en alcanzar los valores de tensión normales para su funcionamiento ocasionando perturbaciones en la forma de onda de la salida.
- Se requiere una cantidad excesiva de capacitores de almacenamiento cuando la cantidad de niveles es grande. Los inversores en altos niveles son más difíciles de encapsular por los voluminosos capacitores de potencia, que también son más costosos.

1.7.4.2.4 Inversor Multinivel con Conexión en Cascada de Puentes Monofásicos

Un Inversor Multinivel en Cascada consiste en una serie de unidades inversoras de medio puente (monofásicas, puente completo) con fuentes de continua independientes. La Fig. 1.12 muestra un convertidor en cascada de tres niveles, en cuyo caso solo es necesario un puente por fase.

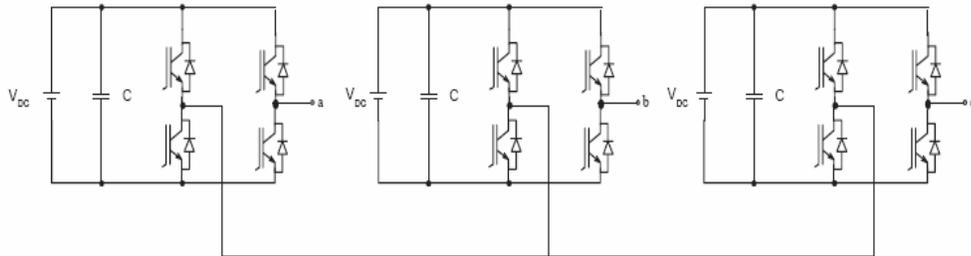


Fig. 1.12 Inversor en cascada de tres niveles [13].

Para obtener un número par de niveles para esta topología, se debe adicionar una rama de dos niveles a cada una de las fases del convertidor, en la Fig. 1.13 se muestra como añadiendo una rama de dos niveles por fase al inversor de tres niveles se obtiene uno de cuatro niveles.

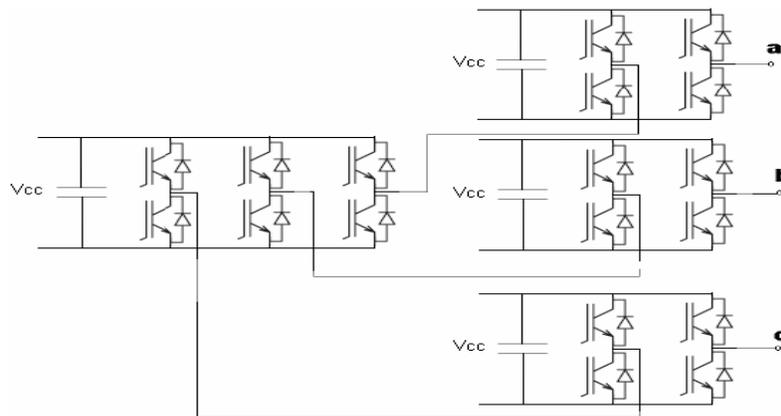


Fig. 1.13 Inversor en cascada de cuatro niveles [13].

La función general de este inversor multinivel es sintetizar un determinado voltaje a partir de varias fuentes separadas de corriente directa SDCS (del inglés, Several DC Sources) las cuales pueden ser baterías, celdas de combustible y/o celdas solares. La Fig. 1.14 a), muestra la estructura básica de un inversor monofásico en cascada con SDCS [14]. Cada SDCS está conectado a un inversor de medio puente. Los voltajes CA de terminal de los inversores en distintos niveles se conectan en serie. A diferencia del inversor con diodo fijador o de capacitores volantes, el Inversor en Cascada no requiere diodos fijadores de voltaje, ni capacitores de balanceo de voltaje.

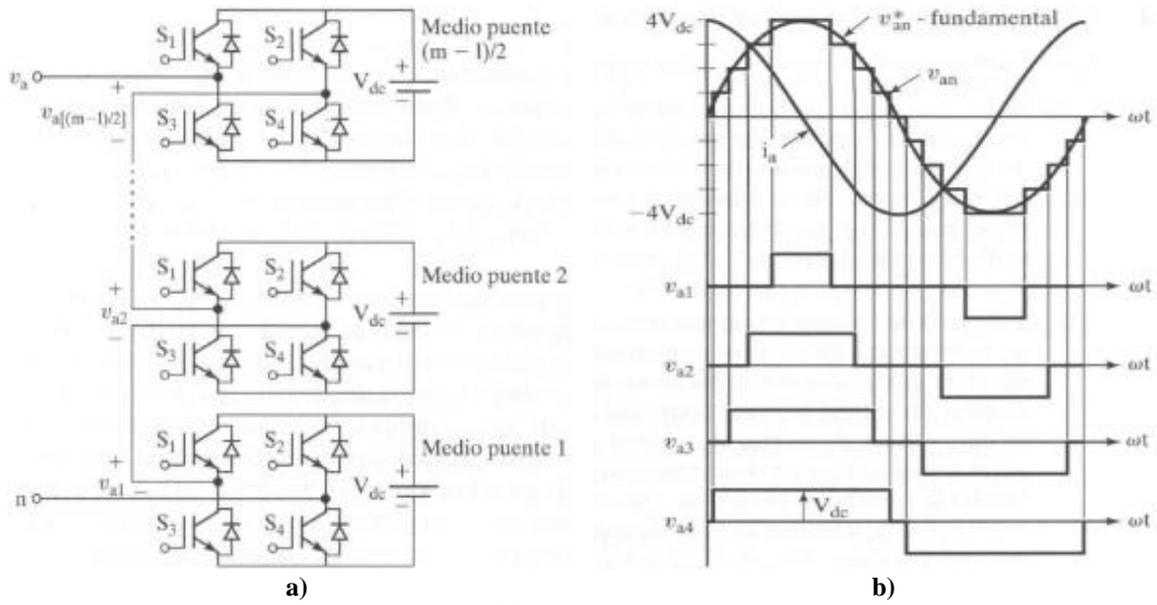


Fig. 1.14 Inversor multinivel monofásico en cascada de nueve niveles de medio puente a) diagrama del circuito b) forma de onda de salida de voltaje de fase [6].

a) Propiedades principales del Inversor Multinivel en Cascada [6]:

1. Para conversiones de potencia real, de CA-CD y después de CD-CA, los inversores en cascada necesitan fuentes separadas de CD. La estructura de las fuentes separadas de CD es adecuada para diversas fuentes de energía renovable, como celdas de combustible, energías renovables y biomasa.
2. No es posible conectar las fuentes de CD una a continuación de otra entre dos convertidores, porque puede introducirse un cortocircuito cuando dos convertidores seguidos no conmutan en forma sincrónica.
3. En comparación con los inversores con diodo fijador y con capacitores volantes, requiere la mínima cantidad de componentes para obtener la misma cantidad de niveles de voltaje.
4. Son posibles la distribución y el encapsulado optimizados del circuito, porque cada nivel tiene la misma estructura y no hay diodos fijadores adicionales, ni capacitores de balanceo de voltaje.
5. Se pueden usar técnicas de conmutación suave para reducir las pérdidas por conmutación y los esfuerzos en los dispositivos.

Los inversores multinivel en cascada presentan las siguientes ventajas:

- Su forma de construcción modular reduce la complejidad del montaje.
- Requieren menor número de componentes que otras topologías para alcanzar el mismo número de niveles, no requieren diodos de recuperación rápidos.
- El sistema de control es menos complejo ya que no hay condensadores que requieran mantener tensiones equilibradas.

Los inconvenientes que se pueden presentar en esta topología son:

- Se requieren fuentes independientes para cada puente por lo que se puede utilizar un transformador con múltiples secundarios, o varios transformadores.
- Los costos se pueden elevar por la inclusión de uno o más transformadores.
- Necesita fuentes de CD separadas para conversiones de potencia real, y con ello limita sus aplicaciones.

1.7.4.2.5 Comparación de necesidades de componentes en convertidores Multinivel

Los convertidores multinivel pueden remplazar a los sistemas existentes que usan convertidores multipulso tradicionales sin necesidad de transformadores [15]. Para un sistema trifásico, la relación entre la cantidad de m niveles y la cantidad p de pulsos se puede formular a partir de:

$$p = 6 \times (m - 1) \dots 1.12$$

Los tres convertidores tienen el potencial para aplicaciones en sistemas de alto voltaje y alta potencia, como un Generador de VAR estáticos SVG, (Static Var Generator), sin problema de desbalanceo de voltaje, porque el SVG no toma potencia real. La Tabla I, compara los requisitos de componentes por rama de fase entre los tres convertidores multinivel. Se supone que todos los dispositivos tienen la misma especificación de voltaje, pero no necesariamente la misma especificación de corriente.

Tipo de convertidor	Con diodo fijador	Con capacitores volantes	En cascada
Dispositivos de interrupción principal	$(m - 1) \times 2$	$(m - 1) \times 2$	$(m - 1) \times 2$
Diodos principales	$(m - 1) \times 2$	$(m - 1) \times 2$	$(m - 1) \times 2$
Diodos de fijación	$(m - 1) \times (m - 2)$	0	0
Capacitores de canal de CD	$(m - 1)$	$(m - 1)$	$\frac{(m - 1)}{2}$
Capacitores de balanceo	0	$(m - 1) \times \frac{(m - 2)}{2}$	0

Tabla 1.1 Necesidad de componentes por rama, en tres convertidores multinivel [6].

1.8 Dispositivos semiconductores de potencia

Para los dos tipos de inversores revisados anteriormente (medio puente y puente completo), se observa que los esfuerzos en corriente son los mismos. Sin embargo, los dispositivos tienen esfuerzos en tensión diferentes y son mayores en el inversor de medio puente. En ambos casos, para aplicaciones de alta tensión los interruptores deben manejar altos $\frac{dV}{dt}$ lo cual significa utilizar componentes robustos y por tanto costosos. Por otro parte, los picos de tensión que se provocan al conmutar los dispositivos semiconductores pueden llegar a un valor considerable siendo necesario sobredimensionar los componentes para evitar su destrucción. Por lo que es necesario tener en cuenta estas características en el diseño e implementación de los circuitos. En la siguiente sección se definen dos de los dispositivos semiconductores a utilizar en este trabajo de tesis, **el Diodo y el IGBT de potencia** [6].

Los dispositivos semiconductores utilizados en Electrónica de Potencia se pueden clasificar en tres grandes grupos, de acuerdo con su grado de controlabilidad:

1. **Dispositivos no controlados;** en este grupo se encuentran los **diodos**. Los estados de conducción o cierre (On) y bloqueo o abertura (Off) dependen del circuito de potencia. Por tanto, estos dispositivos no disponen de ningún terminal de control externo.
2. **Dispositivos semicontrolados;** en este grupo se encuentran, dentro de la familia de los Tiristores, los SCR (del inglés, Silicon Controlled Rectifier-Rectificador Controlado de Silicio) y los TRIAC (Triode of Alternating Current-Tríodo para Corriente Alterna). En este caso su puesta en conducción se debe a una señal de control externa que se aplica en uno de los terminales del dispositivo, comúnmente denominado puerta. Por otro lado, su bloqueo lo determina el propio circuito de potencia. Es decir, se tiene control externo de la puesta en conducción, pero no así del bloqueo del dispositivo.
3. **Dispositivos totalmente controlados:** en este grupo encontramos los transistores de Unión Bipolar, BJT (Bipolar Junction Transistor), los transistores de Efecto de Campo MOSFET, **los transistores Bipolares de Puerta Aislada IGBT** y los tiristores GTO (Gate Turn Off Thyristor-Tiristor Apagado por Compuerta), entre otros.

Diodo de Potencia: Un diodo semiconductor es una estructura P-N que, dentro de sus límites de tensión y corriente, permite la circulación de corriente en un único sentido. Detalles de funcionamiento, generalmente despreciados para los diodos de señal, pueden ser significativos para componentes de mayor potencia. La Fig. 1.15 muestra la estructura interna de un diodo de potencia, donde el diodo está formado por una sola unión PN, aunque la estructura de un diodo de potencia es algo diferente a la de un diodo de señal, puesto que en este caso existe una región N intermediaria con un bajo dopaje. El papel de esta región es permitir al componente soportar tensiones inversas más elevadas. Esta región de pequeña densidad de dopaje dará al diodo una significativa característica resistiva en polarización directa, la cual se vuelve más significativa cuanto mayor sea la tensión que ha de soportar el componente. Las capas que hacen los contactos externos son altamente dopadas, para obtener un contacto con características óhmicas y no del tipo semiconductor.

Por otro lado, la Fig. 1.16 muestra el símbolo y la característica estática corriente-tensión de un diodo de potencia. La tensión V_F (Voltage Forward) que se indica en la curva estática corriente-tensión se refiere a la caída de tensión cuando el diodo está conduciendo (polarización directa, en diodos de potencia ésta caída de tensión oscila aproximadamente entre 1 y 2 volts), además, esta caída depende de la corriente que circule, teniéndose una característica corriente-tensión bastante lineal en la zona de conducción. La tensión V_R (Voltage Reverse) representa la tensión de ruptura del dispositivo o, lo que es lo mismo, la máxima tensión inversa que puede soportar el diodo cuando éste está bloqueado (polarización inversa). Un diodo de potencia puede soportar tensiones inversas elevadas. Si se supera el valor de tensión de ruptura especificado por el fabricante, el diodo puede llegar a destruirse por excesiva circulación de corriente inversa y en definitiva, por excesiva disipación de potencia. Los diodos de potencia pueden llegar a soportar tensiones de ruptura de Kilovolts (KV), y pueden conducir corrientes de Kiloamperes (KA). Evidentemente, el tamaño del diodo condiciona sus características eléctricas, llegándose a tener diodos con tamaños del orden de varios cm^2 . Como ya se ha mencionado, los diodos son interruptores unidireccionales en los cuales no puede circular corriente en sentido contrario al de conducción. El único procedimiento de control consiste en invertir la tensión ánodo cátodo, no disponiendo de ningún terminal de control. En régimen transitorio cabe destacar dos fenómenos:

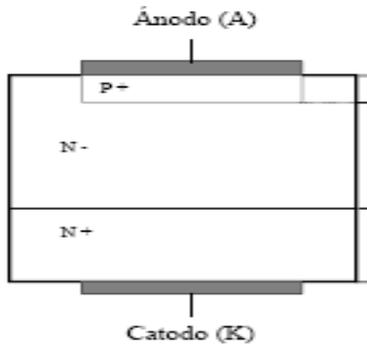


Fig. 1.15 Estructura interna de un diodo de potencia

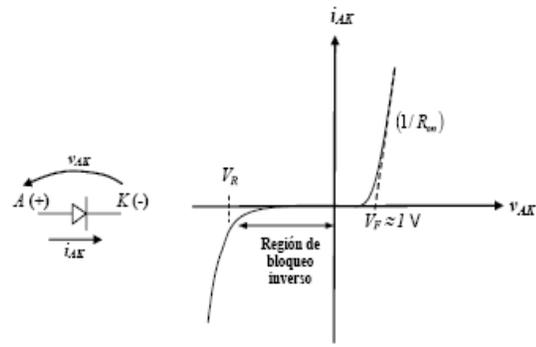


Fig. 1.16 Símbolo y característica estática corriente-tensión de un diodo de potencia

- a) **Recuperación Inversa:** El paso de conducción a bloqueo no se efectúa instantáneamente. Cuando el diodo se polariza directamente conduce una corriente I_D , la zona central de la unión está saturada de portadores mayoritarios, y aunque un circuito externo fuerce la anulación de la corriente aplicándole una tensión inversa, cuando la corriente pasa por cero aún existe una cantidad de portadores que cambian su sentido de movimiento y permiten la conducción de una corriente inversa durante un tiempo, denominado tiempo de recuperación inverso t_{rr} , (time reverse recovery), Fig. 1.17. Los parámetros definidos en el proceso de bloqueo dependen de la corriente directa, de la derivada de la corriente $\frac{di}{dt}$ y de la tensión inversa aplicada. El t_{rr} de un diodo normal es del orden de 10 μs , siendo el de los diodos rápidos del orden de algunos nanosegundos.
- b) **Recuperación Directa:** Es otro fenómeno de retardo de menor importancia que el anterior, cuando el diodo pasa de bloqueo a conducción, y cuyo efecto se muestra también en la Fig. 1.17. En el proceso de puesta en conducción, la respuesta del diodo es inicialmente de bloqueo a la corriente. Siendo esta respuesta quien provoca una sobre tensión V_{fp} , ocasionada por la modulación de la conductividad del diodo durante la inyección de portadores minoritarios. Así el diodo se asemeja a una resistencia donde su valor decrece con el tiempo. Esta resistencia equivalente está relacionada con la concentración de portadores minoritarios inyectados. Por tanto V_{fp} depende de la anchura y resistividad de la zona central del diodo.

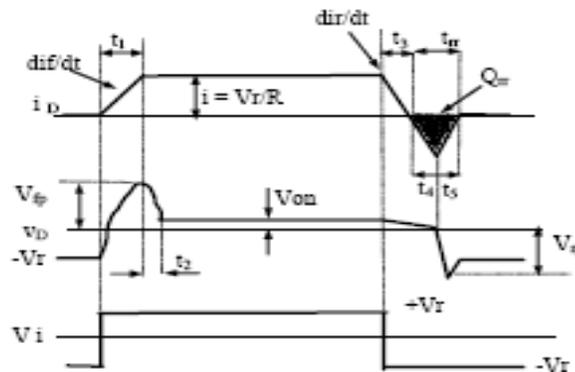


Fig. 1.17 Conmutación de un diodo.

Dependiendo de las aplicaciones, existen varios tipos de diodos, entre estos los más importantes:

- **Diodos Schottky:** Se utilizan cuando se necesita una caída de tensión directa muy pequeña (0.3 V típicos) para circuitos con tensiones reducidas de salida. No soportan tensiones inversas superiores a 50–100 V.
- **Diodos de recuperación rápida:** Son adecuados en circuitos de frecuencia elevada en combinación con interruptores controlables, donde se necesitan tiempos de recuperación pequeños. Para unos niveles de potencia de varios cientos de voltios y varios cientos de amperios, estos diodos poseen un tiempo de recuperación inversa t_{rr} de pocos nanosegundos.

IGBT: Éste transistor, es un dispositivo híbrido, ya que reúne la facilidad de disparo de los MOSFET con las pequeñas pérdidas en conducción de los BJT de potencia. La puerta está aislada del dispositivo, con lo que se tiene un control por tensión relativamente sencillo. Entre el colector y el emisor se tiene un comportamiento tipo bipolar, con lo que el interruptor es muy cercano a lo ideal. La Fig. 1.18 muestra la simbología para este tipo de transistores. Su velocidad de conmutación, en principio, similar a la de los transistores bipolares, ha crecido en los últimos años, permitiendo que funcione a centenas de KHz, en componentes para corrientes del orden de algunas decenas de amperios.

Principio de funcionamiento y estructura: La estructura del IGBT es similar a la del MOSFET, pero con la inclusión de una capa P+ que forma el colector del IGBT, Fig. 1.19. Gracias a la estructura interna puede soportar tensiones elevadas, típicamente 1200V y hasta 2000V, con un control sencillo de tensión de puerta. La velocidad a la que pueden trabajar no es tan elevada como la de los MOSFET's, pero permite trabajar en rangos de frecuencias medias, controlando potencias bastante elevadas. En términos simplificados se puede analizar el IGBT como un MOSFET en el cual la región N- tiene su conductividad modulada por la inyección de portadores minoritarios (agujeros), a partir de la región P+, una vez que J1 está directamente polarizada. Esta mayor conductividad produce una menor caída de tensión en comparación a un MOSFET similar. El control del componente es análogo al del MOSFET, o sea, por la aplicación de una polarización entre puerta y emisor. También para el IGBT el accionamiento o disparo se hace por tensión. La máxima tensión que puede soportar se determina por la unión J2 (polarización directa) y por J1 (polarización inversa). Como J1 divide 2 regiones muy dopadas, se puede concluir que un IGBT no soporta tensiones elevadas cuando es polarizado inversamente.

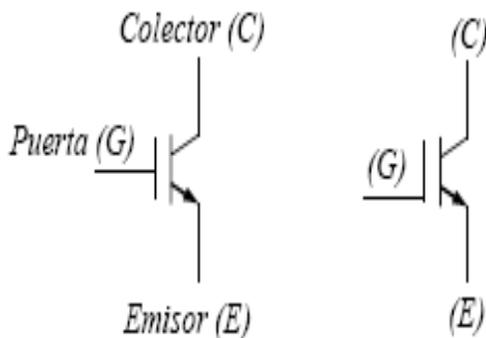


Fig. 1.18 Símbolo del transistor IGBT.

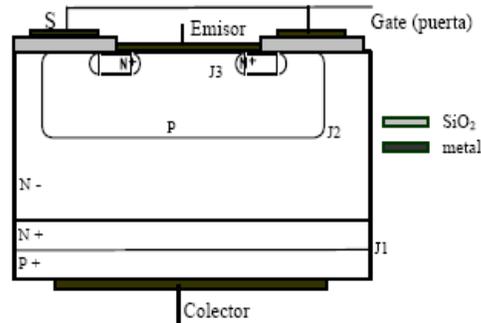


Figura 1.19 Estructura básica del transistor IGBT.

1.9 Sistemas Solares Fotovoltaicos

La utilización de sistemas alternativos de generación eléctrica, como lo son los sistemas fotovoltaicos, han permitido disminuir la demanda de energía eléctrica de la red de distribución, o bien alimentar energía a aquellos sectores en los que no existen servicios eléctricos. Actualmente es una alternativa factible para sectores de radiación solar alta, ya que es necesario contar con una gran superficie captadora para poder generar la energía requerida. México cuenta con condiciones excepcionales en radiación solar y horas de sol diarias.

1.9.1 Celdas solares

Las celdas solares Fotovoltaicas (Foto=luz, voltaico=electricidad) son dispositivos de estado sólido que convierten los fotones de la energía solar en electricidad, por medio del efecto fotovoltaico interno. Las celdas solares son el motor de cualquier sistema solar fotovoltaico, ya que sin ellas no se podría contar actualmente con paneles solares o cualquier otro dispositivo que funcione a base de esta energía. Una celda fotovoltaica tiene como función primordial convertir la energía captado por el sol en electricidad; cuentan con una propiedad conocida como efecto fotoeléctrico lo cual hace que los fotones de luz sean absorbidos para luego generar una foto-corriente que da origen a un flujo de electrones. Las celdas solares más utilizadas son las formadas por la unión semiconductoras “P-N” y construidas con silicio monocristalino, aunque existen diversos procedimientos y tipos de materiales para la construcción de éstas. Existen una serie de aspectos que afectan a todos los materiales semiconductores como lo es [16]:

- **Cristalinidad:** Indica la ordenación de los átomos en la estructura cristalina. El silicio, como otros materiales, puede aparecer en varias formas: monocristalino, policristalino o amorfo, y por otro lado
- **Coefficiente de absorción:** Indica como la luz incidente, que tiene longitudes de onda específicas contenidas en el espectro solar, puede penetrar en el material antes de ser absorbida. Un coeficiente de absorción pequeño significa que la luz no es absorbida fácilmente por el material. El coeficiente de absorción depende de dos factores:
 - a) El material que hay encima de la celda, el cual debe de tener un coeficiente mínimo de absorción.
 - b) Longitud de onda o energía de la luz que es absorbida.

Las partes más importantes de una celda solar son las capas del semiconductor, ya que es en aquellas donde se liberan los pares electrones-huecos que produce la foto-corriente eléctrica. Para hacer las estructuras de las distintas celdas solares, hoy en día se utilizan diferentes materiales semiconductores como el Silicio (Si), Cobre con Indio y Selenio (CuInSe), Cadmio con Telurio (CdTe), Selenio (Se), Galio con Arsénico (GaAs), etc., y cada uno de ellos tiene diferencias, ya que cada uno de estos elementos tiene distinto número de electrones de valencia, siendo el Silicio uno de los más aplicados actualmente, y dentro de las celdas solares fabricadas con a partir de este elemento se encuentran:

- **Celdas solares de Silicio Monocristalinos:** Este tipo de celda presenta una estructura completamente ordenada, su estructura cristalina es uniforme lo que hace que sea buen semiconductor. Es de difícil fabricación, ya que es preciso obtener el silicio puro y dopado de boro semiconductor tipo “P” y con fosforo, semiconductor tipo “N”. Se conoce por su monocromía azulada y/oscura y metálica que normalmente es una finísima capa de óxidos para evitar pérdidas por reflexión de la luz, Fig. 1.20, y tiene un rendimiento comercial que oscila entre el 15-18%.
- **Celdas solares de Silicio Policristalinos:** Este tipo de celda presenta una estructura ordenada por regiones separadas, sus enlaces irregulares de las fronteras cristalinas disminuye el rendimiento de la celda. Este tipo de celda se obtiene de igual forma que la de silicio cristalino, pero con menos fases de cristalización. Su superficie está estructurada en cristales con distintos tonos azules y grises metálicos, Fig. 1.20, y su rendimiento oscila entre el 12-14%.
- **Celdas solares de Silicio de capa fina (Amorfos):** Este tipo de celda presenta un grado de desorden cristalino y contiene un gran número de defectos estructurales y de enlace. Su proceso de fabricación es más simple que en los anteriores y menos costoso. Este tipo de celda se deposita en forma de lámina delgada sobre vidrio o plástico. Tiene un color marrón y/o negro homogéneo, Fig. 1.20, y su rendimiento es menor de 10%.

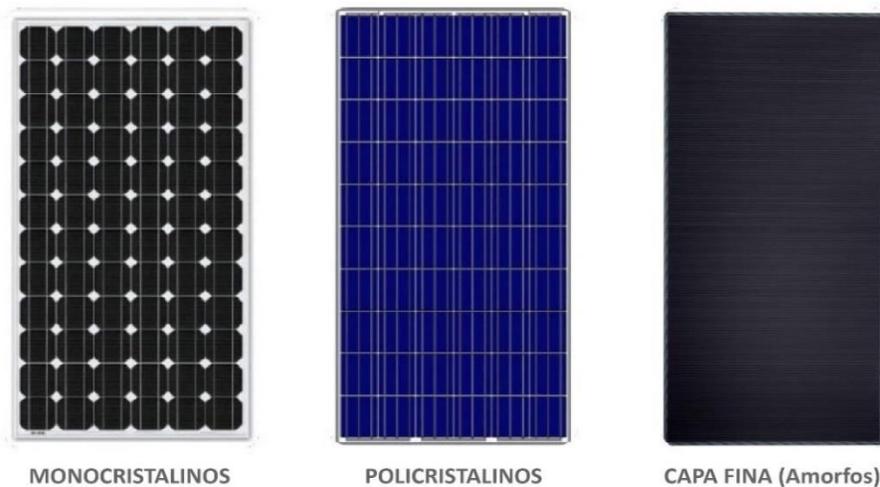


Fig. 1.20. Celdas solares de silicio Monocristalinos, Policristalinos y Amorfos.

1.9.2 Topologías de los Sistemas Solares Fotovoltaicos

Debido a la tensión baja que produce una celda fotovoltaica individual, que normalmente genera es 0.5 V, varias celdas deben ser combinadas en un módulo o panel fotovoltaico, los cuales a su vez son conectados entre ellos y en conjunto con diversos componentes mecánicos, eléctricos y electrónicos concurren entre ellos formar un Sistema Fotovoltaico transformando la energía solar disponible en energía eléctrica [17]. La electricidad generada puede ser almacenada, usada directamente, conectarla al sistema eléctrico, o hacer una combinación de ambas (usando una parte directamente, y alimentar a la red eléctrica la energía que no se utilice), Fig. 1.21, y en conjunto con la demanda de potencia se distinguen dos topologías con sus respectivas subdivisiones.

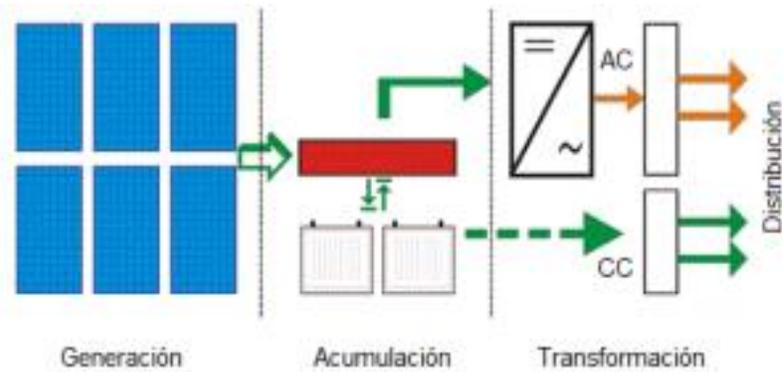


Fig. 1.21 Funcionamiento de un Sistema Fotovoltaico [16].

1.9.2.1 Sistema Solar Fotovoltaico Aislado de la Red

Son sistemas que trabajan de manera independiente al sistema eléctrico. Tiene como objetivo satisfacer total o parcialmente la demanda de energía de aquellos lugares donde no existe la red eléctrica de distribución o esta es de difícil acceso. Los Sistemas Fotovoltaicos Aislados, Fig. 1.22, pueden o no estar equipados con sistemas de acumulación de energía, ya que pueden entregarla a la carga directamente o a través de los acumuladores que proporcionara la energía posteriormente [17]. Esto implica que el campo fotovoltaico ha de estar dimensionado de forma que permita, durante las horas de insolación, alimentación a la carga y la recarga de las baterías de acumulación, están conformados por las siguientes partes:

- Un arreglo de paneles conectados en serie o paralelo.
- Un controlador, encargado regular la tensión, alimentar el inversor y a su vez las cargas CD.
- Inversor, encargado de hacer la conversión de la energía eléctrica de CD a CA.
- Panel de distribución, panel de circuitos eléctricos para alimentación de las cargas CA.
- Banco de baterías (el caso de contenerlo) para tener un respaldo en las horas donde no hay radiación solar.

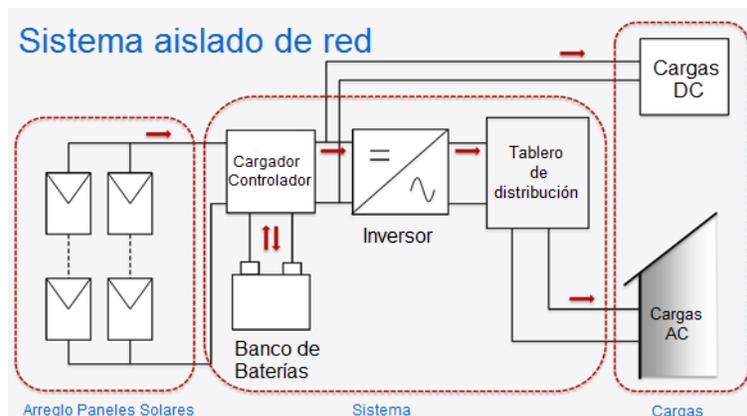


Fig. 1.22 Sistema Solar Fotovoltaico Aislado de la Red [17].

1.9.2.2 Sistema Solar Fotovoltaico Interconectado a la Red

Son sistemas que trabajan de manera interconectada al sistema eléctrico, Fig. 1.23, están conformados por las siguientes partes [17]:

- Un arreglo de paneles conectados en serie o paralelo.
- Inversor de interconexión, encargado de hacer la conversión de la energía eléctrica de CD a CA.
- Panel de distribución, panel de circuitos eléctricos que se alimenta del inversor o de la red eléctrica para alimentación de las cargas CA.
- Un controlador, encargado de cargar el banco de baterías, alimentar el inversor y a su vez las cargas CD.
- Banco de baterías (el caso de contenerlo) para tener un respaldo en las horas donde no hay radiación solar.

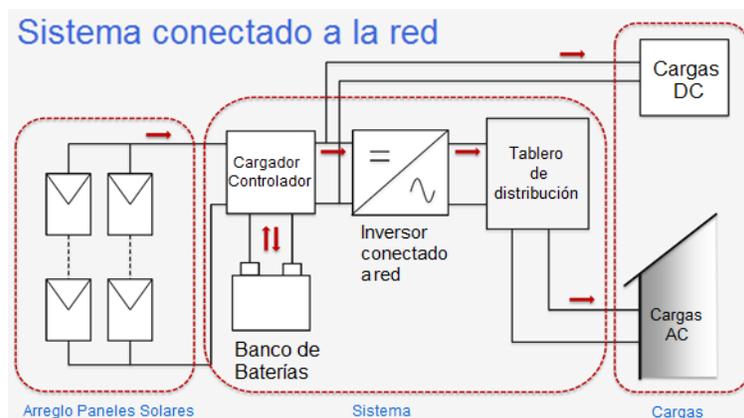


Fig. 1.23 Sistema Solar Fotovoltaico Interconectado a la Red [17].

1.9.2.3 Técnicas de Interconexión del Sistema Fotovoltaico a la Red Eléctrica

La corriente inyectada en la red tiene que ser sincronizada con la tensión de red, esto es necesario ya que el sistema fotovoltaico debe entrar a la red con igual frecuencia, tensión y periodo, de acuerdo a las normas presentes en [18-20]. Por lo tanto los algoritmos de sincronización son muy importantes para un sistema de distribución de energía. Estos algoritmos están basados en estrategias de control las cuales determinan el ángulo de fase de la tensión de la red que se utiliza para sincronizar las variables de control. Diferentes métodos para determinar el ángulo de fase han sido desarrollados [21] entre ellos se encuentran:

- Método clásico de detector de cruce por cero:** Entre todas las técnicas, el método de detector de cruce por cero, es uno de los métodos más sencillos para la obtención de la información sobre la fase de la tensión de la red. Los puntos de cruce por cero sólo pueden ser detectados en cada medio ciclo de la frecuencia de la red, por lo que la dinámica de control se ve perjudicada. Sin embargo, su desventaja principal radica en que se pueden detectar falsos cruces por cero debido a ruidos que existen en la red y a diferentes tipos de cargas conectadas a ella (armónicos de alta frecuencia, picos, etc.).

b) **Técnica de Lazo de Fase Bloqueado, PLL (del inglés Phase-Locked loop):** Hoy en día, la técnica PLL es el método el más utilizado para extraer el ángulo de fase de la tensión de la red. La PLL se implementa en sistema de referencia síncrono dq, su esquema se ilustra en la Fig. 1.24. Como se puede mencionar, esta estructura requiere la transformación $abc \rightarrow dq$, un regulador, por lo general, un PI, se utiliza para controlar esta variable, y la salida de este regulador es la frecuencia de la red. Después de la integración de la frecuencia de la red, se obtiene el ángulo de tensión de la red, que se transforma de nuevo del sistema estacionario $\alpha\beta$ al sistema giratorio de referencia síncrona dq. Este método tiene mejor rechazo de armónicos y de cualquier otro tipo de perturbaciones además permite superar el desequilibrio en la red.

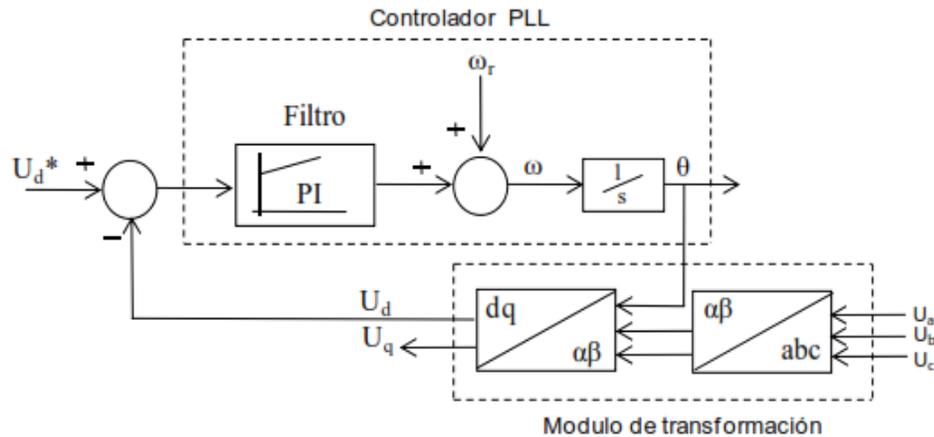


Fig. 1.24 Técnica PLL [21].

Realizando una recapitulación de los conceptos vistos anteriormente, cabe resaltar que dentro de un Sistema Fotovoltaico, este o no interconectado a la Red Eléctrica, dentro de la sección del inversor convencional (CSI y VSI), las problemáticas que presenta, es que de acuerdo a su estructura, necesita de etapas adicionales (elevación de voltaje), además de que sus interruptores soportan toda la tensión disponible en el bus de CD, estas desventajas impactan directamente en la demanda de corriente y voltaje de entrada, y por otro lado en la sección de la carga que de acuerdo a sus técnicas de modulación, en el aumento o disminución de la THD de las formas de onda de salida. En este contexto y partiendo del objetivo general de esta tesis, donde se contempla el diseño e implementación de un prototipo con la topología de Inversión Multinivel NPC acoplado a la Red-Z que reemplace al inversor convencional dentro de un sistema fotovoltaico, cabe señalar que las ventajas que ofrecen los inversores Fuente-Z y Multinivel (particularmente la configuración NPC), son primeramente la de contar con el mismo número de elementos que un inversor convencional y respectivamente poder mitigar las problemáticas que presenta este último [2-15]. De acuerdo a lo anterior y realizando el acoplamiento de ambos convertidores, se puede obtener las ventajas que ofrecen individualmente, para la cual es necesario establecer las técnicas de modulación presentes en cada uno de ellos y determinar así la técnica que mejor se acople para ser programada dentro de un FPGA, consecuentemente también es necesario realizar una evaluación de las características, que presenta cada uno de ellos respecto a un diseño en particular y determinar así su factibilidad. Es así como en los siguientes capítulos se realiza la descripción detallada de los pasos necesarios para cumplir con el objetivo previamente citado.

CAPÍTULO II

TÉCNICAS COMUNES DE MODULACIÓN Y MÉTODOS DE CONTROL PARA EL INVERSOR FUENTE-Z Y MULTINIVEL

2.1 Técnicas de Modulación PWM para el ZSI

Desde la primera publicación en 2002 [2], diversos artículos han sido publicados en relación a las técnicas PWM para el inversor ZSI. Entre estas destacan tres técnicas, las cuales son: Control de Elevación Simple, SBC (Simple Boost Control) propuesto por Peng en 2003 [2] [3] (mejor detallado en 2005 [22]); Control de Elevación Máxima, MBC (Maximun Boost Control) propuesta por Peng en 2005 [22]; y Elevación Máxima Constante, CMBC (Constant Maximun Boost Control, del inglés respectivamente) propuesto por Shen en 2006 [23]. La descripción de estas técnicas se detalla en la siguiente sección.

Por otro lado existen otros esquemas PWM, siendo una de las más reconocidas la Modulación por Vector Espacial, SVM (Space Vector Modulation), cuyo concepto se enunciara en la sección de técnicas de modulación para el Inversor Multinivel.

2.1.1 Técnica de Control de Elevación Simple, SBC

La técnica SBC, está adaptada para un inversor ZSI a partir de la técnica de Modulación de Ancho de Pulso Sinusoidal SPWM (Sinusoidal Pulse Width Modulation) utilizado en el inversor VSI [2] [3] [22]. En la técnica de SPWM, tres tensiones sinusoidales (de acuerdo al tema e estudio) de referencia se comparan con una tensión triangular a fin de generar las señales PWM de los interruptores del VSI. Si la tensión de referencia de una rama es mayor que la señal triangular, el interruptor de la parte superior de la rama se cierra. De lo contrario, se cierra el interruptor inferior de la misma rama. La misma lógica se sigue para las demás ramas del inversor VSI.

Para adaptar la técnica PWM sinusoidal al inversor ZSI, es necesario incluir las señales que generen estados de cortocircuito (vectores, descritos en el Capítulo III) en el inversor. Estos estados de cortocircuito deben sustituir sólo los estados nulos del ZSI, sin afectar a los estados activos que son responsables de la generación de las tensiones en la carga.

Se sabe que, en los instantes en los que la señal triangular es mayor o menor que las tres tensiones de referencia, se aplican a un vector nulo (cero) a la carga. Por lo tanto, en la técnica Simple Boost para el ZSI, dos tensiones V_{ST}^P y N_{ST}^N también se comparan con la señal triangular, de los cuales V_{ST}^P es una tensión constante con valor igual o mayor que el valor pico positivo de las tres tensiones de referencia V_{un} , V_{vn} y V_{wn} y N_{ST}^N es una tensión constante con valor igual o menor que el valor pico negativo de las tres tensiones de referencia. La lógica funciona como sigue:

- Si la señal triangular es mayor que V_{ST}^P o menor que N_{ST}^N , se cierran simultáneamente los seis interruptores del ZSI, es decir, se aplica un vector de cortocircuito V_{ST}^{UVW} ;
- Si la señal triangular es menor que V_{ST}^P y mayor que N_{ST}^N , se aplica la lógica de tensiones de referencia V_{un} , V_{vn} y V_{wn} utilizado en la técnica de PWM sinusoidal.

La Fig. 2.1 es una representación gráfica de la técnica Simple Boost para el inversor ZSI, donde se observa, que un vector de cortocircuito \mathbf{V}_{ST}^{UVW} se aplica al ZSI sólo en los instantes en que están siendo aplicando los vectores nulos (cero) V_0 y V_7 (descritos más adelante), es decir, no ocurre ninguna alteración en los estados activos aplicados al inversor.

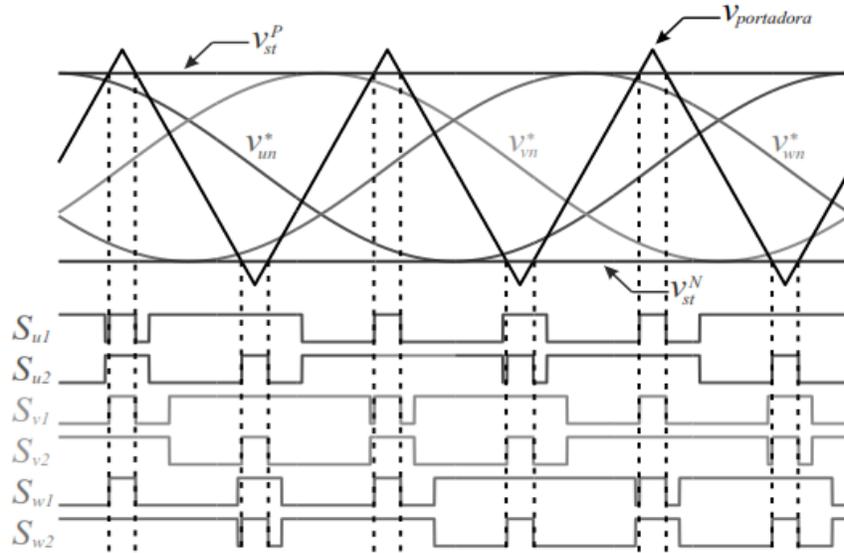


Fig. 2.1 Representación gráfica de la técnica Simple Boost Control, SBC para el ZSI [24].

Nota: Entre las líneas de trazo se encuentran los estados de cortocircuito aplicados en el ZSI.

Si $\mathbf{m} = 1$, y las tensiones \mathbf{V}_{ST}^P y \mathbf{N}_{ST}^N se fijan a los picos superior e inferior de la señal triangular, ningún vector de cortocircuito será aplicado al ZSI (sin elevación). A medida que \mathbf{m} disminuye, las tensiones \mathbf{V}_{ST}^P y \mathbf{N}_{ST}^N son más distantes de los picos de la señal triangular, es decir, mayor es el tiempo de aplicación del vector de cortocircuito (mayor será el factor de elevación). Por lo tanto, el ciclo de trabajo del vector de cortocircuito \mathbf{T}_{st} es inversamente proporcional a \mathbf{m} en el ZSI.

Para encontrar la relación entre \mathbf{T}_{st} y \mathbf{m} , es necesario encontrar los valores máximo y mínimo del ciclo de trabajo de los interruptores en la técnica Simple Boost. Se observa que el valor máximo del ciclo de trabajo es igual al valor máximo del ciclo de trabajo de \mathbf{v}_{\max} , es decir:

$$\max(\mathbf{T}_{u1}, \mathbf{T}_{v1}, \mathbf{T}_{w1}) = \max(\mathbf{T}_{\max}) = \max\left(\frac{1}{2} + \frac{\mathbf{v}_{\max}}{\mathbf{v}_{PN}}\right) \dots \dots 2.1$$

Por otra parte, el valor mínimo del ciclo de trabajo es igual al valor mínimo del ciclo de trabajo \mathbf{v}_{\min} , es decir:

$$\min(\mathbf{T}_{u1}, \mathbf{T}_{v1}, \mathbf{T}_{w1}) = \min(\mathbf{T}_{\min}) = \min\left(\frac{1}{2} + \frac{\mathbf{v}_{\min}}{\mathbf{v}_{PN}}\right) \dots \dots 2.2$$

Sabiendo que el valor máximo \mathbf{v}_{\max} , es igual a $+\mathbf{v}_S$, y que el valor mínimo \mathbf{v}_{\min} es igual a $-\mathbf{v}_S$ y que la amplitud de las tensiones de referencia de la carga es igual a:

$$v_s = m \frac{V_{PN}}{2} \dots 2.3$$

Por lo que:

$$\max(T_{\max}) = \frac{1+m}{2} \dots \quad \min(T_{\min}) = \frac{1-m}{2} \dots \dots 2.4$$

Donde T_{\max} y T_{\min} son el valor de ciclo de trabajo mayor y menor del cierre superior del inversor, respectivamente.

Teniendo en cuenta la restricción del ciclo de trabajo de los interruptores, es posible deducir que el vector de cortocircuito podría aplicarse, sin alteración a los vectores activos, durante $\{1 - \max(T_{\max})\}$ y durante $\{\min(T_{\min})\}$. Por lo tanto, sustituyendo en 2.4, se tiene:

$$T_{ST} = 1 - \max(T_{\max}) + \min(T_{\min}) \dots 2.5$$

Se llega al valor límite:

$$T_{ST} = 1 - m \dots 2.6$$

Donde $0 \leq T_{ST} < 0.5$ es el límite práctico del ciclo de trabajo de los vectores de cortocircuito.

Es importante resaltar que el valor de T_{ST} en 2.6, alcanza el máximo nivel en la técnica Simple Boost para un valor dado de m . Así mismo, es posible, que un valor de m dado, la elección de los valores de T_{ST} deben de ser menores que este límite, o para un valor dado de T_{ST} la elección de los valores de m deben de ser menores que este límite, con el fin de utilizar la función de Buck (reducción) simultáneamente con la función Boost en el ZSI. Sin embargo, se debe tener en cuenta que si se aplica simultáneamente las funciones de Buck y Boost, es decir, si los valores de m y T_{ST} se eligen diferentes a 2.6, una técnica diferente a la técnica Simple Boost estará siendo aplicado al inversor ZSI.

En resumen, la técnica Simple Boost puede ser descrita por los dos casos siguientes:

1. Si se desea tener una elevación (Boost) en el inversor ZSI, elegir valores de m y T_{ST} cumpliendo a la ecuación 2.6;
2. Si se desea tener una reducción (Buck) en el inversor ZSI, mantener $T_{ST} = 0$ (sin elevación) y elegir el valor de m en el rango de $0 \leq m < 1$. En este caso, el inversor ZSI se comportará como un inversor VSI.

Se puede observar en 2.6, que m disminuye uniformemente con el aumento T_{ST} . Por otra parte, B crece exponencialmente con el aumento de T_{ST} . Por lo tanto, el factor de reducción-elevación $B_B = m * B$ aumenta con el aumento de T_{ST} .

El esfuerzo de tensión en los interruptores y el factor reducción-elevación (Buck-Boost) se puede utilizar como buenos parámetros de comparación entre técnicas PWM para el inversor ZSI. Por lo que la relación entre el factor de elevación B y m para la técnica de Simple Boost:

$$\mathbf{B} = \frac{1}{2m-1} \dots 2.7$$

El esfuerzo de tensión en los interruptores, es decir, la tensión máxima que debe soportar los interruptores en el inversor ZSI es igual al valor de pico de la tensión de salida de la red-Z ($\hat{v}_{z0} = \mathbf{B}_{v_{PN}}$). Por tanto:

$$v_{\text{esfuerzo}} = \hat{v}_{z0} = \frac{v_{PN}}{2m-1} \dots 2.8$$

La relación entre el factor reducción-elevación y m se puede encontrar al reemplazar 2,7 en $\mathbf{B}_B = \mathbf{m} * \mathbf{B}$, es decir:

$$\mathbf{B}_B = \frac{\mathbf{m}}{2m-1} \dots 2.9$$

El patrón de conmutación de la técnica Simple Boost que se muestra en la Fig. 2.1 se basa en el uso del vector \mathbf{V}_{ST}^{UVW} . A lo largo de la transición de un vector nulo (cero) al vector \mathbf{V}_{ST}^{UVW} y del vector \mathbf{V}_{ST}^{UVW} de nuevo a un vector nulo, se producen tres conmutaciones. En un periodo de conmutación, hay seis conmutaciones adicionales más de los doce ya existentes, lo que aumenta las pérdidas en inversor ZSI.

Un patrón de conmutación alternativo, propuesto en [3] divide el ciclo de trabajo T_{ST} en doce partes iguales en cada periodo de conmutación. Como se sabe, en el patrón simétrico para un inversor VSI, ocurren dos pares de conmutaciones para cada rama del inversor: cuando el interruptor superior se abre, la inferior se cierra, y viceversa. En el patrón alternativo, la apertura del interruptor de la rama se retrasa y el cierre del otro interruptor de la misma rama se avanza, con el fin de aplicar un vector de cortocircuito durante $\frac{T_{ST}}{6}$ para cada par de conmutaciones en el ZSI. Como producirse un total de seis pares de conmutaciones en cada periodo de conmutación T_c del ZSI, los vectores de cortocircuito se aplican durante el periodo de T_{ST} , según se desee.

A diferencia del patrón de conmutación que se muestra en la Fig. 2.1, doce conmutaciones se producen sólo en el patrón alternativo, manteniendo las pérdidas del ZSI al del inversor convencional. Por otra parte, en el patrón alternativo, se aplican diferentes vectores de cortocircuito: los vectores \mathbf{V}_{ST}^u , \mathbf{V}_{ST}^v e \mathbf{V}_{ST}^w son aplicados durante los cambios en las ramas de \mathbf{u} , \mathbf{v} y \mathbf{w} , respectivamente.

2.1.2 Técnica de Control de Elevación Máxima, MBC

Peng en el año 2005 [22] revisando la técnica SBC y verificando que esta presenta un esfuerzo de tensión muy elevado en los interruptores para un factor de reducción-elevación dado, ya que el máximo valor de \mathbf{m} alcanzable es menor que el límite de la región lineal, ya que la técnica SBC se basa en la técnica PWM sinusoidal para el inversor VSI, que al igual no alcanza el límite de modulación en la región lineal. Por otro lado, en la técnica SBC, los vectores de cortocircuito solo sustituyen en parte a los vectores nulos de tensión, es decir, es posible aumentar el ciclo de trabajo T_{ST} para un determinado valor de m, con el fin de aumentar el factor de reducción-elevación en el ZSI.

Bajo este supuesto, Peng propuso una técnica que maximiza el valor del ciclo de trabajo de los vectores de cortocircuito para un determinado valor de m . Por tanto, en cada periodo de conmutación, los vectores nulos V_0 y V_7 se sustituyen por completo por los vector de cortocircuito V_{ST} . De esta forma, se aplica el valor máximo de T_{ST} para un determinado valor de m , sin distorsionar la síntesis en las tensiones de referencia de la carga. A esta técnica se le conoce con el nombre de Control de Elevación Máxima, MBC, Fig. 2.2 [22].

Así mismo, en la técnica Maximun Boost para el inversor ZSI, las dos tensiones V_{ST}^P y V_{ST}^N son comparadas también con la señal triangular, a saber que, en la técnica de MBC, V_{ST}^P es la tensión mayor entre las tres tensiones de referencia de la carga, es decir, $(V_{ST}^P = \max(v_{un}, v_{vn}, v_{wn}))$ y V_{ST}^N es la tensión menor entre las tres tensiones de referencia de la carga, es decir, $(V_{ST}^N = \min(v_{un}, v_{vn}, v_{wn}))$. La lógica de conmutación funciona de la misma forma que en la técnica SBC, si la señal triangular es mayor que V_{ST}^P o menor que V_{ST}^N , se cierran simultáneamente los seis interruptores del ZSI, es decir, se aplica un vector de cortocircuito V_{ST}^{UVW} y si la señal triangular es menor que V_{ST}^P y mayor que V_{ST}^N , se aplica la lógica de las tensiones de referencia v_{un}, v_{vn}, v_{wn} ya utilizado en la técnica PWM sinusoidal.

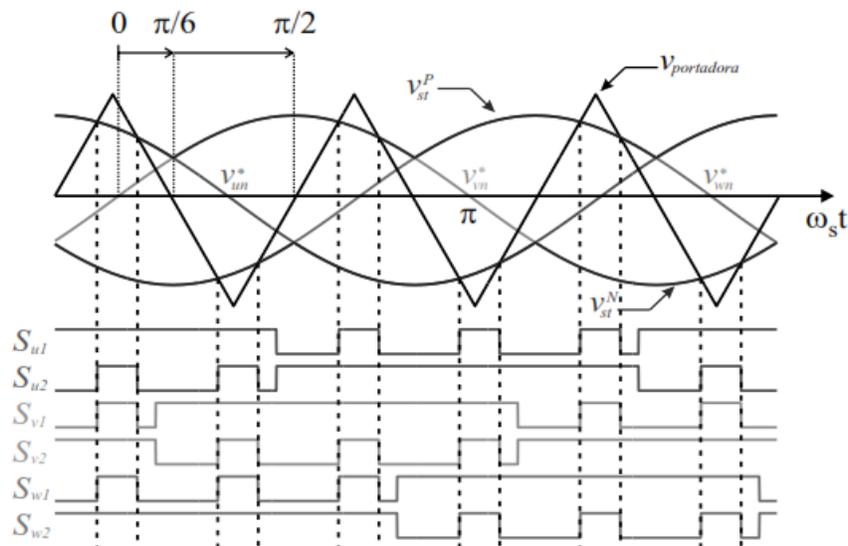


Fig. 2.2 Representación gráfica de la técnica Maximun Boost Control, MBC para el ZSI [24].

Nota: Entre las líneas de trazo se encuentran los estados de cortocircuito aplicados al ZSI.

En la Fig. 2.2 se observa, que V_{ST}^{UVW} es aplicado en el ZSI solamente en el tiempo de los vectores nulos V_0 y V_7 , es decir, no ocurre ningún cambio en los estados activos aplicados en el inversor. Incluso si $m = 1$, habrá instantes en los que V_{ST}^P y V_{ST}^N se cruzarán con la señal triangular, es decir, los vectores de cortocircuito serán aplicados al inversor ZSI. A medida que m disminuye, V_{ST}^P y V_{ST}^N están más lejos de los picos de la señal triangular, es decir, mayor es el tiempo de aplicación del vector de cortocircuito.

Para encontrar la relación entre T_{ST} y m , es necesario encontrar el mayor y menor ciclo de trabajo de los interruptores en la técnica MBC. Se sabe que el mayor ciclo de trabajo es la de v_{\max} , es decir:

$$T_{\max} = \left(\frac{1}{2} + \frac{v_{\max}}{v_{PN}} \right) \dots 2.10$$

Además, el menor ciclo de trabajo es la de v_{\min} , es decir:

$$T_{\min} = \left(\frac{1}{2} + \frac{v_{\min}}{v_{PN}} \right) \dots 2.11$$

Teniendo en cuenta la restricción del ciclo de trabajo de los interruptores, es posible deducir que el vector de cortocircuito podría ser aplicado, sin alteración a los vectores activos, durante $\{1 - \max(T_{\max})\}$ y durante $\{\min(T_{\min})\}$. Por lo tanto, sustituyendo el valor del ciclo de trabajo T_{\max} y T_{\min} en 2.5, se tiene [22]:

$$T_{ST} = 1 - \max(T_{\max}) + \min(T_{\min}) \dots 2.5$$

$$T_{ST} = 1 - \frac{v_{\max} - v_{\min}}{v_{PN}} \dots 2.12$$

De acuerdo a la Fig. 2.2, en el intervalo $\left(\frac{\pi}{6} \leq w_{ST} \leq \frac{\pi}{2}\right)$, $v_{\max} = \left(\frac{m \cdot v_{PN}}{2} * \sin w_s t\right)$, y $v_{\min} = \frac{m \cdot v_{PN}}{2} * \sin\left(w_s t - \frac{2\pi}{3}\right)$, y sustituyendo estos valores en 2.12, se encuentra la relación instantánea entre T_{ST} y m :

$$T_{ST} = \frac{2 - \left\{ (m * \sin w_s t) - \left(m * \sin\left(w_s t - \frac{2\pi}{3}\right) \right) \right\}}{2}, w_s t \in \left(\frac{\pi}{6}, \frac{\pi}{2}\right) \dots 2.13$$

Observando la Fig. 2.12, es posible notar que el valor de T_{ST} válido para el intervalo $\left(\frac{\pi}{6} \leq w_{ST} \leq \frac{\pi}{2}\right)$ es variable y se repite periódicamente con frecuencia igual a $6f_s$. Esto significa que los valores de B , v_C , B_B y v_{esfuerzo} también son variables en el tiempo con frecuencia igual a $6f$ en la técnica MBC. El valor medio de T_{ST} puede ser calculado y es igual a:

$$\overline{T_{ST}} = 1 - \left(\frac{3\sqrt{3}}{\pi} m \right) \dots 2.14$$

En donde $\overline{T_{ST}}$ es el valor medio del ciclo de trabajo de T_{ST} entre el intervalo $0 \leq m \leq 1$.

A su vez se puede encontrar la relación entre el valor medio del factor de elevación (Boost) B y m para la técnica MBC:

$$\overline{B} = \left(\frac{\pi}{3\sqrt{3}m - \pi} \right) \dots 2.15$$

El valor medio de la tensión de esfuerzo en los interruptores es igual:

$$\overline{v_{\text{esfuerzo}}} = \overline{B} v_{PN} = \left(\frac{\pi}{3\sqrt{3}m - \pi} * v_{PN} \right) \dots 2.16$$

La relación entre el valor medio del factor de reducción-elevación y m se puede encontrar al reemplazar 2.15 en $\bar{B}_B = m * \bar{B}$, es decir:

$$\bar{B}_B = \left(\frac{\pi m}{3\sqrt{3}m - \pi} \right) \dots\dots 2.17$$

El factor de elevación en la técnica de MBC presenta valores mayores que los de la técnica de Boost Simple para un mismo valor de m (basta comparar 2.9 con 2.17). Sin embargo, al igual que en la técnica de SBC, la técnica MBC con referencias senoidales Fig. 2.2, tiene un límite ($m \leq 1$) menor que el límite de la región lineal ($m \leq \frac{2}{\sqrt{3}}$). Para aprovechar completamente la región lineal, se pueden añadir a las tensiones de referencia senoidales una tensión homopolar con amplitud igual a $\frac{V_s}{6}$ y frecuencia igual a $3f_s$, Fig. 2.3 [25-28].

$$\begin{aligned} \bar{v}_{u0} &= v_{un} + v_h = V_s \cos(\omega_s t) + \frac{V_s}{6} \cos(3\omega_s t) \\ \bar{v}_{v0} &= v_{vn} + v_h = V_s \cos\left(\omega_s t - \frac{2\pi}{3}\right) + \frac{V_s}{6} \cos(3\omega_s t) \quad \dots\dots 2.18 \\ \bar{v}_{w0} &= V_s \cos\left(\omega_s t + \frac{2\pi}{3}\right) + \frac{V_s}{6} \cos(3\omega_s t) \end{aligned}$$

Con la inclusión de la tensión homopolar en las tensiones de referencia de la carga, el límite del valor de m llega hasta $\frac{2}{\sqrt{3}}$. Para encontrar la relación entre T_{ST} y m en la técnica de MBC usando componente homopolar, basta observar 2.12. Como el valor de T_{ST} depende de $(v_{max} - v_{min})$ y el componente homopolar está presente en estas dos tensiones, se cancela. Por lo tanto, los valores de T_{ST} , \bar{T}_{ST} , \bar{B} , $\bar{v}_{esfuerzo}$ y \bar{B}_B para la técnica de MBC con componente homopolar son igual a los de la técnica de MBC sin componente homopolar.

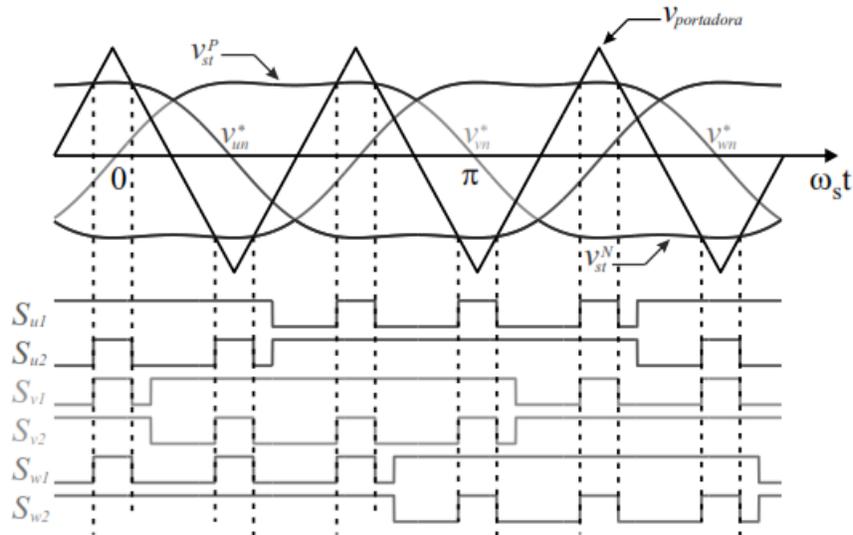


Fig. 2.3 Representación gráfica de la técnica Maximum Boost Control, MBC utilizando componente homopolar para el ZSI [24].

Nota: Entre las líneas de trazo se encuentran los estados de cortocircuito aplicados al ZSI.

2.1.3 Técnica de Control de Elevación Máxima Constante, CMBC

Shen en el año 2006 [23], revisando la técnica de MBC y verificando que, aunque presenta una menor tensión de esfuerzo en los interruptores, debido al valor oscilante de T_{ST} , oscilaciones de baja frecuencia no deseadas surgen en las tensiones de los capacitores y en las corrientes de los inductores de la red-Z. Dependiendo de los requisitos de carga, las oscilaciones en las corrientes de los inductores se vuelven significativas, hasta el punto de comprometer el funcionamiento del ZSI (causando inestabilidad) y obligando a utilizar inductores grandes y voluminosos. Además, estas oscilaciones se reflejan en la tensión de salida de la red-Z. Si el inversor no tiene un sensor que mide esta oscilación y la compense en la técnica de PWM, las corrientes en la carga tendrían un componente armónico de baja frecuencia indeseable. Partiendo de este principio, Shen, propuso una técnica que maximizaba el valor de T_{ST} para un determinado valor de m sin causar oscilaciones de baja frecuencia en las variables de la Red-Z, o sea, manteniendo el valor de T_{ST} constante. A esta técnica se le dio el nombre de Control de Elevación Máxima Constante, CMBC (Constant Maximun Boost Control). Para encontrar el máximo valor constante de T_{ST} , es necesario observar el comportamiento temporal de T_{ST} en la técnica MBC, Fig. 2.4, donde se observa que la razón de trabajo T_{ST} , tiene un período igual a $\frac{T_C}{6}$ que varía entre $1 - \frac{3}{4}m$ y $1 - \frac{\sqrt{3}}{2}m$, con valor medio igual a $1 - \frac{3\sqrt{3}}{\pi}m$.

La técnica CMBC busca el máximo valor constante de T_{ST} , disminuyendo el esfuerzo en los interruptores y evitando oscilaciones indeseadas en la Red-Z. Observando la Fig. 2.4, se percibe que este valor es igual a [23]:

$$T_{ST} = 1 - \frac{\sqrt{3}}{2}m \dots\dots 2.19 \quad 0 \leq m \leq \frac{2}{\sqrt{3}}$$

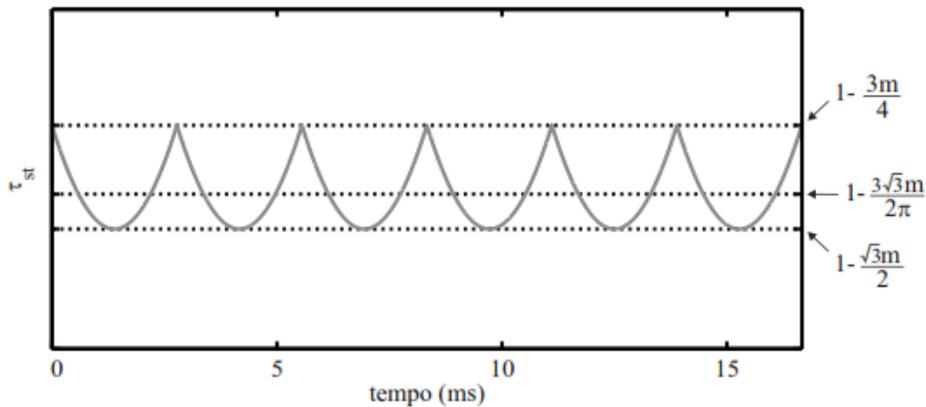


Fig. 2.4 Comportamiento temporal de T_{ST} en la técnica Maximun Boost Control, MBC para el ZSI [24].

Así, para obtener la razón de trabajo en 2.19, V_{ST}^P y V_{ST}^N también se comparan con la señal triangular, siendo que V_{ST}^P es una tensión constante de valor es una tensión constante de valor $\frac{\sqrt{3}}{2}m \frac{V_{PN}}{2}$ y V_{ST}^N es una tensión constante de valor $-\frac{\sqrt{3}}{2}m \frac{V_{PN}}{2}$. La lógica de conmutación funciona de la misma forma que en la técnica MBC con componente homopolar: si la señal

triangular es mayor que V_{ST}^P o menor que V_{ST}^N , se cierran simultáneamente los seis interruptores del ZSI, es decir, se aplica V_{ST}^{UVW} y, si la señal triangular es menor que V_{ST}^P y mayor V_{ST}^N , se aplica la lógica de las tensiones de referencia con componente homopolar. En la Fig. 2.5 se muestra la representación gráfica de la técnica CMBC con componente homopolar para el inversor ZSI [23].

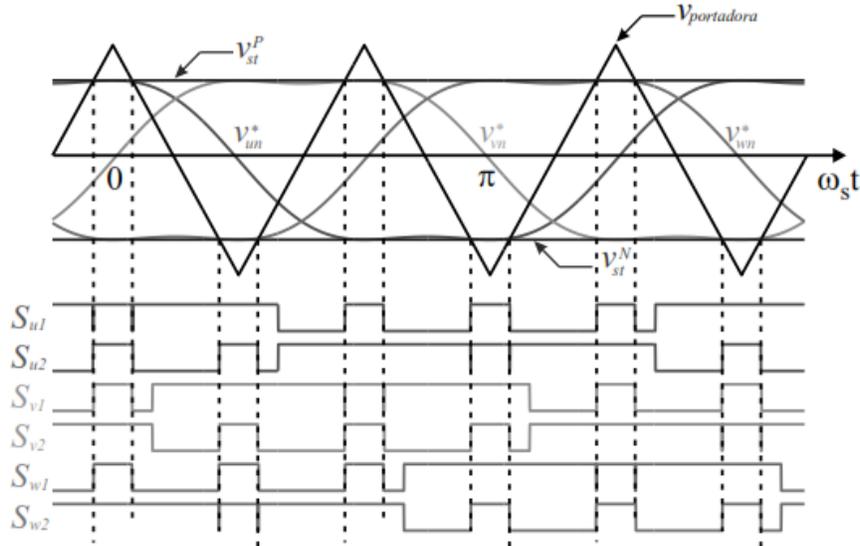


Fig. 2.5 Representación gráfica de la técnica Constant Maximum Boost Control, CMBC utilizando componente homopolar para el ZSI [24].

Así mismo se puede encontrar la relación entre B y m para la técnica CMBC [23]:

$$B = \frac{1}{\sqrt{3m - 1}} \dots\dots 2.20$$

El esfuerzo de tensión en los interruptores es igual a [23]:

$$v_{\text{esfuerzo}} = Bv_{PN} = \frac{v_{PN}}{\sqrt{3m - 1}} \dots\dots 2.21$$

La relación entre el factor de reducción- elevación y m se puede encontrar al reemplazar 2.20 en B_B , es decir [23]:

$$B_B = \frac{m}{\sqrt{3m - 1}} \dots\dots 2.22$$

2.2 Técnicas de Modulación para el Inversor Multinivel

Como ya se ha mencionado, la introducción de los inversores multinivel se dio en la década de los 80's con el trabajo desarrollado por A. Nabae, I. Takahashi y H. Akagi [4]. Hasta ese momento los esfuerzos por mejorar la eficiencia en los controladores de CA se habían centrado únicamente en el desarrollo de las técnicas de control PWM.

Por otro lado en la última década se han desarrollado trabajos basados en la topología del Inversor Multinivel NPC con la cual se ha buscado alcanzar elevados niveles de eficiencia en el controlador de CA, dicho inversor, está conformado por dispositivos de conmutación

“principales”, que operan como interruptores PWM en un inversor de dos niveles y por dispositivos de conmutación “auxiliares”, los cuales permiten fijar a la terminal de salida un potencial neutral, por lo cual en un Inversor Multinivel NPC el voltaje de salida está conformado por tres o más niveles de voltaje.

Las estrategias de conmutación para inversores Multinivel han atraído especial atención de los investigadores en la última década [8], entre las razones que representan el reto en la modulación se encuentran la complejidad de extender las técnicas convencionales al caso multinivel y la posibilidad de tomar ventaja de los grados de libertad que brindan los estados de conmutación adicionales inherentes a las topologías multinivel. Como consecuencia de esto se han ido desarrollando varios algoritmos, cada uno con características particulares dependiendo de la aplicación [29-32]. Los algoritmos de modulación se han dividido en dos grupos principales dependiendo del dominio en el cual operan: el dominio del espacio de estados o el dominio del tiempo. El principio de la modulación en el dominio del espacio de estados está basado en la generación del vector de tensiones, mientras que en el dominio del tiempo la idea es generar el nivel de tensión sobre el marco de referencia del tiempo [9]. La Fig. 2.6 muestra los diferentes métodos de modulación para inversores multinivel.

En general, los métodos de conmutación a baja frecuencia son recomendados en aplicaciones de alta potencia debido a la reducción de pérdidas por conmutación en los dispositivos, y las técnicas de conmutación a altas frecuencias son preferidas en aplicaciones de alto rango dinámico.

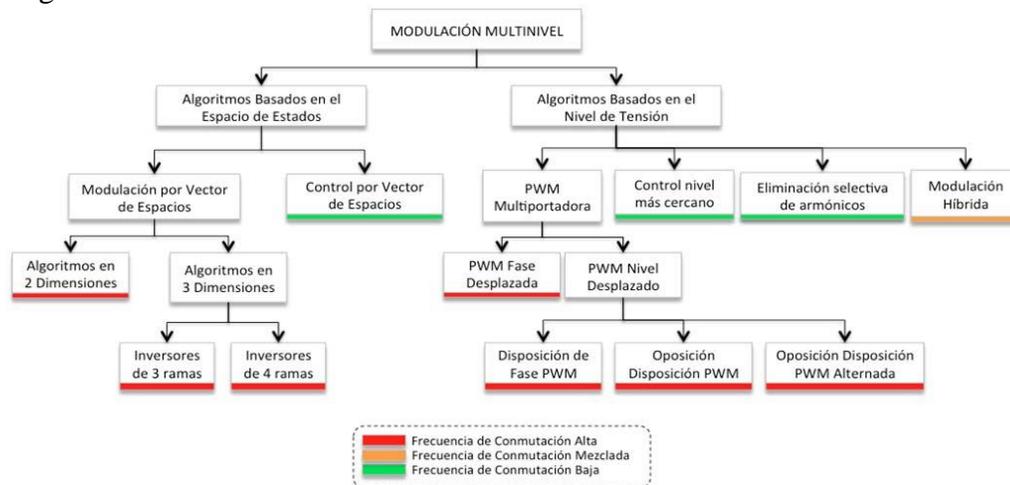


Fig. 2.6 Estrategias de conmutación Multinivel [35].

La modulación SPWM, es una de las técnicas más ampliamente estudiadas y empleada en aplicaciones industriales [33], principalmente porque los resultados que ofrece son aceptables y fáciles de implementar. La modulación SPWM se obtiene a partir de la comparación de señales senoidales con dos o más señales triangulares. El número de las señales triangulares también conocidas como señales portadoras depende del número de niveles del inversor [34]. En función del arreglo de las señales portadoras se derivan algunas otras técnicas tales como: la modulación de ancho de pulso con desplazamiento de fase PS-PWM (Phase Shifted PWM) en donde las señales portadoras se encuentran desfasadas, y la modulación de ancho de pulso con desplazamiento de nivel LS-PWM (Level Shifted PWM) en donde las señales portadoras están ordenadas verticalmente. A su vez, dentro de la técnica de modulación LS-PWM se desprenden las siguientes: la modulación de ancho de pulso con

disposición de fase PD-PWM (Phase Disposition PWM) en la cual todas las portadoras están en fase, la modulación de ancho de pulso con disposición oposición de fase POD-PWM (Phase Opposition Disposition PWM), y la modulación con disposición alternativa de fase APOD-PWM (Alternative Phase Opposition Disposition PWM, del inglés respectivamente) [36-39].

La técnica de Modulación por Vector Espacial SVM de igual manera ha sido estudiada y utilizada en la actualidad en convertidores multinivel, debido a que cada uno de los estados del inversor (en función de la posición de los interruptores) se representa mediante un vector de voltaje y el conjunto de vectores obtenidos conforman un diagrama vectorial del inversor multinivel. El objetivo de ésta técnica es generar un vector de voltaje de referencia a partir de la combinación de vectores espaciales, obteniendo de esta forma un voltaje de salida promedio igual al voltaje de referencia en un periodo de conmutación [40].

La técnica de Eliminación Selectiva de Armónicos, SHE (Selective Harmonic Elimination) ha sido muy aplicada en convertidores multinivel que manejan altos niveles de potencia, debido a que reduce en gran medida las pérdidas por conmutación [41-43]. Sin embargo, los algoritmos SHE llegan a ser muy complejos para diseñar e implementar inversores con gran número de niveles (arriba de cinco) ya que aumenta el número de ángulos de conmutación y en consecuencia el número de ecuaciones que se deben resolver.

Los objetivos principales de las técnicas de modulación son: controlar amplitud y frecuencia de la señal de salida, disminuir el contenido armónico, aumentar el aprovechamiento de la señal de entrada y controlar el desbalance del punto neutro en caso de ser necesario [9]. Por otro lado es importante mencionar, que no todas las técnicas de modulación previamente comentadas son apropiadas para todas las configuraciones multinivel, en realidad algunos algoritmos no se pueden implementar en determinadas configuraciones. En la Tabla II se muestran las compatibilidades entre las estrategias de modulación y las configuraciones multinivel.

Técnica de modulación	Configuración Multinivel		
	NPC	Capacitores Volantes	Cascada
LS-PWM	Si	Si	Aplicable - No recomendada
PS-PWM	No	Si	Si
SVM	Si	Si	Si
SHE	Si	Si	Si

Tabla 2.1 Técnicas de modulación aplicables a las configuraciones multinivel.

En la literatura se pueden encontrar otras técnicas que en general pueden ser variaciones de las mencionadas, algunas de ellas son:

- Control directo de par, DTC (Direct Torque Control) [9].
- Modulación sigma-delta [8].
- Modulación Híbrida [8].
- Control por histéresis [44].
- PWM aleatorio.

A continuación se analizarán algunas de las técnicas más utilizadas para la modulación del Inversor Multinivel NPC de tres niveles y que serán base para el Acoplamiento hacia la Red-Z.

2.2.1 Modulación por Ancho de Pulsos Sinusoidal, SPWM

El principio de operación de ésta técnica se basa en comparar una señal de control senoidal también llamada moduladora, con una señal triangular (la mayoría de las veces) también conocida como señal portadora, y de la comparación de estas dos señales se obtienen las señales de control de los interruptores del inversor. Para un inversor de n niveles, se debe disponer de $(n - 1)$ señales portadoras con la misma frecuencia y la misma amplitud para que las bandas que ocupen sean contiguas. Una de las ventajas importantes del inversor de tres niveles es que puede ser operado como un inversor convencional de dos niveles [11] [44]. El número de conmutaciones por ciclo de modulación en cada nivel del inversor depende de la frecuencia de la señal portadora y del tiempo de duración de la señal de referencia en dicho nivel [45]. En la Fig. 2.7 se muestran algunas formas de modulación SPWM mencionadas.

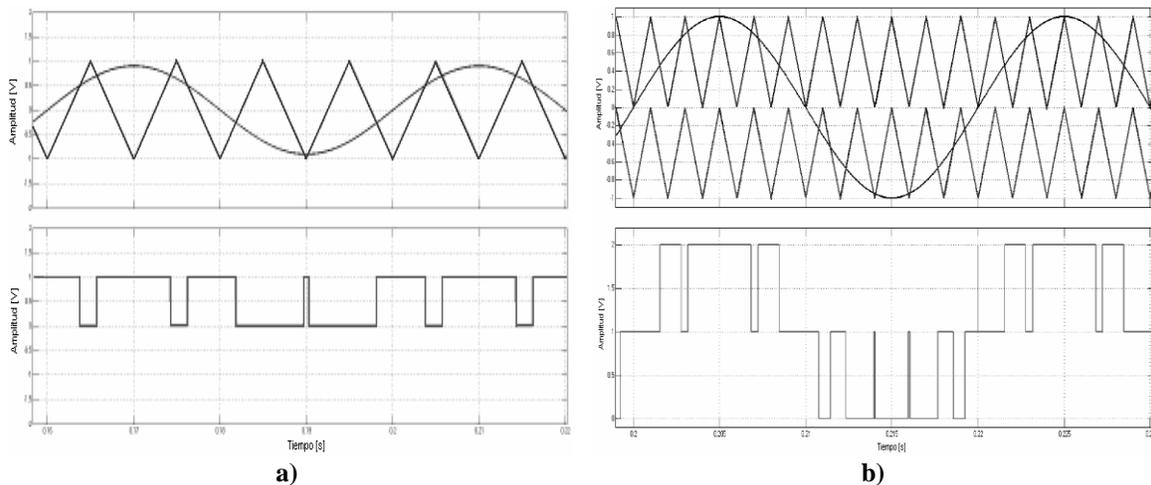


Fig. 2.7 Modulación SPWM; a) dos niveles, b) tres niveles [13].

En general la estrategia de conmutación SPWM se caracteriza por:

- Simplicidad a la hora de implementarse.
- Contenido armónico reducido.
- Algunos niveles del inversor no se emplean cuando el índice de modulación es bajo.
- Ofrece buenos resultados en operación con sobremodulación.

La técnica de modulación SPWM ha sido muy estudiada y de ella se han derivado algunas otras estrategias en las cuales se utilizan diferentes señales portadoras o moduladoras [36] [37] [39]. Para el control del Inversor Multinivel NPC de tres niveles, a continuación se analizará la técnica en la cual se modifican las señales portadoras.

2.2.2 Modulación PWM basada en Portadora Modificada

Ésta técnica de modulación se basa en la modificación de las señales portadoras con el objetivo de disminuir el contenido armónico en la señal de salida [38]. Los dos esquemas de modulación que pueden ser aplicados en el control del Inversor Multinivel NPC de tres niveles son:

- Esquema de modulación de portadoras en fase (PD-PWM).
- Esquema de modulación de portadoras en contrafase (APOD-PWM).

El control del inversor de tres niveles NPC, requiere tres señales de control senoidales (una por fase) desfasadas 120° , y dos señales portadoras en este caso señales triangulares, las cuales están distribuidas verticalmente [38]. En la Fig. 2.8, se muestra el arreglo de las señales portadoras para la rama A del inversor de tres niveles utilizando el esquema de modulación PD y APOD respectivamente. La señal de compuerta V_{g1} para el interruptor S_{A1} es generada a partir de la comparación entre la señal de control y la señal Portadora_1, la señal de compuerta V_{g2} para el interruptor S_{A2} es generada a partir de la comparación de la misma señal de control y la señal Portadora_2, mientras que las señales de compuerta V_{g3} y V_{g4} para los interruptores S_{A3} y S_{A4} son los correspondientes estados complementarios de V_{g1} y V_{g2} .

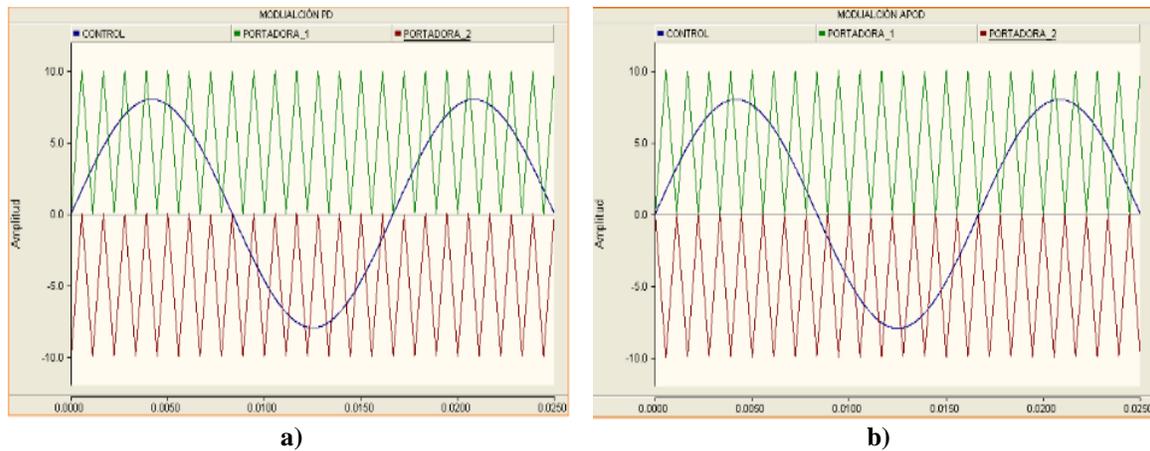


Fig. 2.8 Esquema de modulación en portadora modificada; a) PD, b) APOD [47].

En la Fig. 2.9, se muestran los Voltajes de Fase y Voltajes de línea utilizando los esquemas de modulación PD y APOD respectivamente. Finalmente es importante mencionar que es más recomendable utilizar el esquema de modulación PD, ya que el voltaje de línea que produce presenta menor contenido armónico [29] [46].

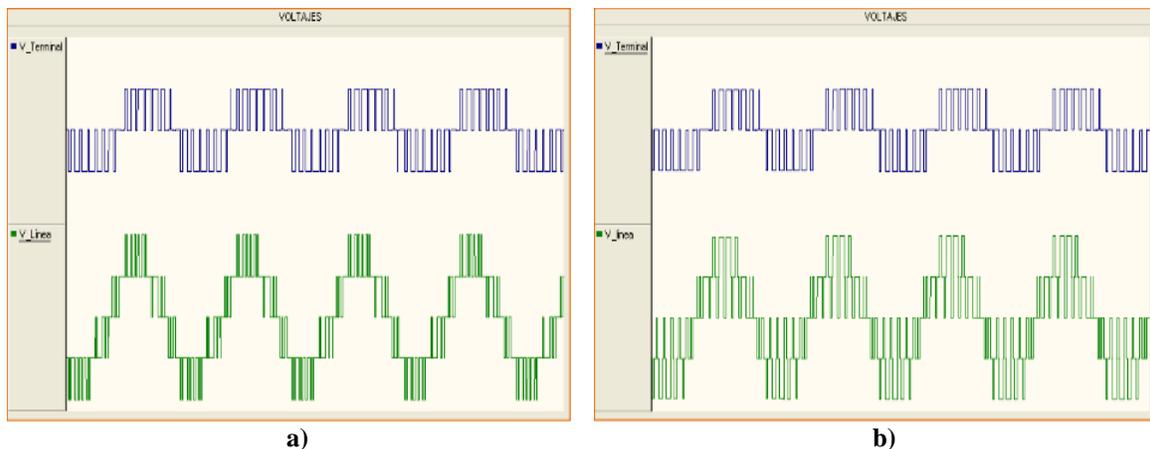


Fig. 2.9 Voltaje de Fase y Voltaje de Línea. a) Modulación PD; b) Modulación APOD [47].

2.2.3 Modulación basada en múltiples señales moduladoras o bipolar

Este método utiliza una sola señal triangular portadora y dos señales senoidales moduladoras para realizar la modulación en inversores de tres niveles, Fig. 2.10, [48]. Las dos señales senoidales son obtenidas a partir de la suma de componentes CD positivas y negativas de una señal convencional de referencia. Dichas componentes CD pueden ser de magnitud uniforme o variable, esto se hace con el fin de romper cada conmutación entre los niveles exteriores forzando a que el PWM pase a través de un nivel intermedio [9].

Una de las ventajas que ofrece este método es que no hay problemas de ancho de pulso en las profundidades más bajas de la modulación, lo que normalmente es un problema crítico de diseño en la mayoría de los métodos básicos de modulación para inversores multinivel.

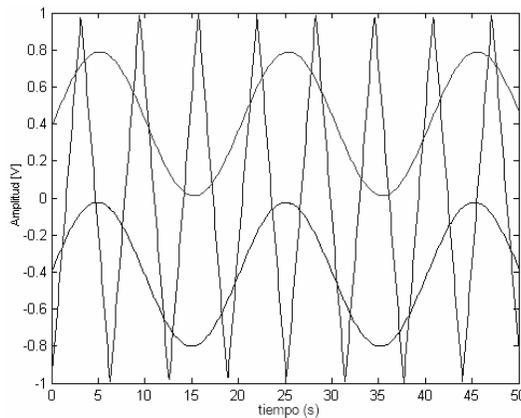


Figura 2.10 Modulación bipolar para un inversor de tres niveles [13].

2.2.4 Modulación por Vector Espacial, SVM

La modulación vectorial está basada en la selección de los vectores espaciales de tensión [9]. La idea es representar cada uno de los posibles estados de la tensión del inversor a través de un vector, el conjunto de todos los vectores posibles conforma el diagrama vectorial de tensiones del inversor. La tensión de salida deseada se expresa también como un vector de referencia como se observa en la Fig. 2.11, donde se muestran los 27 estados posibles para un inversor de tres niveles (descritos en el Capítulo III).

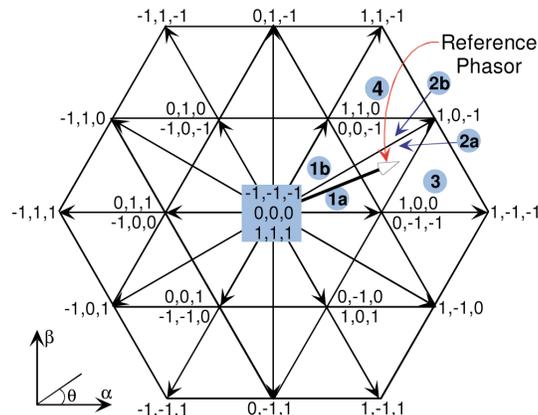


Figura 2.11 Diagrama de vectores de estado para un inversor de tres niveles [49].

El giro del vector de referencia se discretiza en cada periodo de conmutación, y en cada uno de estos se debe generar un nuevo vector de referencia. Como normalmente ningún vector de estado coincide con el de referencia, el valor es generado a partir del promedio de dos o más vectores de estado o se puede utilizar el método de los tres vectores más cercanos NTV (del inglés, Nearest Three Vector), el cual se caracteriza por obtener un contenido armónico reducido [9]. Otras características de la modulación vectorial son:

- Los valores de tensiones de salida con modulación vectorial son hasta un 15% superiores a los obtenidos utilizando una modulación SPWM.
- La modulación se puede trabajar de forma sencilla en el dominio D-Q o dominio de Park, lo que facilita que sea combinada con técnicas de control vectorial.
- La complejidad de la selección de los vectores de estado y de los estados redundantes se incrementa de forma severa con el número de niveles.

2.2.5 Eliminación Selectiva de Armónicos

Este método fue introducido para bajas frecuencias de conmutación en 1960 y fue implementada inicialmente para tiristores [45]. El principio de este método es construir una forma de onda conmutada con algunas muescas que son utilizadas para cancelar armónicos específicos no deseados mediante el cálculo apropiado de los ángulos de conmutación

Generalmente los armónicos a cancelar son los más significativos, los de baja frecuencia, para los demás se puede recurrir a filtros [9]. Para lograr el cálculo adecuado de los ángulos se debe obtener un sistema de ecuaciones que es no lineal, lo que hace que este método sea difícil de aplicar en tiempo real, por lo tanto dicho cálculo suele hacerse fuera de línea.

2.3 Métodos de control para el Inversor Fuente-Z y Multinivel NPC

El control de los inversores multinivel está sujeto al modelo matemático del inversor y a la aplicación del mismo. Normalmente las variables de control son las tensiones y corrientes de salida, la frecuencia, flujo de potencia activa y reactiva y en caso de que la topología lo requiera se debe incluir el control del equilibrio de los condensadores del bus de continua.

Después de haber definido las variables y tener claro el modelo, se debe escoger una ley de control para proceder a su diseño. Hay que recordar que la estrategia de control y la de conmutación deben ir relacionadas. El modelado del inversor suele ser abordado separando las partes de CD (entrada del inversor) y de CA (salida del inversor) [9]. Por lo general a este modelo se le aplican diferentes operadores matemáticos con el fin de reducir su complejidad ya que en primera instancia se obtiene un modelo no lineal, el cual puede ser linealizado mediante diferentes técnicas, la más usada es la de perturbación y linealización alrededor de un punto de trabajo de régimen permanente. También se suelen aplicar transformaciones como la de 3 a 2 ejes o transformada de Park. La ley de control que gobernará el funcionamiento del inversor puede ser basada en técnicas lineales o no lineales. Si se desea aplicar una técnica clásica de control debe tenerse en cuenta lo ya mencionado acerca de la linealización del modelo matemático. También se pueden aplicar técnicas de control no lineales aunque estas son considerablemente más complejas lo que puede conducir a errores

y malos funcionamientos del inversor. Según [9] las técnicas de control lineales son preferidas para los inversores multinivel y entre ellas se encuentran:

- Control proporcional–integral.
- Control Vectorial.
- Control Multivariable–LQR.

Algunas de las técnicas de control no lineal que pueden ser consideradas son:

- Control por planos deslizantes.
- Control basado en la función de Lyapunov.
- Control basado en lógica difusa.
- Control basado en redes neuronales.

CAPÍTULO III

DISEÑO Y SIMULACIÓN DE INVERSOR FUENTE-Z Y MULTINIVEL NPC

3.1 Análisis de estado estacionario y diseño de la Red-Z de trabajo del ZSI monofásico y trifásico

El concepto de aumentar la tensión de entrada para una determinada topología de inversión se basa principalmente en la relación del tiempo de disparo y el periodo completo de conmutación. Por su parte el inversor ZSI mostrado en la Fig. 3.1 en donde se coloca una red de impedancia (red-Z) entre la fuente de voltaje E_s y el enlace de CD del puente inversor, la Red-Z le proporciona a este reducir la corriente de arranque y armónicos, debido a los dos inductores en la red, formando un filtro de segundo orden y manejando tensiones de voltaje indeseables de la fuente de tensión de CD, todo lo anterior debido a la capacidad única de cortocircuitar el acoplamiento de CD en determinado periodo de conmutación, lo que no es posible en los inversores tradicionales de fuente de voltaje. Todos los posibles estados estacionarios del ZSI se identifican y analizan con el objetivo de determinar directrices de diseño para la red de impedancia simétrica de trabajo.

En esta sección y basados en los autores presentados en [50] se muestra que, además de los tres estados dinámicos deseados, un ciclo operativo puede contener otros tres estados estáticos que no contribuyen al proceso de conversión de potencia; estados que se pueden evitar seleccionando adecuadamente grandes condensadores e inductores. Mediante el uso de las ecuaciones derivadas en el análisis de estado estacionario, esta sección presenta el diseño de la red de impedancia con precisión para el caso en el que el inversor opera sólo en estado Activo y de Disparo. El método de diseño propuesto también puede usarse para predecir los valores críticos de capacitancia e inductancia por debajo de los cuales aparecen estados estáticos durante el ciclo operativo. Simulaciones en el software Matlab se utilizan para verificar el método de diseño y para demostrar la aparición de estados estáticos cuando los condensadores y los inductores son de tamaño inferior a sus valores críticos.

El inversor de fuente de tensión convencional VSI, que es el tipo de inversor más comúnmente utilizado, sufre el inconveniente de no poder aumentar la tensión de la fuente de entrada de manera eficiente. Por lo tanto, se necesita un convertidor de CD/CD aislado para aumentar la tensión y a su vez conectar la fuente de voltaje variable con el puente inversor convencional. Con el fin de satisfacer estas necesidades para un único convertidor que es capaz tanto de elevar la tensión como de la capacidad de inversión, la topología ZSI se propone como solución ya que además de seguir empleando un puente de inversión establece una etapa modificada del acoplamiento de la corriente continua elevada.

Como se muestra en la Fig. 3.1, un diodo D_s y una red de impedancia simétrica se conectan entre la fuente de tensión variable y el puente de inversión convencional (principales diferencia en el circuito de potencia), red que consiste en dos inductores idénticos y dos condensadores idénticos conectados de una manera específica para conseguir las propiedades deseadas, permitiendo que el puente de inversión opere en un estado nuevo llamado “Estado de Disparo a través de la rama, STS” (Shoot Through State) en el que los dos dispositivos de conmutación del inversor se conectan en la misma rama simultáneamente para efectuar un cortocircuito en el enlace de CD. Como los condensadores pueden cargarse a voltajes más

altos que la tensión de la fuente de entrada, el diodo D_s es necesario para evitar la descarga de los mismos a través de la fuente de entrada.

Maximizar la relación de elevación de voltaje mientras minimiza las tensiones del dispositivo es el objetivo de la mayoría de los trabajos publicados hasta ahora en esta área. Sin embargo, sólo se pueden encontrar algunas publicaciones sobre el tema del diseño de la red de impedancia del ZSI y los posibles modos de operación en estado estacionario. Shen y Peng [51] han identificado cinco posibles estados de operación cuando la inductancia se supone baja. Sin embargo, la capacitancia todavía se supone que es grande, y no hay ningún método propuesto para calcular los valores críticos de inductancia y capacitancia por debajo de los cuales aparecerían modos de funcionamiento no deseados. Se supone que tanto el condensador como el inductor varían en un rango amplio, y las formas de onda se consideran no lineales en ellos [52]. En consecuencia, se identifican sistemáticamente que existen seis estados operativos posibles. Por lo tanto, el objetivo de esta sección es presentar el proceso de diseño para dimensionar el inductor y el condensador de manera que el ZSI no funcione en los estados operativos innecesarios, después de presentar un análisis claro de la operación de estado estacionario de la red de impedancia, y consecuentemente poder calcular los valores críticos de inductancia y capacitancia. Simulación en el software Matlab se presentan en esta sección para verificar la exactitud del método de diseño, partiendo del análisis del inversor ZSI monofásico y aplicando el mismo razonamiento hacia el sistema trifásico en el dimensionamiento de la red-Z.

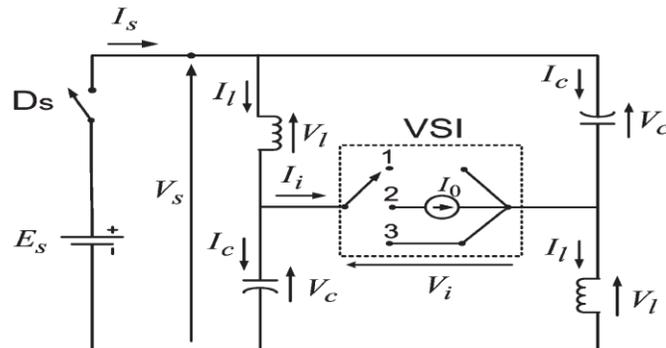


Fig. 3.1 Conmutación equivalente del inversor ZSI [50].

3.1.1 Inversor ZSI monofásico; modos y estados de operación

El inversor Fuente-Z Monofásico Fig. 3.2, puede tener cinco modos de operación diferentes cuando se observa desde la Red-Z de trabajo. Los modos 1 y 2 han sido descritos anteriormente (estados tradicionales), mientras que los modos 3, 4 y 5 son modos nuevos que pueden existir para una inductancia pequeña y un rizo alto en los inductores.

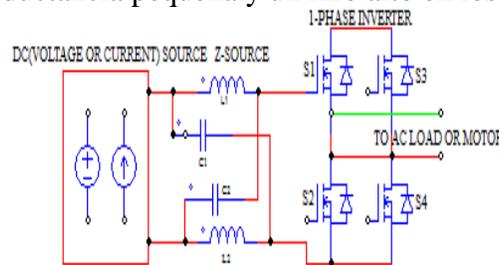


Fig. 3.2 Estructura general del inversor ZSI monofásico.

- **Modo 1:**

El circuito está en un estado STS (cero), la suma del voltaje de los dos capacitores es mayor que la tensión de la fuente de CD, Fig. 3.3:

$$V_{C1} + V_{C2} > V_{dc} \dots \dots 3.1.1$$

El diodo está polarizado inversamente y los capacitores cargan los inductores. Los voltajes a través de los inductores son:

$$V_{L1} = V_{C1} \quad \text{y} \quad V_{L2} = V_{C2} \dots \dots 3.1.2$$

La corriente del inductor aumenta linealmente suponiendo que el voltaje del capacitor es constante durante este periodo. Debido a la simetría del circuito, se tiene:

$$C1 = C2 = C \quad \text{y} \quad L1 = L2 = L$$

$$V_{L1} = V_{L2} = V_L \quad I_{L1} = I_{L2} = I_L \quad V_{C1} = V_{C2} = V_C$$

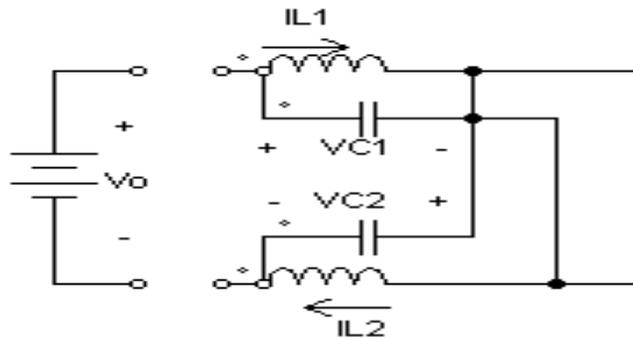


Fig. 3.3 Inversor ZSI monofásico, modo de operación 1 [53].

- **Modo 2:**

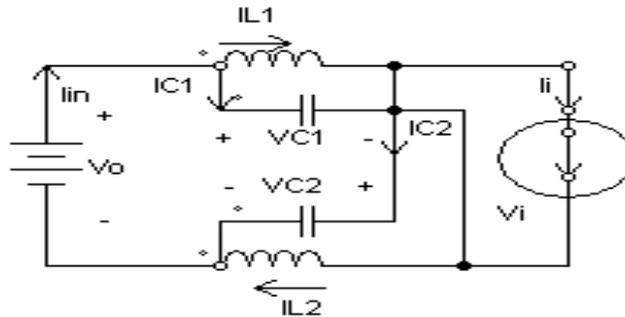


Fig. 3.4 Inversor ZSI monofásico, modo de operación 2 [53].

El inversor está en un estado sin disparo a través de la red, NSTS (del inglés, Non Shoot Through State-uno de los 6 estados activos y dos estados cero tradicionales), Fig. 3.4, y la corriente del inductor cumple con la siguiente ecuación:

$$I_L > \frac{I_i}{2}$$

De nuevo debido a la simetría del circuito, la corriente de condensador y la corriente del inductor deben ser iguales entre sí respectivamente. En este modo, la corriente de entrada de la fuente de CD es:

$$\begin{aligned} I_{c1} &= I_{c2} & I_{L1} &= I_{L2} \\ I_{in} &= I_{L1} + I_{c1} = I_{L1} + (I_{L2} - I_i) = 2I_L - I_i > 0 \end{aligned}$$

Por lo tanto, el diodo está conduciendo y la tensión a través del inductor es:

$$V_L = V_{dc} - V_c \dots \dots 3.1.3$$

Que es negativa (el voltaje del condensador es mayor que el voltaje de entrada durante la operación de elevación cuando hay estados de disparo a través de la red), por lo que la corriente del inductor disminuye linealmente suponiendo que el voltaje del capacitor es constante. A medida que pasa el tiempo, la corriente del inductor continúa disminuyendo a un nivel que ya no puede satisfacer la condición $V_i = 0$. En este punto, la corriente de entrada I_{in} (la corriente del diodo) se reduce a cero, el modo 2 termina y el inversor entra en un nuevo modo.

- **Modo 3:**

El inversor está en uno de los 6 estados activos, y al final del modo 2, la corriente del inductor disminuye a la mitad de la corriente de CD del lado del inversor, I_i . Como resultado, la corriente de entrada se convierte en cero y el diodo se polariza inversamente, Fig. 3.5. Suponiendo que la carga del inversor es inductiva y tiene una inductancia mucho mayor que la del inductor $L1$ y $L2$, la inductancia de $L1$ y $L2$ es insignificante y la corriente del inductor I_L y el voltaje del inversor V_i son respectivamente:

$$I_L = \frac{I_i}{2} \quad V_i = V_c$$

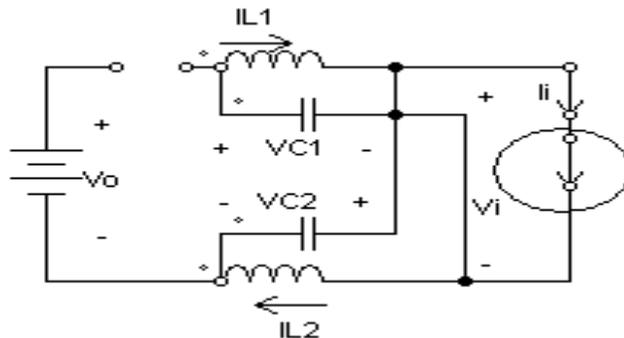


Fig. 3.5 Inversor ZSI monofásico, modo de operación 3 [53].

- **Modo 4:**

El inversor está en uno de los 2 estados cero tradicionales $I_i = 0$ y al final del Modo 2, la corriente del inductor disminuye a cero, por lo que aparece un nuevo modo de operación. En el modo 4, el diodo deja de conducir y el inversor es un circuito abierto hacia la Red-Z debido a $I_i = 0$. La corriente del inductor se convierte en cero

y se mantiene cero hasta la siguiente acción de conmutación, Fig. 3.6. Por lo tanto, en este modo, el circuito Fuente-Z se aísla tanto de la fuente de CD como de la carga.

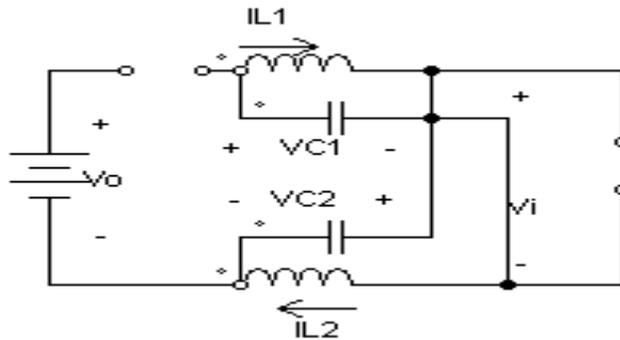


Fig. 3.6 Inversor ZSI monofásico, modo de operación 4 [53].

- **Modo 5:**

El inversor es conmutado a un estado activo después de uno de los estados cero tradicionales, Fig. 3.7. La corriente del inductor puede disminuir a un nivel inferior de la mitad de I_i . Después de haber conmutado a un estado activo, el inversor no puede entrar en el estado activo inmediatamente porque la corriente del inductor es menor que la mitad de la corriente de CD del inversor (la condición 2 no es válida) y el inversor entra en un estado de rotación libre descrito en Fig.1.6. Los dos diodos en el circuito equivalente son los diodos de antiparalelo (rueda libre) de las ramas de fase del inversor. Estos diodos retornan al inversor a un estado cero de disparo a través de la rama. Durante este estado, todas las ecuaciones del modo 1 se mantienen iguales y la corriente del inductor aumenta linealmente. Este modo continúa hasta que la corriente del inductor aumenta a la mitad de la corriente de CD del lado al inversor. El circuito entra en el Modo 3 y el inversor entra en estado activo.

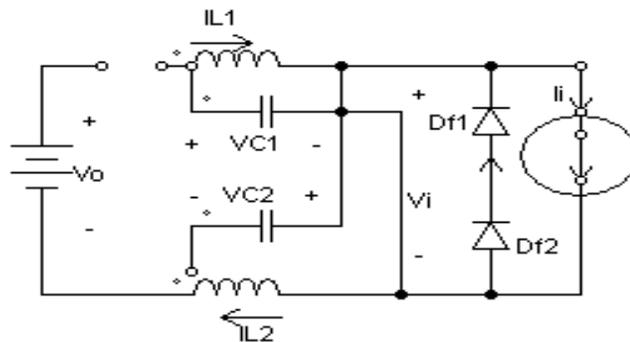


Fig. 3.7 Inversor ZSI monofásico, modo de operación 5 [53].

La diferencia entre este modo y el modo 1 es que este modo no se crea intencionalmente por la señal de control y depende de la corriente de carga y de la corriente del inductor en el momento de la conmutación.

Los Estados de conmutación del ZSI Monofásico pueden resumirse en la siguiente tabla, donde dicho inversor tiene cinco posibles estados de conmutación:

Estados de conmutación	No.	S1 (DI-1)	S2 (DI-3)	S3 (DI-2)	S4 (DI-4)	Voltaje de salida
Estados Activos	1	1	0	0	1	Voltaje Finito
	2	0	1	1	0	
Estados Cero	3	1	0	1	0	Cero
	4	0	1	0	1	
Estados STS	5-5	1	1	S3	S4	Cero
	5-6	S1	S2	1	1	
	5-7	1	1	1	1	

Tabla 3.1 Estados de conmutación del ZSI monofásico [53].

- Dos estados Activos (vectores) cuando el voltaje de CD está conectado a través de la carga
- Dos estados Cero (vectores) cuando los terminales de la carga están cortocircuitadas ya sea a través de los dos conmutadores superiores o inferiores y;
- Un estado STS (vector) cuando los terminales de la carga son cortocircuitados a través de los conmutadores superior e inferior de cualquiera de una o las dos ramas.

El ZSI utiliza los estados STS (cero) para elevar el voltaje además de los estados activo y cero tradicionales. La Fig. 3.8 muestra el estado STS del ZSI, en el que dos conmutadores de una o de las dos ramas se activan simultáneamente, proporcionando la capacidad de elevación al inversor sin dañar los dispositivos de conmutación. Durante el estado STS la energía se transfiere desde el condensador al inductor y, por tanto, el ZSI tiene la capacidad de elevar el voltaje.

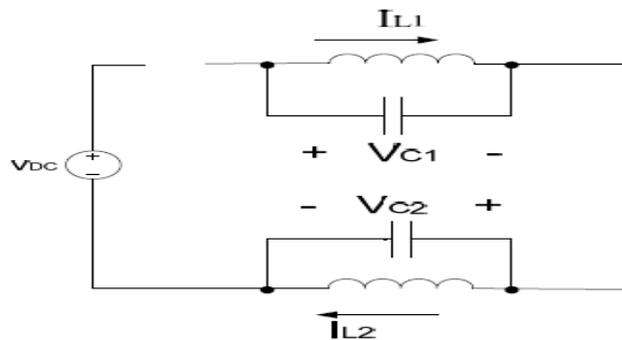


Fig. 3.8 Inversor ZSI monofásico, estado STS (cero) [53].

En este estado, el diodo D_S en el lado de entrada está polarizado inversamente y los condensadores $C1$ y $C2$ cargan los inductores $L1$ y $L2$ y el voltaje a través de los inductores es como ya se mencionó:

$$V_{L1} = V_{C1} \quad \text{y} \quad V_{L2} = V_{C2} \dots \dots 3.1.2$$

Y asumiendo la red de impedancia simétrica, se puede observar que:

$$V_{L1} = V_{L2} = V_L \quad \text{y} \quad I_{L1} = I_{L2} = I_L \quad \dots \quad 3.1.4$$

El voltaje del enlace de CD a través del puente inversor durante el estado STS en el intervalo (T_0) es:

$$V_i = 0 \quad \dots \quad 3.5$$

La Fig.3.9 muestra el inversor ZSI en estados activos y nulos tradicionales y debido a la red Z simétrica, la corriente de inductores I_{L1} , I_{L2} y la corriente de condensadores I_{C1} , I_{C2} son iguales.

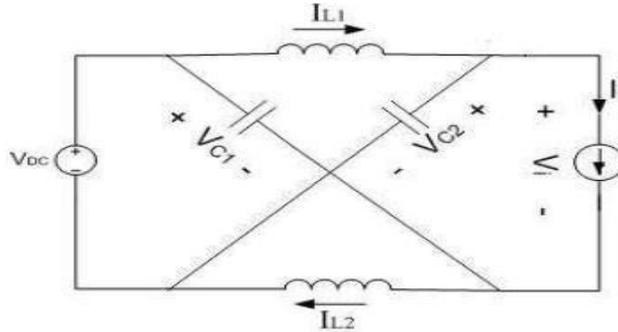


Fig. 3.9 Inversor ZSI monofásico, estado Activo [53].

$$I_{L1} = I_{L2} \quad \text{y} \quad I_{C1} = I_{C2}$$

El diodo D_S en el lado de entrada conduce y el voltaje a través de los inductores es:

$$V_L = V_{dc} - V_C \quad \dots \quad 3.1.3$$

El voltaje del enlace CD a través del puente inversor durante el intervalo sin disparo (T_1) es:

$$V_i = V_C - V_L$$

$$V_i = V_C - (V_{dc} - V_C)$$

$$V_i = 2V_C - V_{dc} \quad \dots \quad 3.1.6$$

Por lo tanto, la tensión media del enlace de CD a través del puente inversor durante un ciclo de conmutación (T) es:

$$\bar{V}_i = \frac{(T_0 * V_i) + T_1(2V_C - V_{dc})}{T}$$

$$\bar{V}_i = \frac{(T_0 * 0) + T_1(2V_C - V_{dc})}{T}$$

$$\bar{V}_i = \frac{T_1(2V_C - V_{dc})}{T} \quad \dots \quad 3.1.7$$

Tomando en cuenta que el voltaje promedio de los inductores en un periodo de conmutación T debe de ser cero cuando se está en un estado estable:

$$V_L = \bar{V}_L = \frac{(T_0 * V_C) + T_1(V_{dc} - V_C)}{T} = 0 \quad \dots \quad 3.1.8$$

$$0 = (T_0 * V_C) + T_1(V_{dc} - V_C)$$

$$0 = V_c(T_0 - T_1) + T_1(V_{dc})$$

$$V_c(T_1 - T_0) = T_1(V_{dc})$$

$$\frac{V_c}{V_{dc}} = \frac{T_1}{(T_1 - T_0)}$$

Se determina así el voltaje del capacitor:

$$V_c = \frac{T_1}{(T_1 - T_0)} V_{dc} \dots \dots 3.1.9$$

Igualando 5 y 6 se determina el voltaje pico que pasa a través del inversor:

$$V_i = V_c \dots \dots 3.1.10$$

$$\frac{T_1(2V_c - V_{dc})}{T} = \frac{T_1}{(T_1 - T_0)} V_{dc}$$

$$V_i = 2V_c - V_{dc} = (2V_c - V_{dc}) = \frac{T}{(T_1 - T_0)} V_{dc} \dots \dots 3.1.11$$

Aplicando:

$$T_1 = T - T_0$$

$$V_i = \frac{1}{1 - 2\frac{T_0}{T}} V_{dc}$$

$$V_i = \frac{T}{(T - T_0 - T_0)} V_{dc} = V_c$$

$$V_i = B * V_{dc} \dots \dots 3.1.12$$

$$V_i = \frac{T}{(T - 2T_0)} V_{dc}$$

$$B = \frac{T}{(T_1 - T_0)} = \frac{1}{1 - 2\frac{T_0}{T}} \geq 1 \dots \dots 3.1.13$$

$$V_i = \frac{\frac{T}{T}}{(T - 2T_0)} V_{dc}$$

B = Factor de elevación resultante del estado a través de la Rama (STS)

Por otro lado, la tensión de fase de pico de salida del inversor puede expresarse como:

$$\widehat{V}_{ac} = M * \frac{\widehat{V}_1}{2} \dots \dots 3.1.14$$

M = índice de modulación

Sustituyendo 12 en 14:

Para un Inversor tradicional Fuente de voltaje con técnica de modulación PWM se tiene:

$$\widehat{V}_{ac} = M * B * \frac{V_{dc}}{2} \dots \dots 3.1.15$$

$$\widehat{V}_{ac} = B * \frac{V_{dc}}{2} \dots \dots 3.1.16$$

La ecuación anterior muestra que la tensión de salida se puede subir y bajar eligiendo un factor de elevación apropiado B_B , el cual es determinado por el índice de modulación M y el factor de elevación B :

$$B_B = M * B = (0 \sim \infty) \dots \dots 3.1.17$$

Utilizando 1, 7 y 13 el voltaje del capacitor puede ser expresado como:

$$T_1 = T - T_0$$

$$V_c = \frac{T - T_0}{(T_1 - T_0)} V_{dc} \dots \dots 3.1.9$$

$$V_c = \frac{T - T_0}{(T - T_0 - T_0)} V_{dc}$$

$$V_c = \frac{T - T_0}{(T - 2T_0)} V_{dc}$$

$$V_c = \frac{T - T_0}{\frac{T}{(T - 2T_0)}} V_{dc}$$

$$V_c = \frac{1 - \frac{T_0}{T}}{1 - \frac{2T_0}{T}} V_{dc}$$

$$D_0 = \frac{T_0}{T}$$

$$V_c = \frac{1 - D_0}{1 - 2D_0} V_{dc} \dots \dots 3.1.18$$

$D_0 =$ Disparo a través del ciclo de trabajo

$V_{dc} =$ Voltaje de entrada

El factor de elevación **B** expresado en (3.1.13) se puede controlar mediante el ciclo de trabajo (es decir, la relación de intervalos) del estado STS a través de los estados sin disparo del inversor PWM. El estado STS no afecta el control PWM del inversor, ya que produce de forma equivalente el mismo voltaje cero en la terminal de la carga. El periodo de STS está limitado por el periodo del estado cero que está determinado por el índice de modulación.

3.1.1.1 Resultados de la simulación del ZSI monofásico, SBC

A fin establecer el funcionamiento del Inversor Fuente-Z monofásico, la Fig. 3.10, muestra el ZSI Monofásico utilizado para la simulación en la plataforma Matlab/Simulink, consecuentemente en la Tabla IV se establecen los resultados de dicha simulación, y, donde las señales de los dispositivos de conmutación, se obtienen a partir de la comparación de una sola onda portadora con dos ondas moduladas desfasadas 180° entre sí, éstas a su vez se comparan con las señales envolventes para generar los estados STS, a su vez, respectivamente la Fig. 3.12 muestra las formas de onda de salidas generadas del voltaje y la corriente en la carga respectivamente.

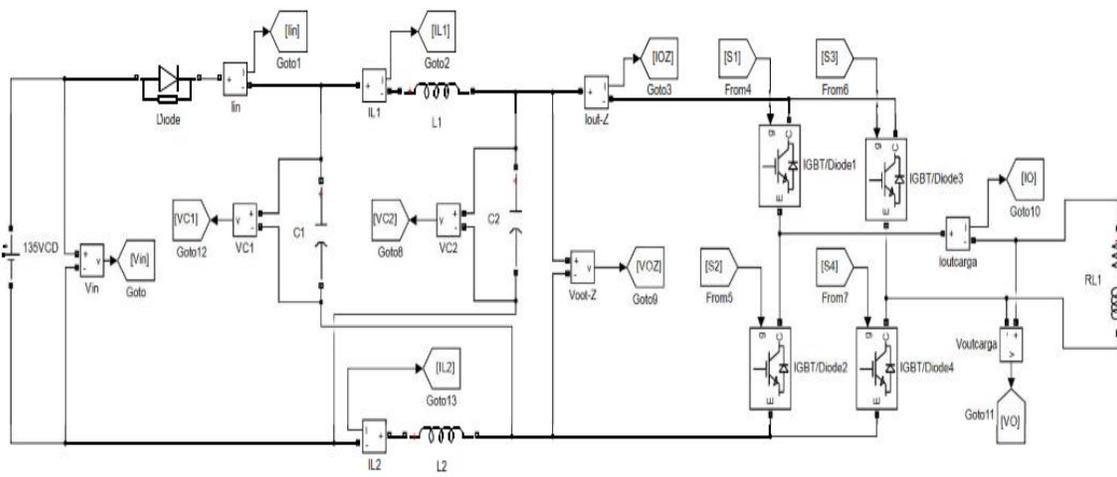
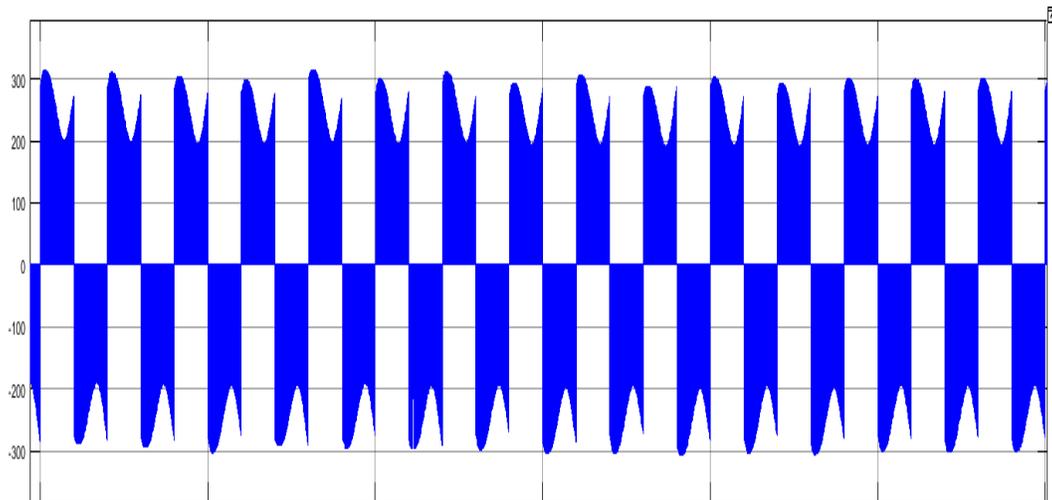
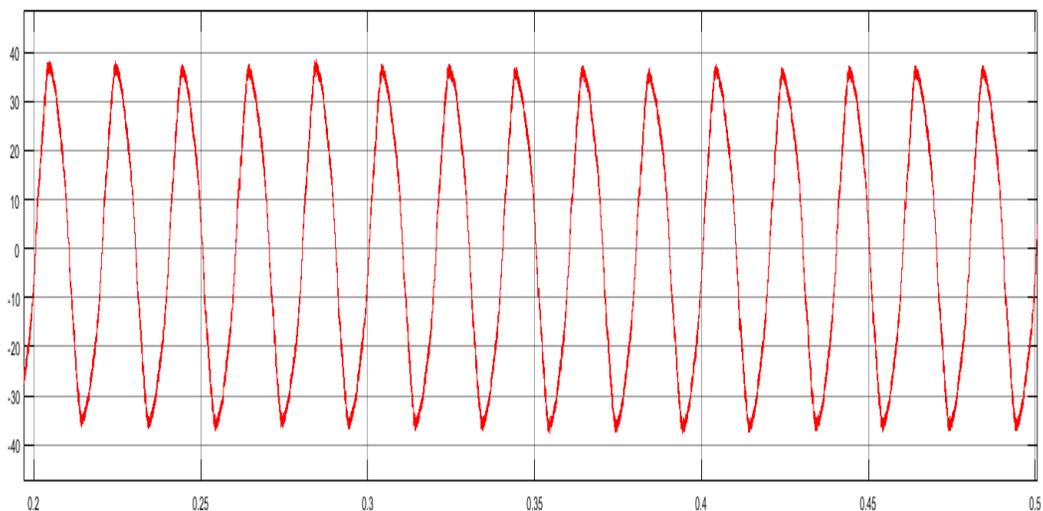


Fig. 3.10. Inversor ZSI monofásico en Matlab/Simulink.



a)



b)

Fig. 3.11. Formas de onda de la simulación del ZSI Monofásico, a) V_{Out} y b) I_{Out} .

IFZ	Portadora (f)	Moduladora1 (f)	Moduladora2 (f)	Constantes 1 y 2
Entrada	5 KHz	$2 \cdot \pi \cdot 50$ (0.8 amplitud) (0 fase)	$2 \cdot \pi \cdot 50$ (0.8 amplitud) ($180 \cdot (\pi/180)$ fase)	0.8 y -0.8
	V_{in}	I_{in} (prom)	$C=C1=C2$	$L=L1=L2$
	135 VCD	23.39 A	1000 uF	1 mH
Salida	V Link de CD (prom)	I Link de CD (prom)	Load	FP
	206.7 V	29.14 A	$R= 5 \Omega$; $L= 2$ mH	0.76
	V_{out} (RMS)	I_{out} (RMS)		
	164.4 V	24.21 A		

Tabla 3.2 Resultados de la simulación del ZSI monofásico, SBC.

Sin embargo, debido a que en un diseño en particular es necesario establecer los valores de los elementos involucrados en el circuito (capacitores e inductores, para este caso), la anterior simulación se estableció como pauta para determinar el comportamiento del Inversor Fuente-Z trifásico respecto al diseño de la red de impedancia Z, en la cual los valores de dichos elementos se seleccionan respecto a un determinado rizo (ondulación) de voltaje y corriente respectivamente, diseño que será expuesto en la siguiente sección.

3.1.2 Inversor ZSI trifásico; modos y estados de operación

Como se ha mencionado el estado de funcionamiento de la red-Z de trabajo en el enlace de CD está definido por los estados de conmutación de los dispositivos semiconductores en sus terminales de entrada y salida. Como se muestra en la Fig. 3.1, el diodo **Ds** en su lado de la entrada tiene dos estados de conmutación “On y Off”, y el puente inversor en el lado de la salida tiene tres estados de conmutación como 1, 2 y 3.

- En el estado 1 (Estado Open) [3], el puente inversor aplica uno de los dos vectores de conmutación cero a la carga mientras que está en circuito abierto en sus terminales de entrada:

Estado	S1 (+1)	S2 (-6)	S3 (+3)	S4 (-2)	S5 (+5)	S6 (-4)	Voltaje de salida (Vo)
Open	1	0	1	0	1	0	0
Open	0	1	0	1	0	1	0

Tabla 3.3 Estado de operación “Open” del ZSI trifásico.

- De forma similar, en el **estado 2 (Activo)** [3], el puente inversor **aplica uno de los seis vectores** de conmutación no nula a la carga mientras se dibuja una corriente dependiente de la carga desde su fuente de entrada. La corriente extraída de la red-Z durante este estado puede ser representada por una fuente de corriente constante **I₀** al excluir su contenido de rizo (ondulación) [3].

Estado	S1 (+1)	S2 (-6)	S3 (+3)	S4 (-2)	S5 (+5)	S6 (-4)	Voltaje de salida (Vo)
Activo	1	1	0	0	0	1	Finito
Activo	1	1	1	0	0	0	Finito
Activo	0	1	1	1	0	0	Finito
Activo	0	0	1	1	1	0	Finito
Activo	0	0	0	1	1	1	Finito
Activo	1	0	0	0	1	1	Finito

Tabla 3.4 Estado de operación “Activo” del ZSI trifásico.

- Un puente de inversión convencional sólo puede ser operado en uno de los dos estados de entrada mencionados. Sin embargo como se mencionó en el apartado anterior, con la red-Z en el enlace de CD, **el puente del ZSI puede ser operado en un tercer estado de entrada, STS** [3]. Durante este estado, las terminales de entrada del puente inversor están efectivamente en cortocircuito al conectar los dispositivos de conmutación en la parte superior e inferior de una o más de sus tres ramas.

Estado	S1 (+1)	S2 (-6)	S3 (+3)	S4 (-2)	S5 (+5)	S6 (-4)	Cortocircuito	Voltaje de salida (Vo)
STS 1	1	¡S5	S3	1	S5	¡S3	1 ∅ – Rama 1	0
STS 2	S1	¡S5	1	¡S1	S5	1	1 ∅ – Rama 2	0
STS 3	S1	1	S3	¡S1	1	¡S3	1 ∅ – Rama 3	0
STS 4	1	¡S5	1	1	S5	1	2 ∅ – Rama 1 y 2	0
STS 5	1	1	S3	1	1	¡S3	2 ∅ – Rama 1 y 3	0
STS 6	S1	1	1	¡S1	1	1	2 ∅ – Rama 2 y 3	0
STS 7	1	1	1	1	1	1	3 ∅ – Rama 1, 2 y 3	0

Tabla 3.5 Estado de operación “STS” del ZSI trifásico.

Así, en general, la red-Z de trabajo del ZSI en un momento dado puede operar en cualquiera de los seis estados posibles dados en la Tabla VII.

Puente Inversor	Open		Active		STS	
Diodo	On	Off	On	Off	On	Off
Impedancia de Trabajo	Open-1	Open-2	Activo-1	Activo-2	STS-1	STS-2

Tabla 3.6 Estados de operación de la Red-Z [50].

Durante un ciclo de conmutación del puente inversor, la red-Z puede operar hasta un máximo de seis estados. Sin embargo, como se verá más adelante, los estados Open-1, Activo-1 y de STS-1 son los estados deseados en aplicaciones prácticas, por otro lado, los estados Open-2, Activo-2 y STS-2 son indeseables y deben evitarse mediante el dimensionamiento adecuado de los inductores y condensadores de la red de impedancia.

Antes de analizar las variaciones de tensión-corriente en cada uno de los seis estados posibles, las ecuaciones comunes que describen la red-Z en general pueden escribirse como:

$$V_L = L \frac{d}{dt} I_L \quad I_C = C \frac{d}{dt} V_C \quad V_S = V_C + V_L \quad I_S = I_C + I_L \quad V_i = V_C - V_L \quad I_i = I_L - I_C$$

Donde:

V_L y I_L El voltaje y la corriente a través de cualquiera de los dos inductores.

V_C y I_C El voltaje y la corriente de cualquiera de los condensadores.

V_S y I_S El voltaje y la corriente en las terminales de entrada de la Red-Z conectada a la fuente a través del diodo.

V_i y I_i El voltaje y la corriente en las terminales de entrada del puente inversor.

Las características de cada estado operativo se pueden describir por separado, tal como se describe más adelante, despreciando las resistencias parasitarias de la fuente, los inductores y los condensadores.

A. Estado “Open-1 (Diodo=On)”:

Las ecuaciones que definen el estado Open-1 están dadas por:

$$\mathbf{V}_S = \mathbf{E}_S \quad \mathbf{I}_i = \mathbf{0} \quad \dots 3.2.1$$

$$\mathbf{E}_S = \mathbf{V}_C + \mathbf{LC} \frac{d^2}{dt^2} (\mathbf{V}_C)$$

Donde:

$$\mathbf{w} = \frac{1}{\sqrt{\mathbf{LC}}} \quad \dots 3.2.4$$

$$\mathbf{V}_S = \mathbf{E}_S = \mathbf{V}_C + \mathbf{V}_L$$

$$\frac{\mathbf{E}_S}{\mathbf{LC}} = \frac{\mathbf{V}_C}{\mathbf{LC}} + \frac{d^2}{dt^2} (\mathbf{V}_C)$$

$$\mathbf{I}_S = \mathbf{I}_C = \mathbf{I}_L = \frac{\mathbf{I}_S}{2}$$

$$\frac{d^2}{dt^2} (\mathbf{V}_C) + \frac{\mathbf{V}_C}{\mathbf{LC}} = \frac{\mathbf{E}_S}{\mathbf{LC}}$$

$$\mathbf{X}_0 = \sqrt{(\mathbf{V}_{C_{i0}} - \mathbf{E}_S)^2 + \left(\frac{\mathbf{I}_{L_{i0}}}{\mathbf{wC}}\right)^2}$$

..... 3.2.5

$$\mathbf{V}_L = \mathbf{L} \frac{d}{dt} \mathbf{I}_L$$

$$\frac{d^2}{dt^2} (\mathbf{V}_C) + \frac{\mathbf{V}_C}{\mathbf{LC}} - \frac{\mathbf{E}_S}{\mathbf{LC}} = \mathbf{0}$$

$$\varphi_0 = \tan^{-1}(\mathbf{V}_{C_{i0}} - \mathbf{E}_S) \frac{\mathbf{wC}}{\mathbf{I}_{L_{i0}}}$$

..... 3.2.6

$$\mathbf{I}_C = \mathbf{I}_L = \mathbf{C} \frac{d}{dt} \mathbf{V}_C$$

Aplicando Laplace

$$\mathbf{V}_C = \mathbf{E}_S + \mathbf{X}_0 * \sin(\mathbf{wt} + \varphi_0)$$

$\mathbf{V}_{C_{i0}}$ = valor inicial del \mathbf{V}_C

..... 3.2.2

$$\mathbf{V}_L = \mathbf{L} \frac{d}{dt} \left(\mathbf{C} \frac{d}{dt} \mathbf{V}_C \right)$$

$\mathbf{I}_{L_{i0}}$ = valor inicial de la \mathbf{I}_L

$$\mathbf{V}_L = \mathbf{LC} \frac{d^2}{dt^2} (\mathbf{V}_C)$$

$$\mathbf{I}_C = \mathbf{C} \frac{d}{dt} \mathbf{V}_C$$

$$\varphi_0 < \frac{\pi}{2}$$

$$\mathbf{I}_C = \mathbf{C} \frac{d}{dt} [\mathbf{E}_S + \mathbf{X}_0 * \sin(\mathbf{wt} + \varphi_0)]$$

$$\mathbf{I}_C = \mathbf{wCX}_0 * [\cos(\mathbf{wt} + \varphi_0)]$$

..... 3.2.3

Con valores positivos de ($\mathbf{V}_{C_{i0}}$) e ($\mathbf{I}_{L_{i0}}$), el rango del ángulo inicial es ($\varphi_0 < \frac{\pi}{2}$). Como resultado, el voltaje del condensador aumentará de manera sinusoidal a través del tiempo, las tensiones del inductor y de salida en este estado están dadas por:

$$\mathbf{V}_L = \mathbf{E}_S - \mathbf{V}_C \quad \mathbf{V}_i = \mathbf{V}_C - \mathbf{V}_L = \mathbf{V}_C - (\mathbf{E}_S - \mathbf{V}_C) = 2\mathbf{V}_C - \mathbf{E}_S \quad \dots 3.2.7 \quad \text{Elevando}$$

En ($\mathbf{wt} + \varphi_0 = \frac{\pi}{2}$) la tensión del condensador alcanza su valor máximo, y las corrientes del inductor y de la fuente caen a cero. Si el puente inversor se opera en estado abierto (Open) más allá del tiempo límite de ($\mathbf{t}_{O_{Max}} = \frac{\frac{\pi}{2} - \varphi_0}{\mathbf{w}}$), el diodo \mathbf{D}_S se apagará cuando la corriente de la fuente intente fluir en la dirección inversa. Esto significa el final del estado Open-1 y el comienzo del estado Open-2.

B. Estado Open-2 “(Diodo=Off)”:

En el estado Open-2, el diodo permanece en el estado Off y el puente inversor en estado abierto. Por lo tanto, las ecuaciones que definen el estado se dan como:

$$I_s = 0 \quad I_i = 0 \dots 3.2.8$$

Dado que la red-Z permanece aislada de la fuente y la carga, todas las variables del sistema permanecen constantes durante este estado. Con el fin de evitar este estado, la condición necesaria puede ser vista como:

$$I_{Lfo} > 0 \dots 3.2.9 \quad I_{Lfo} = \text{valor final de la } I_L \text{ en el estado Open} - 1$$

C. Estado Activo-1 “(Diodo = On)”:

Como puede verse en el circuito equivalente dado en la Fig. 2.1, la única diferencia entre el estado Open-1 y Activo-1 es la presencia de la fuente de corriente constante I_0 a través de las terminales de entrada del puente inversor. Las ecuaciones que definen el estado para el estado Activo-1 son:

$$V_s = E_s \quad I_i = I_0 \dots 3.2.10$$

Sustituyendo, la tensión del condensador y las corrientes del sistema pueden expresarse como:

$$V_c = E_s + X_A * \sin(\omega t + \varphi_A) \dots 3.2.11$$

$$I_c = I_L - I_0 = \frac{I_s - I_0}{2} = \omega C X_A * [\cos(\omega t + \varphi_A)]$$

$$\dots 3.2.12$$

$$X_A = \sqrt{(V_{CiA} - E_s)^2 + \left(\frac{I_{LiA} - I_0}{\omega C}\right)^2}$$

$$\varphi_A = \tan^{-1} \left[(V_{CiA} - E_s) \frac{\omega C}{I_{LiA} - I_0} \right]$$

$$\dots 3.2.14$$

$$\dots 3.2.13$$

$$V_{CiA} = \text{valor inicial del } V_c$$

$$V_L = E_s - V_c$$

$$I_{LiA} = \text{valor inicial de la } I_L$$

$$V_i = V_c - V_L = V_c - (E_s - V_c) = 2V_c - E_s \dots 3.2.15$$

Elevando

Comparando (3.2.11) y (3.2.12) con aquellos para el estado Open-1 dado en (3.2.2) y (3.2.3), puede verse que el estado Open-1 es un caso especial del estado Activo-1, donde ($I_0 = 0$). A medida que la corriente de carga (I_0) aumenta desde cero, el valor de pico de las componentes sinusoidales de la tensión del condensador y de la corriente del inductor disminuirá y alcanzará un mínimo cuando ($I_0 = I_{LiA}$). Además, el ángulo inicial (φ_A) aumentará con el aumento de la (I_0) y alcanzará un valor de $\left(\frac{\pi}{2} \text{ en } I_0 = I_{LiA}\right)$. Se puede ver que la corriente a través del diodo (I_s) será cero y el diodo se apagará cuando ($I_L = -I_c = \frac{I_0}{2}$). Se observa entonces que la tensión del condensador se carga al valor de pico y después se descarga antes de aproximarse al punto de funcionamiento anterior que marca el final del estado de Activo-1 y el comienzo del estado de Activo-2. Si la duración del período de Activo-1 es (t_A), los valores finales de las dos variables de estado se pueden escribir como:

$$V_{CfA} = E_S + X_A * \sin(\omega t_A + \varphi_A)$$

..... 3.2.16

$$I_{LfA} = I_0 + \omega C X_A * [\cos(\omega t_A + \varphi_A)]$$

..... 3.2.17

D. Estado Activo-2 “(Diodo = Off)”:

Las ecuaciones que definen el estado para el estado Activo-2 son:

$$I_i = I_0 \quad I_s = 0 \quad \dots 3.2.18$$

Sustituyendo, se puede ver que las corrientes permanecen constantes en $(I_L = -I_C = \frac{I_0}{2})$ y el condensador se descarga linealmente con un tiempo a razón de $(\frac{I_0}{2C})$. Para evitar que el estado Activo-2 aparezca durante la operación, la condición necesaria es:

$$I_{LfA} > \frac{I_0}{2} \quad \dots 3.2.19$$

E. Estado de “STS-1 (Diodo = Off)”:

Las ecuaciones que definen el estado STS-1 son:

$$V_i = 0 \quad I_s = 0 \quad \dots 3.2.20$$

Sustituyendo, la tensión del condensador y su corriente se pueden encontrar como:

$$V_C = V_L = \frac{V_S}{2} = X_S * \sin(\omega t + \varphi_S) \quad I_C = -I_L = \omega C X_S * [\cos(\omega t + \varphi_S)]$$

..... 3.2.21 3.2.22

$$X_S = \sqrt{(V_{Cis})^2 + \left(\frac{-I_{Lis}}{\omega C}\right)^2} \quad \varphi_S = \tan^{-1}\left(-V_{Cis}\right) \frac{\omega C}{I_{Lis}}$$

..... 3.2.23 3.2.24

$$V_{Cis} = \text{valor inicial del } V_C \quad I_{Lis} = \text{valor inicial de la } I_L$$

Mientras $(\frac{\pi}{2} < \varphi_S < \pi)$ habrá tensiones de capacitores y corrientes de inductores positivas encontrados en convertidores prácticos, la tensión del condensador dada por (3.2.21) desciende desde su valor inicial de una manera sinusoidal con un tiempo creciente en este estado. Simultáneamente, la corriente del inductor dada por (3.2.22) aumenta hacia su valor de pico de una manera sinusoidal con tiempo creciente. Esto indica que la energía almacenada en los condensadores durante los estados Abierto (Open) y Activo se transfiere a los inductores durante el estado STS, lo que permite la elevación de la tensión aplicada al puente inversor. El estado de STS-1 termina y el estado de STS-2 comienza cuando el diodo D_S se polariza en directa y conduce. Esto ocurre cuando (V_S) cae al nivel de (E_S) , se puede ver que $(V_C = \frac{E_S}{2})$ al final del estado STS-1. Si la duración del estado STS-1 es (t_s) , los valores finales de las dos variables de estado se pueden escribir como:

$$V_{Cfs} = X_S * \sin(\omega t_s + \varphi_S)$$

..... 3.2.25

$$I_L = -\omega C X_S * [\cos(\omega t_s + \varphi_S)]$$

..... 3.2.26

F. Estado “STS-2 (Diodo = On)”:

Las ecuaciones definitorias del estado STS-2 se pueden escribir como:

$$V_s = E_s \quad V_i = 0 \dots 3.2.27$$

Notando que el $(V_C = V_L = \frac{E_s}{2})$ e $(I_C = 0)$ en este estado. Además, la corriente del inductor sube linealmente a una velocidad de $(\frac{E_s}{2L})$ a través del tiempo. Por lo tanto, no es seguro permitir que el convertidor funcione durante períodos prolongados en este estado, ya que las corrientes crecientes podrían dañar el diodo **Ds** y los dispositivos de conmutación del puente inversor. Para evitar que aparezca el estado STS-2 durante el funcionamiento, la condición necesaria es:

$$V_{Cfs} > \frac{E_s}{2} \dots 3.2.28$$

G. Visión general de los estados operativos

Está claro que los estados Open-2, Activo-2 y STS-2 (estados estáticos) no contribuyen al proceso de conversión de energía y deben ser evitados, por otro lado los convertidores prácticos funcionan sólo en dos o tres de los estados Open-1, Activo-1 y STS-1. Dado que los tres estados estáticos aparecen sólo cuando la tensión del condensador y la corriente del inductor fluctúan en una amplia gama, dando lugar a la violación de las condiciones dadas en (3.2.9), (3.2.19) y (3.2.28), es necesario limitar los rizados de la tensión y la corriente relacionadas aumentando los tamaños de los inductores y condensadores apropiadamente. Por lo tanto, después de diseñar el circuito, se puede realizar un control con estas tres condiciones para asegurar la limitación del funcionamiento sólo a los tres estados dinámicos.

H. Diseño de la red de impedancia (Diseño basado en formas de onda sinusoidales)

Como los estados Open-1 y Activo-1 se comportan de manera similar, el período Open-1 puede ser considerado como parte del estado Activo-1 sin mucho error en el diseño. Los tres estados estáticos se desprecian ya que no son útiles para el proceso de conversión de potencia y deben evitarse dimensionando apropiadamente los inductores y condensadores. Por lo tanto, ZSI se supone que está operando sólo en los estados Activo-1 y STS-1, como se propone en [3]. Puesto que el valor final de una variable en un estado es el valor inicial de la misma variable en el otro estado, las condiciones de contorno pueden definirse como:

$$V_{CiA} = V_{Cfs} = V_{\min} \quad V_{CiS} = V_{CfA} = V_{\max} \dots 3.2.29$$

V_{\min} y V_{\max} = Valores mínimo y máximo de la tensión del condensador

$$I_{LiA} = I_{Lfs} = I_{\max} \quad I_{LiS} = I_{LfA} = I_{\min} \dots 3.2.30$$

I_{\min} y I_{\max} = Valores mínimo y máximo de la corriente del inductor

Además, dado que un ciclo de conmutación del puente inversor consta sólo del estado de STS-1 y Activo-1, los dos periodos se pueden escribir como:

$$t_s = d_s * T_s \quad t_A = (1 - d_s)T_s \quad t_s + t_A = (d_s * T_s) + (1 - d_s)T_s = T_s$$

T_s = periodo de ciclo de conmutación en el enlace de DC

d_s = relación de duración del estado de Disparo – 1

En las anteriores ecuaciones, (T_S) es la mitad del período de conmutación del puente inversor, ya que los dos semiciclos de un ciclo de conmutación producen patrones de conmutación idénticos en el enlace de CD, dichas describen las formas de onda de la tensión del condensador y la corriente del inductor, como se muestra en la Fig. 3.12 (a) y (b), respectivamente.

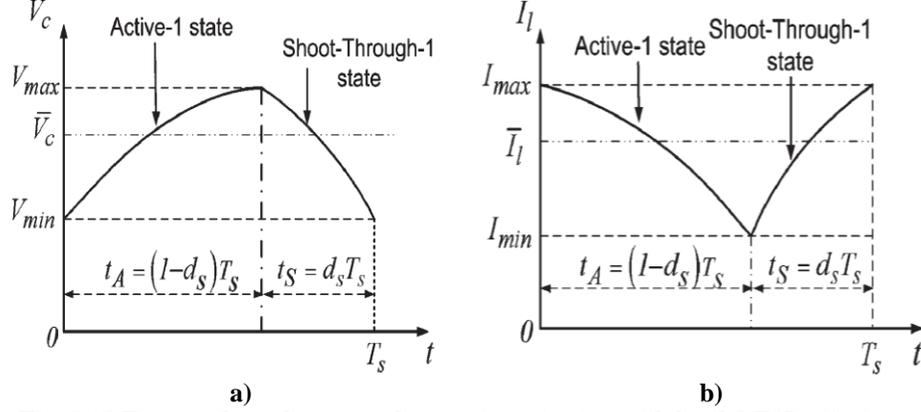


Fig. 3.12 Formas de onda en estado estacionario-sinusoidales del ZSI trifásico para rizados de a) V_c y b) I_L [50].

Al sustituir (3.2.29) y (3.2.30) en (3.2.13-17) y (3.2.23-26), pueden reescribirse de la siguiente manera:

$$X_A = \sqrt{(V_{\min} - E_S)^2 + \left(\frac{I_{\max} - I_0}{\omega C}\right)^2} \dots 3.2.31 \quad \varphi_A = \tan^{-1} \left[\frac{(V_{\min} - E_S)}{\left(\frac{I_{\max} - I_0}{\omega C}\right)} \right] \dots 3.2.32$$

$$X_S = \sqrt{(V_{\max})^2 + \left(\frac{-I_{\min}}{\omega C}\right)^2} \dots 3.2.33 \quad \varphi_S = \tan^{-1} \left[\frac{V_{\max}}{\left(\frac{-I_{\min}}{\omega C}\right)} \right] \dots 3.2.34$$

$$F(1) = -V_{\max} + E_S + X_A * \sin[\omega(1 - d_S)T_S + \varphi_A] = 0 \dots 3.2.35$$

$$F(2) = -I_{\min} + I_0 + \omega C X_A * [\cos(\omega(1 - d_S)T_S + \varphi_A)] = 0 \dots 3.2.36$$

$$F(3) = -V_{\min} + X_S * \sin[(\omega * d_S * T_S) + \varphi_S] = 0 \dots 3.2.37$$

$$F(4) = I_{\max} + \omega C X_S * [\cos(\omega * d_S * T_S + \varphi_S)] = 0 \dots 3.2.38$$

Dado que el voltaje equivalente de enlace de CD aplicado al puente inversor está dado por el valor medio de (V_i) durante el estado Activo-1 ($\overline{V_{iA}}$), puede expresarse usando (3.2.7), (3.2.11) y (3.2.12) como:

$$\overline{V_{iA}} = \frac{1}{t_A} \int_0^{t_A} V_i dt = E_S + \frac{2[I_{LiA} - I_{LfA}]}{[\omega^2 C(1 - d_S)T_S]} \dots 3.2.39$$

Para un VSI trifásico operado con SPWM, el valor pico de la fundamental de línea a la tensión de salida neutra (V_m) viene dado por $\left(\frac{M V_{iA}}{2}\right)$ [33], donde M es el índice de modulación, por lo tanto, al sustituir ($\overline{V_{iA}}$) en (39), puede expresarse como:

$$F(5) = \frac{-2V_m}{M} + E_S + \frac{2[I_{\max} - I_{\min}]}{[\omega^2 C(1 - d_S)T_S]} = 0 \dots 3.2.40$$

Al despreciar las pérdidas de potencia en el inversor y los efectos de los armónicos en el lado de CA, la potencia media transferida desde el enlace de CD se puede igualar a la potencia suministrada a la carga de CA durante un ciclo como [33]:

$$\overline{V_{IA}} * I_0(1 - d_S) = \frac{3}{2} V_m * I_m * \cos \theta \dots 3.2.41$$

Donde (I_m) es la corriente pico de fase en el lado de CA y (θ) es el ángulo de factor de potencia de la carga en el lado de CA del inversor. Al sustituir ($\overline{V_{IA}} = \frac{2V_m}{M}$) en (41), se puede volver a escribir como:

$$F(6) = -I_0 + \frac{\frac{3}{4} M * I_m * \cos \theta}{(1 - d_S)} = 0 \dots 3.2.42$$

Finalmente, la relación entre (M y d_S) es el resultado de la estrategia de control que se adopta para conmutar el puente inversor. Por ejemplo, en SBC [3] y en CMBC [23], (d_S) se mantiene constante en ($1 - M$) y ($1 - \frac{\sqrt{3}M}{2}$) respectivamente. Por lo tanto, en general, M se puede escribir como una función de (d_S) como:

$$M = f(d_S) \dots 3.2.43$$

Para determinar los tamaños del inductor y del condensador para una condición de funcionamiento dada, deben resolverse seis ecuaciones no lineales (3.2.35-38), (3.2.40 y 3.2.42) junto con las seis ecuaciones algebraicas (3.2.4), (3.2.31-34) y (3.2.43).

1. Proceso de Solución

A la vista de resolver las ecuaciones derivadas, es necesario categorizar las 19 variables utilizadas en las ecuaciones, como se indica a continuación:

- 1) Datos de entrada (parámetros de circuito conocidos): E_S, T_S, V_m, I_m y θ
- 2) Datos de salida (variables desconocidas): L, C, d_S, I_0, V_{Max} y I_{Max}
- 3) Variables de diseño (especificadas por el usuario): V_{min} y I_{min}
- 4) Variables internas: $X_A, \varphi_A, X_S, \varphi_S, w$ y M

Para obtener los valores de las seis variables desconocidas, se deben resolver simultáneamente seis ecuaciones no lineales F(1)-F(6), dadas en (35-38, 40 y 44). Usando una rutina iterativa numérica tal como “Fsolve” de Matlab. Las seis variables internas se expresan directamente en términos de las otras variables y parámetros mediante las seis ecuaciones algebraicas (4), (31-36) y (43). Si es necesario, estas variables internas pueden eliminarse sustituyéndolas en las seis ecuaciones simultáneas no lineales que se resolverán mediante el método numérico. Sin embargo, también pueden mantenerse en la rutina de iteración para mantener la claridad de las ecuaciones. Para iniciar el proceso de iteración, también se debe proporcionar un conjunto de valores iniciales para las variables desconocidas a la rutina numérica. Por lo tanto, se propone el método aproximado de diseño descrito en la siguiente sección usando formas de onda lineales para obtener los valores iniciales de las seis variables desconocidas.

2. Valores iniciales

El método de diseño descrito aquí asume que la tensión del condensador y la corriente de inductor varían linealmente con el tiempo. Esta suposición es exacta cuando las ondulaciones de estas variables son pequeñas en comparación con sus valores medios. Dado que los contenidos de ondulación (rizos) más grandes aumentan la corriente y la tensión nominal de todos los dispositivos en el ZSI, también aumentan el contenido de armónicos en la forma de onda de CA de salida, el ZSI práctico normalmente está diseñado con grandes condensadores e inductores. Por lo tanto, el método dado a continuación puede usarse para dimensionar aproximadamente los componentes en la mayoría de los casos.

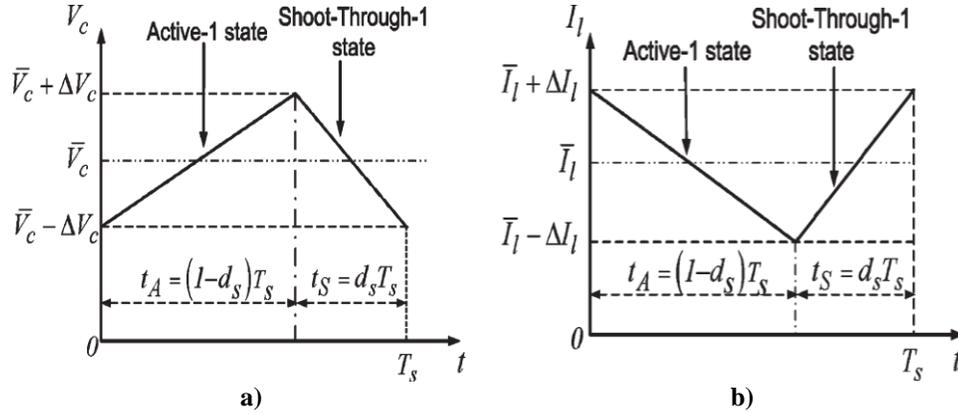


Fig. 3.13 Formas de onda en estado estacionario-linealizadas del ZSI trifásico para rizados de a) V_c y b) I_L [50].

La Fig.3.13 muestra las formas de onda lineales de la tensión del condensador y de la corriente del inductor para un ciclo de conmutación del enlace de CD. Tomando las ondulaciones pico (rizos) y los valores medios de voltaje de condensador y corriente de inductor (ΔV_c , \bar{V}_c , ΔI_L y \bar{I}_L), respectivamente, los valores máximo y mínimo de las dos variables pueden escribirse como:

$$V_{\min} = \bar{V}_c - \Delta V_c = (1 - k_v)\bar{V}_c$$

$$V_{\max} = \bar{V}_c + \Delta V_c = (1 + k_v)\bar{V}_c$$

$$I_{\min} = \bar{I}_L - \Delta I_L = (1 - k_i)\bar{I}_L \dots \dots 3.2.44$$

$$I_{\max} = \bar{I}_L + \Delta I_L = (1 + k_i)\bar{I}_L \dots \dots 3.2.45$$

$$k_v = \frac{\Delta V_c}{\bar{V}_c}$$

$$k_i = \frac{\Delta I_L}{\bar{I}_L}$$

Factores de rizo de las dos formas de onda y a su vez son las dos “variables de diseño” para un diseño basado en formas de onda lineales.

Con variaciones lineales de formas de onda, de (a), el (ΔV_c y ΔI_L) se pueden expresar como:

$$\Delta V_c = \frac{\bar{I}_c * \Delta t}{C} \quad \Delta I_L = \frac{\bar{V}_L * \Delta t}{L} \dots \dots 3.2.46$$

$$C = \frac{\bar{I}_L * d_s * T_s}{2 * \Delta V_c} \quad L = \frac{\bar{V}_c * d_s * T_s}{2 * \Delta I_L} \dots \dots 3.2.47$$

Considerando el período de Disparo STS-1

Puesto que la tensión media del inductor y la corriente media del condensador durante un ciclo de conmutación completo en estado estacionario son cero [3]:

$$\frac{\bar{V}_C}{E_S} = \frac{\bar{I}_L}{I_0} = \lambda \dots 3.2.48 \quad \lambda = \frac{(1 - d_S)}{(1 - 2d_S)}$$

$$C = \frac{I_0 * d_S * T_S}{2 * k_V * E_S} \quad L = \frac{E_S * d_S * T_S}{2 * k_i * I_0} \dots 3.2.49$$

Para un inversor trifásico

$$C = \frac{3 * d_S * T_S * M * I_m * \cos \theta}{8 * k_V * E_S (1 - d_S)} \quad L = \frac{2 * E_S * d_S * T_S * (1 - d_S)}{3 * k_i * M * I_m * \cos \theta} \dots 3.2.50$$

Por lo tanto, si se conocen E_S , I_m , θ , d_S , T_S , M , C y L para cualquier estrategia de control, se pueden calcular a partir de (3.2.46) para dar como resultado los niveles de ondulación deseados. Además, utilizando (3.2.7 y 3.2.48).

$$\bar{V}_{iA} = (2\lambda - 1)E_S \quad \bar{V}_{iA} = \frac{E_S}{(1 - 2d_S)} \dots 3.2.51$$

a) SBC: la relación entre M y d_S es [3]:

$$M = 1 - d_S \dots 3.2.52$$

$$I_0 = \frac{3}{4} * I_m * \cos \theta \dots 3.2.53$$

$$\bar{V}_{iA} = \frac{2 * V_m}{M} \quad \lambda = \frac{2 * V_m}{E_S} \quad d_S = \frac{(2V_m - E_S)}{(4V_m - E_S)} \dots 3.2.54$$

$$\bar{V}_C = 2 * V_m \quad \bar{I}_L = \frac{2 * V_m * I_0}{E_S} \dots 3.2.55$$

$$C = \frac{3 * T_S * I_m * \cos \theta}{8 * k_V * E_S} * \frac{(2V_m - E_S)}{(4V_m - E_S)} \dots 3.2.56$$

$$L = \frac{2 * E_S * T_S}{3 * k_i * I_m * \cos \theta} * \frac{(2V_m - E_S)}{(4V_m - E_S)} \dots 3.2.57$$

b) CMBC: la relación entre M y d_S es [23]:

$$M = \frac{2(1 - d_S)}{\sqrt{3}} \dots 3.2.58$$

$$I_0 = \frac{\sqrt{3}}{2} I_m * \cos \theta \dots 3.2.59$$

$$\lambda = \frac{\sqrt{3} * V_m}{E_S} \quad d_S = \frac{(\sqrt{3}V_m - E_S)}{(2\sqrt{3}V_m - E_S)} \dots 3.2.60$$

$$\bar{V}_C = \sqrt{3} * V_m \quad \bar{I}_L = \frac{\sqrt{3} * V_m * I_0}{E_S} \dots 3.2.61$$

$$C = \frac{\sqrt{3} * T_S * I_m * \cos \theta}{4 * k_V * E_S} * \frac{(\sqrt{3}V_m - E_S)}{(2\sqrt{3}V_m - E_S)} \dots 3.2.62$$

$$L = \frac{E_S * T_S}{\sqrt{3} * k_i * I_m * \cos \theta} * \frac{(\sqrt{3}V_m - E_S)}{(2\sqrt{3}V_m - E_S)} \dots 3.2.63$$

3. Determinación de los valores críticos de la capacitancia e inductancia

El estado STS-2 aparece cuando el voltaje mínimo del capacitor V_{\min} desciende por debajo de la mitad de la tensión de la fuente de CD. La capacitancia “Crítica C” se produce con la condición:

$$V_{\min} = \frac{E_s}{2} \dots\dots 3.2.64$$

De la misma manera, el estado Activo-2 aparece cuando la corriente mínima del inductor I_{\min} cae por debajo de la mitad de la corriente de carga I_0 . La inductancia “Crítica L” se produce con la condición:

$$I_{\min} = \frac{I_0}{2} \dots\dots 3.2.65$$

Cuando ambas variables (3.2.64 y 3.2.65) aparecen, estas corresponderán a sus valores críticos. Una reducción adicional en CD o en L introducirá estados estáticos durante la operación.

3.1.2.1 Resultados de la simulación del ZSI trifásico, SBC

A manera de diseño, se tiene una carga trifásica con los siguientes valores; $3\phi Y - 50\text{Hz}$, 55V (línea) – 5A , $\text{FP} = 0.8$ atrasado, la cual se alimenta con una fuente de 20VDC a través de un ZSI que opera a 5KHz y es controlada a través de la técnica SBC. Se establece el diseño del Inversor para un 5% de rizo tanto en voltaje de condensador como en corriente de inductor. En este caso, los datos de entrada conocidos del sistema pueden enumerarse como:

$E_s = 20\text{ V}$	$V_s = 20\text{ V}$
$T_s = 1 \times 10^{-4}\text{ s}$	$T_s = \frac{1}{2 * f_s} = \frac{1}{2 * 5\text{ KHz}} = 1 \times 10^{-4}\text{ s}$
$V_m = 44.9\text{ V}$	$V_m = 55 * \frac{\sqrt{2}}{\sqrt{3}} = 44.9\text{ V}$
$I_m = 7.071\text{ A}$	$I_m = 5 * \sqrt{2} = 7.071\text{ A}$
$\phi = 36,87$	$\theta = \cos^{-1} 0.8 = 36.87^\circ$

Y seleccionando el factor de ondulación del 5% ($k_v = k_i = 0.05$). Para el control Boost Simple, los valores iniciales de las variables desconocidas y los valores de dos variables de diseño se pueden obtener usando (44 y 45) y (53-57) como:

$$\begin{aligned} \bar{V}_c &= 2 * V_m = 2 * 44.9 = 89.8\text{ V} \\ V_{\text{Max}} &= (1 + k_v)\bar{V}_c = (1 + 0.05)89.8 = 94.29\text{ V} \\ V_{\text{min}} &= (1 - k_v)\bar{V}_c = (1 - 0.05)89.8 = 85.31 \\ \bar{I}_L &= \frac{2 * V_m * I_0}{E_s} = \frac{2 * 44.9 * 4.24}{20} = 19.03\text{ A} \\ I_{\text{Max}} &= (1 + k_i)\bar{I}_L = (1 + 0.05)19.03 = 20\text{ A} \\ I_{\text{min}} &= (1 - k_i)\bar{I}_L = (1 - 0.05)19.03 = 18.1\text{ A} \end{aligned}$$

$$d_s = \frac{(2 * 44.9 - 20)}{(4 * 44.9 - 20)} = 0.437$$

$$I_0 = \frac{3}{4} * I_m * \cos \theta = \frac{3}{4} * 7.071 \text{ A} * 0.8 = 4.24 \text{ A}$$

$$C = \frac{3 * T_s * I_m * \cos \theta}{8 * k_v * E_s} * d_s = \frac{3 * (1 \times 10^{-4} \text{ s})(7.071) * 0.8}{8 * 0.05 * 20} * 0.437 = 92.77 \text{ uF}$$

$$L = \frac{2 * E_s * T_s}{3 * k_i * I_m * \cos \theta} * d_s = \frac{2 * 20 * (1 \times 10^{-4} \text{ s})}{3 * 0.05(7.071) * 0.8} * 0.437 = 2.06 \text{ mH}$$

Con todos los parámetros de circuito, variables de diseño y valores iniciales de las variables desconocidas conocidas, el conjunto de ecuaciones no lineales (3.2.35-38), (3.2.40 y 3.2.42) se resuelven simultáneamente usando la rutina “Fsolve” de Matlab. Los valores resultantes de las variables desconocidas son:

$$\begin{aligned} V_{\text{Max}} &= 94.15 \text{ V} & I_{\text{Max}} &= 19.97 \text{ A} & d_s &= 0.437 \\ I_0 &= 4.24 \text{ A} & C &= 94.25 \text{ uF} & L &= 2.1 \text{ mH} \end{aligned}$$

Es evidente a partir de los resultados del diseño que los valores finales están muy próximos a los valores iniciales suministrados. Por lo tanto, cuando se seleccionan factores de ondulación bajos, los valores iniciales dados por la sección H-2 pueden ser tratados como los valores finales sin mucho error. Además, en los casos de SBC y el CMBC, la corriente I_0 es constante, según se indica por (3.2.53) y (3.2.59), respectivamente. Por lo tanto, el número de variables desconocidas y, por lo tanto, el número de ecuaciones no lineales simultáneas a resolver se puede reducir a cinco en tales casos. Dado que el objetivo de esta sección es el diseño de la red de impedancia del ZSI, el circuito simplificado mostrado en la Fig. 3.14, se emplea a manera de simulación. Por lo tanto, una carga RL altamente inductiva que dibuja la corriente I_0 de carga deseada se conecta al enlace DC durante el periodo activo. Durante el periodo de disparo STS, el semiconductor es activado a través del enlace DC para producir un cortocircuito en el enlace CD.

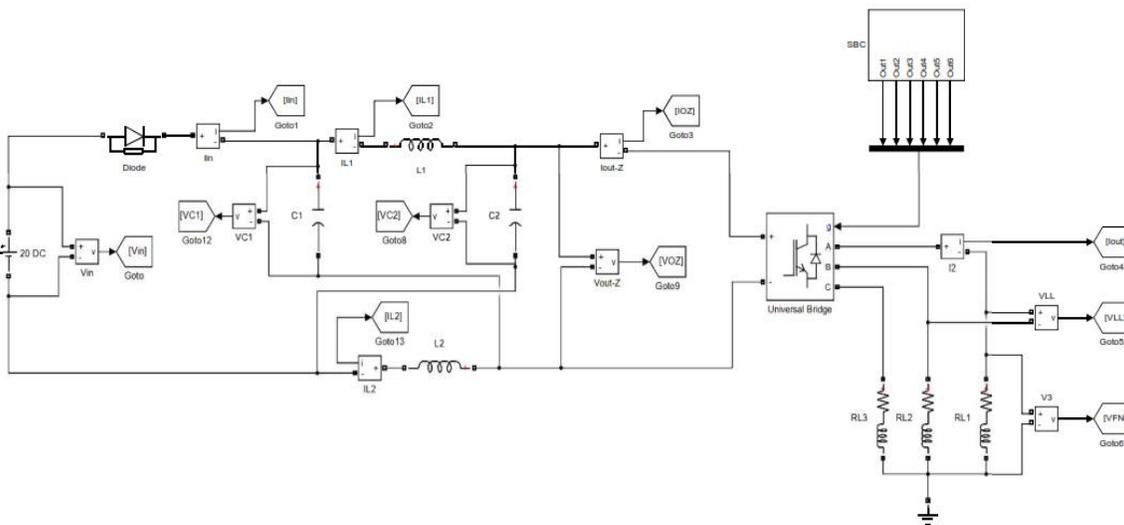
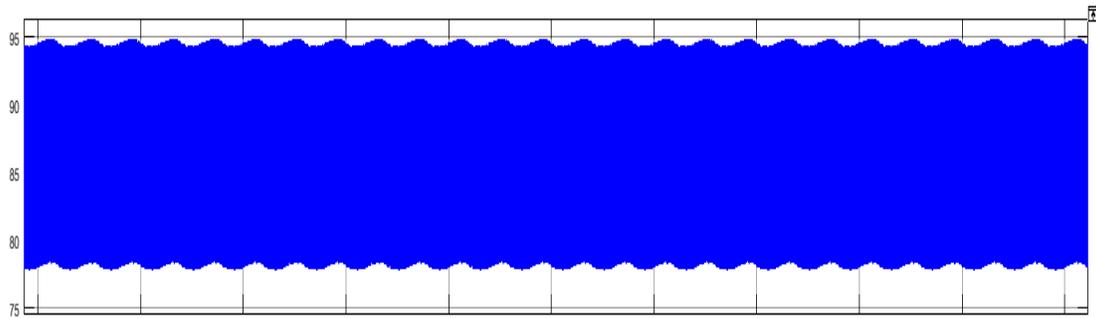


Fig. 3.14 Inversor ZSI trifásico en Matlab/Simulink.

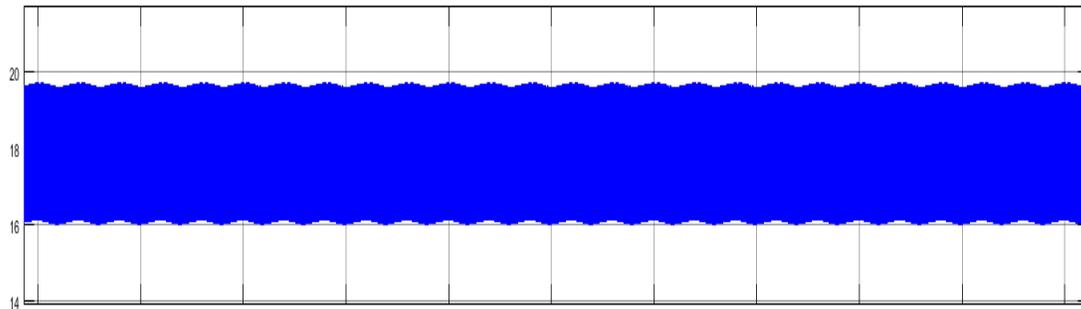
Los resultados de simulación por ordenador obtenidos utilizando el software Matlab/Simulink para los datos resultantes del proceso de diseño, $C = 94.25 \mu\text{F}$, $L = 2.1 \text{ mH}$ y $d_s = 0.437$ se muestran en la Fig. 3.15 y 3.16. Todas las resistencias parasitarias fueron ignoradas. La tensión del condensador y la corriente del inductor siguieron muy de cerca los valores predichos, como se indica en la Tabla XI. Como puede observarse a partir de estos resultados, los factores de ondulación están muy próximos a los valores calculados.

Valores	$\Delta V_C(\text{V})$	$\bar{V}_C(\text{V})$	k_V	$\Delta I_L(\text{A})$	$\bar{I}_L(\text{A})$	k_I	I_0
Calculados	$\frac{(94.29 - 85.31)}{2} = 4.5$	89.8	0.05	$\frac{(20 \text{ A} - 18.1)}{2} = 0.93$	19.03	0.05	4.24 A
Simulados	$\frac{(94.8 - 78.3)}{2} = 8.25$	86.55	0.09	$\frac{(19.58 \text{ A} - 16.06)}{2} = 1.76$	17.82	0.09	4.7 A

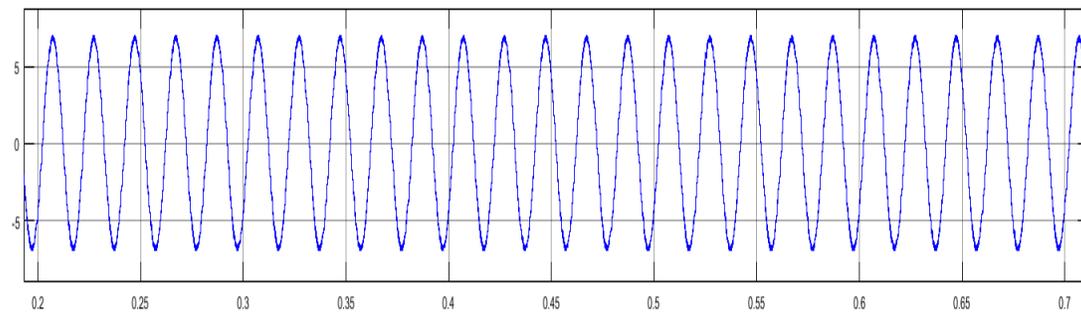
Tabla 3.7 Resultados de la simulación del ZSI trifásico para el diseño de 5% de rizo de V_C e I_L , SBC.



a)



b)



c)

Fig. 3.15. Formas de onda de la simulación del ZSI trifásico con SBC, a) ΔV_C , b) ΔI_L , y c) I_{out} .

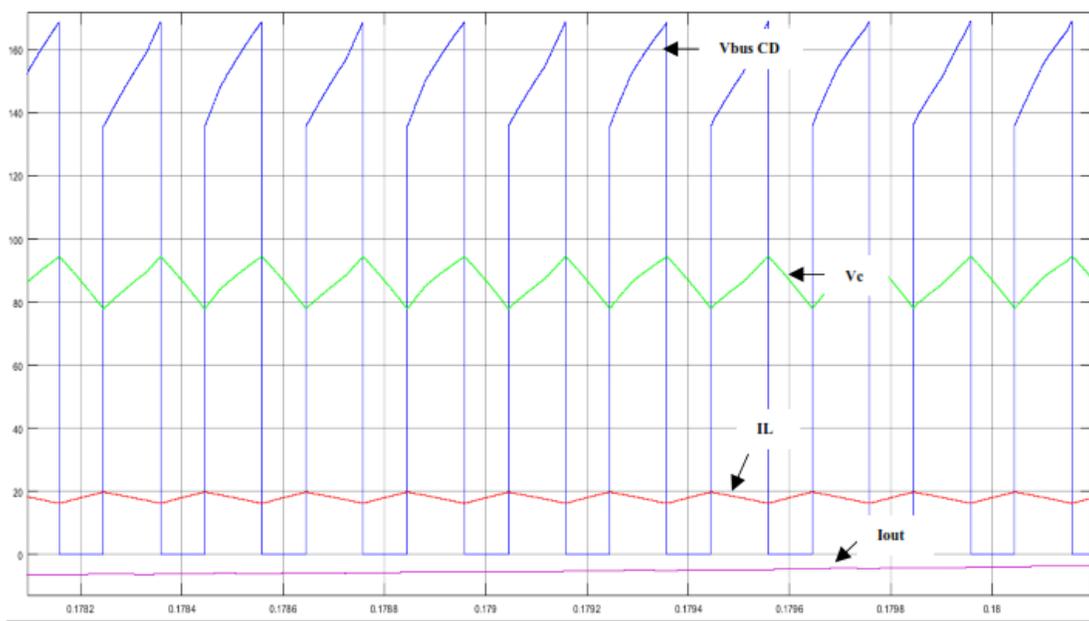


Fig. 3.16. Formas de onda de la simulación del ZSI trifásico con SBC, V_{BCD} , V_C , I_L y I_{out} .

Debido a que uno de los objetivos principales de este tema de tesis es la evaluación de cada uno de los inversores en cuestión, se determina la distorsión armónica total de la forma de onda de la corriente de salida, a través de la transformada rápida de Fourier FFT (Fast Fourier transform) en Matlab/Simulink, dando como resultado una distorsión armónica total, THD (Total Harmonic Distortion)=11.28%, Fig. 3.17.

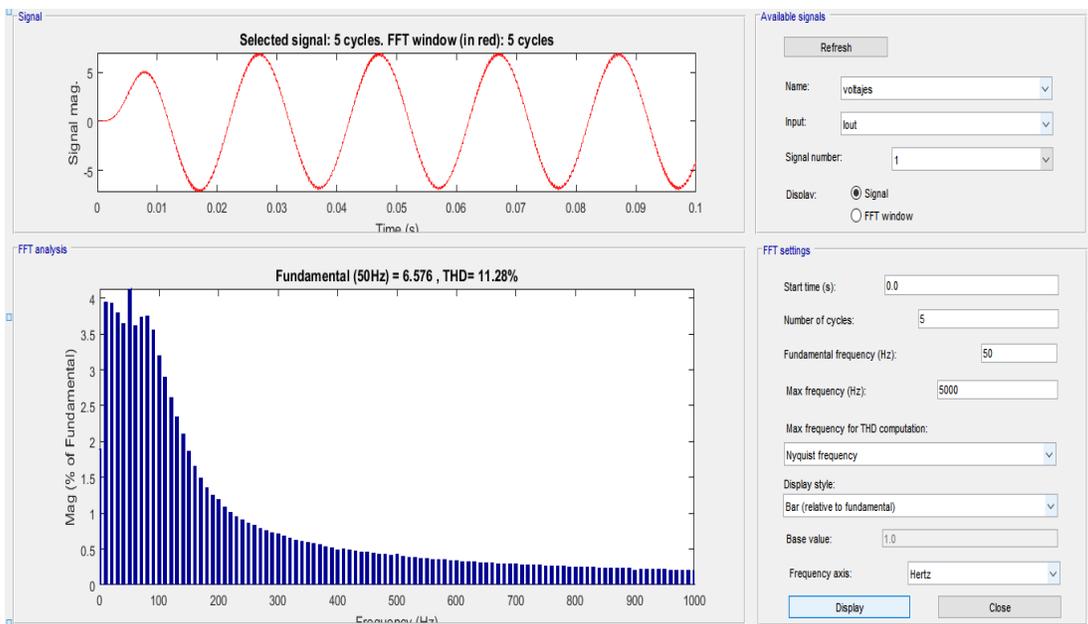


Fig. 3.17. Análisis THD de la I_{out} del ZSI trifásico con SBC.

Por otro lado se establece el diseño del ZSI de forma que funcione en condiciones críticas con respecto al voltaje del capacitor y la corriente del inductor, los valores de las dos variables de diseño se deben establecer como:

$$V_{\min} = \frac{E_S}{2} = \frac{20}{2} = 10 \text{ V} \quad I_{\min} = \frac{I_0}{2} = \frac{4.24}{2} = 2.12 \text{ A}$$

En este caso los valores iniciales de \bar{V}_C , \bar{I}_L , d_S , e I_{out} permanecen iguales para cualquier factor de ondulación, los dos factores de ondulación se pueden calcular como:

$$k_V = \frac{(\bar{V}_C - V_{\min})}{\bar{V}_C} = \frac{(89.8 - 10)}{89.8} = 0.89 \quad k_i = \frac{(\bar{I}_L - I_{\min})}{\bar{I}_L} = \frac{(19.05 - 2.12)}{19.05} = 0.89$$

Posteriormente, se calculan los valores máximos del voltaje del capacitor y de la corriente del inductor utilizando:

$$V_{\text{Max}} = (1 + k_V)\bar{V}_C = (1 + 0.89)89.8 = 169.7 \quad I_{\text{Max}} = (1 + k_i)\bar{I}_L = (1 + 0.89)19.05 = 36 \text{ A}$$

Los valores iniciales de capacitancia e inductancia se calculan finalmente como:

$$C = \frac{3 * T_S * I_m * \cos \theta}{8 * k_V * E_S} * d_S = \frac{3 * (1 \times 10^{-4} \text{ s}) * (7.071) * 0.8}{8 * 0.89 * 20} * 0.437 = 5.2 \text{ uF}$$

$$L = \frac{2 * E_S * T_S}{3 * k_i * I_m * \cos \theta} * d_S = \frac{2 * 20 * (1 \times 10^{-4} \text{ s})}{3 * 0.89 * (7.071) * 0.8} * 0.437 = 115.7 \text{ uH}$$

Con los datos de entrada conocidos, las variables de diseño y los valores iniciales, el proceso de diseño proporciona los siguientes valores finales de variables desconocidas:

$$V_{\text{Max}} = 134.8 \text{ V} \quad I_{\text{Max}} = 28.6 \text{ A} \quad d_S = 0.449 \quad I_0 = 4.24 \text{ A} \quad C = 6.7 \text{ uF} \quad L = 148.8 \text{ uH}$$

A partir de estos valores, es evidente que son significativamente diferentes de sus valores iniciales. Para demostrar que los estados estáticos aparecen cuando los C y L tienen un tamaño ligeramente inferior a los valores diseñados, a partir de lo anterior se realizó la simulación a partir de Matlab/Simulink $C = 5 \text{ uF}$, $L = 140 \text{ uH}$ (por abajo), Fig. 3.18.

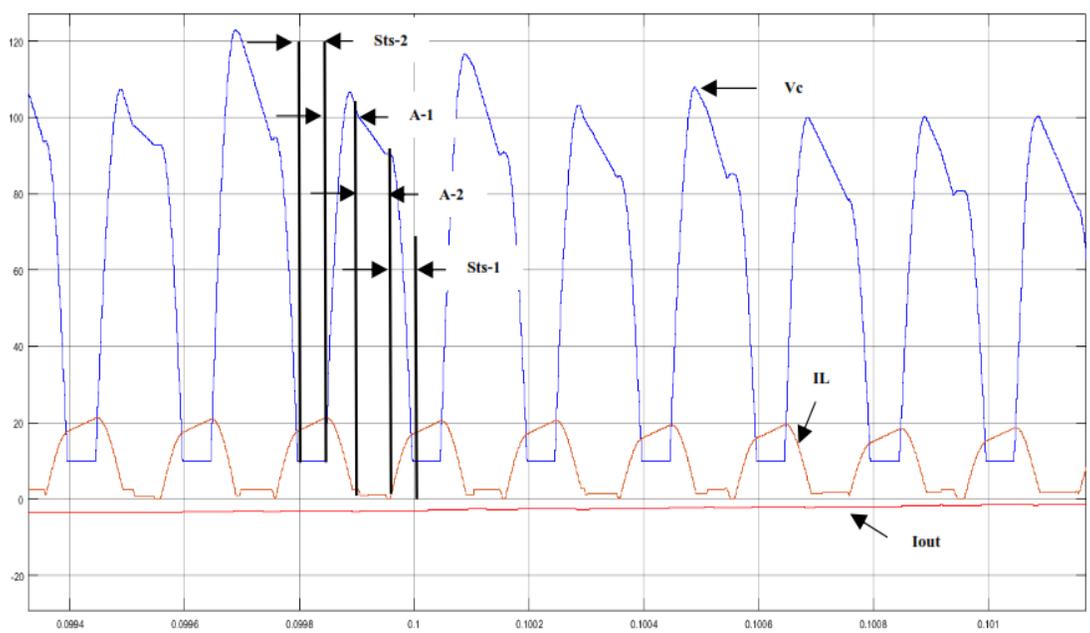


Fig. 3.18. Formas de onda de simulación del ZSI trifásico con estados estáticos indeseados, SBC.

Como se muestra en la Fig. 3.18, un ciclo de conmutación contiene los cuatro estados posibles. Durante el STS-2, la tensión del condensador oscila alrededor de $E_s/2 = 10 \text{ V}$, y la corriente del inductor aumenta linealmente. De forma similar, la corriente del inductor permanece en $I_0/2 = 2,1 \text{ A}$, y el voltaje del condensador cae linealmente durante el estado A-2. A partir de todo el diseño anterior, cuando la capacitancia y la inductancia están dimensionadas por debajo de los valores diseñados, aparecen estados estáticos no deseados en las formas de onda, y consecuentemente la forma de onda de la tensión del enlace de CD está lejos de ser constante durante el estado A-1, debido a las oscilaciones presentadas en el capacitor, como resultado, la tensión de salida de ZSI contendrá grandes cantidades de armónicos si se opera con ondulaciones mayores en voltaje de éste.

Englobando todo el diseño realizado, se puede establecer que, es importante analizar todos los estados operativos posibles de un ZSI, para lo cual se derivan las ecuaciones para predecir su comportamiento en estado estacionario. A través del análisis, se demostró que, a medida que las ondulaciones de la tensión del capacitor y la corriente del inductor se hacen grandes, aparecen tres estados estáticos adicionales además de los tres estados dinámicos comúnmente utilizados. Basándose en las ecuaciones derivadas, se ha propuesto un método para diseñar con precisión la red de impedancia para cualquier condición de funcionamiento considerando la no linealidad de las formas de onda. Este método de diseño no lineal puede utilizarse para reducir los tamaños de inductores y capacitores al permitir que las ondulaciones sean grandes. Además, también se puede utilizar para obtener los valores críticos de capacitancia e inductancia. Sin embargo, un mayor contenido de ondulación en el voltaje del condensador da como resultado un mayor contenido de armónicos en la forma de onda de CA de salida y aumenta las clasificaciones de voltaje de todos los componentes. Por otro lado, una ondulación mayor en la corriente del inductor da como resultado una mayor corriente nominal para el suministro de corriente continua y todos los demás componentes. Por lo tanto, se debe hacer un compromiso al decidir el factor de ondulación admisible de la tensión del condensador y la corriente del inductor. Cuando los factores de ondulación se establecen en valores pequeños, los valores iniciales obtenidos asumiendo formas de onda lineales se pueden utilizar para simplificar los cálculos numéricos sin mucho error en la precisión.

3.2 Inversor Multinivel NPC trifásico de tres niveles (descripción de funcionamiento)

3.2.1 Configuración del Inversor Multinivel NPC trifásico de tres niveles

La Fig. 1.4 muestra la configuración del inversor trifásico de tres niveles NPC. Con el objetivo de simplificar el análisis, únicamente se hará referencia a la rama **A** del inversor NPC, sin embargo el mismo comportamiento puede hacerse a las ramas **B** y **C**. Como se observa en la figura, la rama A está conformada por cuatro interruptores S_{A1} a S_{A4} con sus respectivos diodos en antiparalelo D_{A1} a D_{A4} . Actualmente pueden utilizarse como interruptores los transistores bipolares de compuerta aislada IGBT's o los tiristores conmutados por compuerta integrada IGCT's (Integrated Gate-Commutated Thyristor).

En la entrada del inversor, están conectados dos capacitores en serie, los cuales dividen el voltaje de la fuente V_d entre dos, proporcionando así un punto neutro **Z**. Los diodos conectados al punto neutro, D_{ZA1} y D_{ZA2} son conocidos con el nombre de diodos fijadores o diodos de fijación. Cuando los interruptores S_{A2} y S_{A3} están cerrados, el terminal de salida A del inversor está conectado al punto neutro a través de alguno de los diodos de fijación.

3.2.2 Estados de los interruptores del Inversor Multinivel NPC trifásico de tres niveles

Al analizar la rama A se tiene que, el estado de conmutación **P** se presenta cuando los interruptores superiores (S_{A1} y S_{A2}) están cerrados, y, respectivamente el voltaje de fase del inversor V_{AZ} el cual se mide en el punto A con respecto al punto Z, es $+\frac{V_d}{2}$; a su vez, el estado de conmutación **N** se presenta cuando los dos interruptores inferiores (S_{A3} y S_{A4}) conducen, generando así un voltaje de fase $V_{AZ} = -\frac{V_d}{2}$. Lo anterior sucede tanto para la rama B como para C. Por otro lado, el estado de conmutación **O** se presenta cuando los interruptores que están en medio (S_{A2} y S_{A3}) están cerrados, y el voltaje de fase V_{AZ} es llevado a cero a través de alguno de los diodos fijadores. Dependiendo de la dirección de la corriente I_A , uno de los dos diodos fijadores está en conducción. Si la corriente I_A es positiva ($I_A > 0$) implica que el diodo D_{ZA1} es forzado a conducir, y la terminal A es conectado al punto neutro Z a través de la conducción de D_{ZA1} y S_{A2} .

El modo en que operan los interruptores del inversor NPC puede ser representado a partir de los estados de los dispositivos de conmutación por cada rama, como se muestra en la Tabla X, como se observa los interruptores S_{X1} y S_{X3} ($X = A, B, C$) operan en forma complementaria, es decir, cuando uno se cierra el otro se debe abrir y viceversa. Lo mismo sucede con S_{X2} y S_{X4} , los cuales tienen estados complementarios. Donde K_X puede tomar valores entre $[1, 0, -1]$ dependiendo del estado de conmutación $[P, O, N]$, y el sufijo x determina a que rama del inversor se hace referencia ($X = A, B, C$).

Estados de Conmutación	Variable K_X	Estado de los interruptores				Voltaje de fase V_{XZ}
		S_{X1}	S_{X2}	S_{X3}	S_{X4}	
P	1	1	1	0	0	$+\frac{V_d}{2}$
O	0	0	1	1	0	0
N	-1	0	0	1	1	$-\frac{V_d}{2}$

Tabla 3.8 Estados de conmutación P, O, N del inversor Multinivel NPC de tres niveles.

La Fig. 3.19 muestra a manera de ejemplo los estados de conmutación y las señales de compuerta, donde V_{gA1} a V_{gA4} son las señales de compuertas de los interruptores S_{A1} a S_{A4} respectivamente. Las señales de compuerta pueden ser generadas por modulación basada en una portadora, modulación a partir de vectores espaciales, o esquemas de eliminación selectiva de armónicos. Como se observa, la forma de onda generada V_{AZ} , tiene tres niveles de voltaje, $+\frac{V_d}{2}$, 0 y $-\frac{V_d}{2}$ (tres niveles).

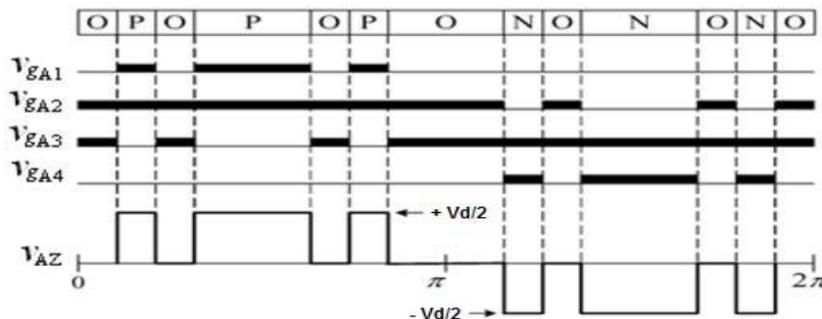


Fig. 3.19. Estados de conmutación del inversor Multinivel NPC de tres niveles, V_g y V_{AZ} [47].

La Fig. 3.20, muestra la obtención de la forma de onda del voltaje de línea. Los voltajes de fase del inversor V_{AZ} , V_{BZ} , V_{CZ} son trifásicos y balanceados, desfasados 120° entre sí. El voltaje de línea puede ser obtenido a partir de los voltajes de fase como:

$$V_{AB} = V_{AZ} - V_{BZ} \dots \dots 3.3.1$$

Como se observa, el voltaje de línea generado por el inversor de tres niveles está conformado por cinco niveles de voltaje (V_d , $+\frac{V_d}{2}$, 0 , $-\frac{V_d}{2}$ y V_d), mientras que el voltaje de línea generado por un inversor convencional de dos niveles únicamente tiene tres niveles (V_d , 0 y V_d).

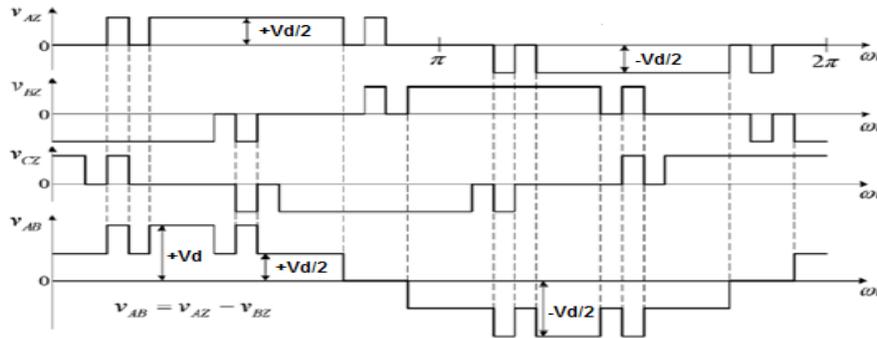


Figura 3.20. V_{AZ} y V_{AB} del inversor Multinivel NPC trifásico de tres niveles [47].

Para un inversor NPC trifásico de tres niveles, **existen veintisiete posibles estados de conmutación que representan las conexiones de los terminales de salida (A, B y C) con los puntos de enlace P, Z, y N.** Al tener una carga conectada en estrella aplicada al inversor NPC, como se ilustra en la Fig. 1.4, estos estados de conmutación pueden generar una salida de fase y voltajes de línea a línea, como se muestra en la Tabla XI. Los voltajes de fase de salida con respecto al neutro de carga, se pueden determinar usando (3.3.2) mientras que los voltajes de línea a línea se pueden determinar usando (3.3.3).

$$V_{An} = \frac{2}{3} * V_{DC} * \{m_{A1} - m_{A3} - \frac{1}{2}[m_{B1} - m_{B3} + m_{C1} - m_{C3}]\} \dots$$

$$V_{Bn} = \frac{2}{3} * V_{DC} * \{m_{B1} - m_{B3} - \frac{1}{2}[m_{A1} - m_{A3} + m_{C1} - m_{C3}]\} \dots$$

$$V_{Cn} = \frac{2}{3} * V_{DC} * \{m_{C1} - m_{C3} - \frac{1}{2}[m_{A1} - m_{A3} + m_{B1} - m_{B3}]\} \dots \dots 3.3.2$$

$$V_{AB} = V_{A0} - V_{B0} = V_{DC} * [m_{A1} - m_{A3} + m_{B1} - m_{B3}] \dots$$

$$V_{BC} = V_{B0} - V_{C0} = V_{DC} * [m_{B1} - m_{B3} + m_{C1} - m_{C3}] \dots$$

$$V_{CA} = V_{C0} - V_{A0} = V_{DC} * [m_{C1} - m_{C3} + m_{A1} - m_{A3}] \dots \dots 3.3.3$$

No.	Estado de conmutación			Voltaje de fase			Voltaje de línea-línea		
	A	B	C	V_{An}	V_{Bn}	V_{Cn}	V_{AB}	V_{BC}	V_{CA}
1	P	P	P	0	0	0	0	0	0
2	O	O	O	0	0	0	0	0	0
3	N	N	N	0	0	0	0	0	0
4	P	O	O	$\frac{2}{3} * V_{DC}$	$-\frac{1}{3} * V_{DC}$	$-\frac{1}{3} * V_{DC}$	V_{DC}	0	$-V_{DC}$

5	O	P	O	$-\frac{1}{3} * V_{DC}$	$\frac{2}{3} * V_{DC}$	$-\frac{1}{3} * V_{DC}$	$-V_{DC}$	V_{DC}	0
6	O	O	P	$-\frac{1}{3} * V_{DC}$	$-\frac{1}{3} * V_{DC}$	$\frac{2}{3} * V_{DC}$	0	$-V_{DC}$	V_{DC}
7	P	P	O	$\frac{1}{3} * V_{DC}$	$\frac{1}{3} * V_{DC}$	$-\frac{2}{3} * V_{DC}$	0	V_{DC}	$-V_{DC}$
8	O	P	P	$-\frac{2}{3} * V_{DC}$	$\frac{1}{3} * V_{DC}$	$\frac{1}{3} * V_{DC}$	$-V_{DC}$	0	V_{DC}
9	P	O	P	$\frac{1}{3} * V_{DC}$	$-\frac{2}{3} * V_{DC}$	$\frac{1}{3} * V_{DC}$	V_{DC}	$-V_{DC}$	0
10	N	O	O	$-\frac{2}{3} * V_{DC}$	$\frac{1}{3} * V_{DC}$	$\frac{1}{3} * V_{DC}$	$-V_{DC}$	0	V_{DC}
11	O	N	O	$\frac{1}{3} * V_{DC}$	$-\frac{2}{3} * V_{DC}$	$\frac{1}{3} * V_{DC}$	V_{DC}	$-V_{DC}$	0
12	O	O	N	$\frac{1}{3} * V_{DC}$	$\frac{1}{3} * V_{DC}$	$-\frac{2}{3} * V_{DC}$	0	V_{DC}	$-V_{DC}$
13	N	N	O	$-\frac{1}{3} * V_{DC}$	$-\frac{1}{3} * V_{DC}$	$\frac{2}{3} * V_{DC}$	0	$-V_{DC}$	V_{DC}
14	O	N	N	$\frac{2}{3} * V_{DC}$	$-\frac{1}{3} * V_{DC}$	$-\frac{1}{3} * V_{DC}$	V_{DC}	0	$-V_{DC}$
15	N	O	N	$-\frac{1}{3} * V_{DC}$	$\frac{2}{3} * V_{DC}$	$-\frac{1}{3} * V_{DC}$	$-V_{DC}$	V_{DC}	0
16	P	N	N	$\frac{4}{3} * V_{DC}$	$-\frac{2}{3} * V_{DC}$	$-\frac{2}{3} * V_{DC}$	$2 * V_{DC}$	0	$-2 * V_{DC}$
17	P	P	N	$\frac{2}{3} * V_{DC}$	$\frac{2}{3} * V_{DC}$	$-\frac{4}{3} * V_{DC}$	0	$2 * V_{DC}$	$-2 * V_{DC}$
18	N	P	P	$-\frac{4}{3} * V_{DC}$	$\frac{2}{3} * V_{DC}$	$\frac{2}{3} * V_{DC}$	$-2 * V_{DC}$	0	$2 * V_{DC}$
19	N	N	P	$-\frac{2}{3} * V_{DC}$	$-\frac{2}{3} * V_{DC}$	$\frac{4}{3} * V_{DC}$	0	$-2 * V_{DC}$	$2 * V_{DC}$
20	P	N	P	$\frac{2}{3} * V_{DC}$	$-\frac{4}{3} * V_{DC}$	$\frac{2}{3} * V_{DC}$	$2 * V_{DC}$	$-2 * V_{DC}$	0
21	N	P	N	$-\frac{2}{3} * V_{DC}$	$\frac{4}{3} * V_{DC}$	$-\frac{2}{3} * V_{DC}$	$-2 * V_{DC}$	$2 * V_{DC}$	0
22	P	O	N	V_{DC}	0	$-V_{DC}$	V_{DC}	V_{DC}	$-2 * V_{DC}$
23	O	P	N	0	V_{DC}	$-V_{DC}$	$-V_{DC}$	$2 * V_{DC}$	$-V_{DC}$
24	N	P	O	$-V_{DC}$	V_{DC}	0	$-2 * V_{DC}$	V_{DC}	V_{DC}
25	N	O	P	$-V_{DC}$	0	V_{DC}	$-V_{DC}$	$-V_{DC}$	$2 * V_{DC}$
26	P	N	O	$-V_{DC}$	V_{DC}	0	$2 * V_{DC}$	$-V_{DC}$	$-V_{DC}$
27	O	N	P	0	$-V_{DC}$	V_{DC}	V_{DC}	$-2 * V_{DC}$	V_{DC}

Tabla 3.9 Estados de conmutación para el inversor NPC trifásico de tres niveles.

3.2.3 Proceso de conmutación del Inversor Multinivel NPC trifásico de tres niveles

Para determinar la conmutación de los interruptores que conforman el inversor NPC, se considerará la transición de los estados de conmutación [O] a [P], abriendo el interruptor S_{A3} y cerrando S_{A1} . La Fig. 3.21 (a), muestra las señales de compuerta V_{gA1} a V_{gA4} para los interruptores S_{A1} a S_{A4} respectivamente. Al igual que en las señales de compuerta para los interruptores de un inversor de dos niveles, es necesario introducir un tiempo muerto t_d (del inglés, dead-time) para los interruptores que son controlados de forma complementaria, en este caso S_{A1} y S_{A3} . Y respectivamente, en la Fig. 3.21 (b) y 3.21 (c), se observa el diagrama eléctrico de la rama A del inversor NPC durante el proceso

de la conmutación, donde cada uno de dos interruptores tiene conectada una resistencia en paralelo para equilibrar el voltaje en estado estático. De acuerdo a la dirección de la corriente en la fase A, se pueden analizar dos casos [47]:

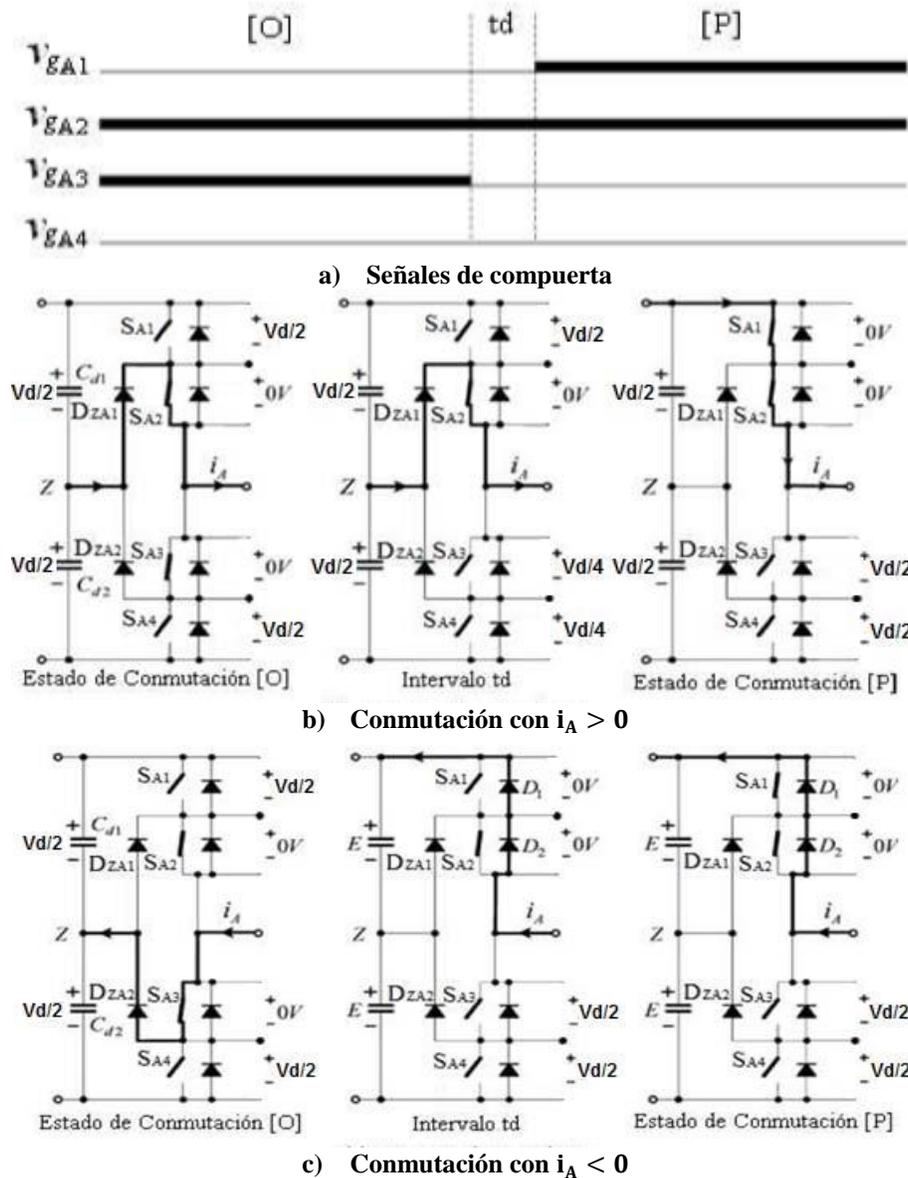


Fig. 3.21. Transición de los estados de conmutación del inversor Multinivel NPC de tres niveles [47].

- **Caso 1: Conmutación cuando $i_A > 0$, Fig. 3.17 (b).**
 Antes de analizar el circuito se asume que:
 - La corriente i_A es constante durante la conmutación.
 - Los capacitores C_{d1} y C_{d2} son suficientemente grandes, y por lo tanto son capaces de mantener el voltaje $\frac{V_d}{2}$ entre sus terminales.
 - Todos los interruptores son ideales.

En el estado de conmutación [O], los interruptores S_{A1} y S_{A4} están abiertos mientras que los interruptores S_{A2} y S_{A3} están en conducción. Como la corriente de fase (i_A) es positiva, el diodo fijador D_{ZA1} está en conducción. Los voltajes a través de los interruptores que se encuentran en conducción están dados por $VS_{A2} = VS_{A4} = 0$, mientras que el voltaje en cada uno de los interruptores que están abiertos es igual a $\frac{V_d}{2}$.

Durante el intervalo t_d , S_{A3} se está abriendo, sin embargo, el flujo de la corriente de fase (i_A) no cambia. Cuando S_{A3} está completamente abierto, los voltajes a través de S_{A3} y S_{A4} son $VS_{A3} = VS_{A4} = \frac{V_d}{2}$.

Para el estado de conmutación [P] el interruptor S_{A1} está cerrado ($VS_{A1} = 0$). El diodo fijador D_{ZA1} es polarizado inversamente y sale de conducción. La corriente i_A es conmutada de D_{ZA1} a S_{A1} . Cuando S_{A3} y S_{A4} ya están apagados, los voltajes entre sus terminales son $VS_{A3} = VS_{A4} = V_d$.

- **Caso 2: Conmutación con $i_A < 0$, Fig. 3.17 (c).**

En el estado de conmutación [O], S_{A2} y S_{A3} conducen, y el diodo fijador D_{ZA2} entra en conducción debido a que circula una corriente de fase (i_A) negativa. El voltaje a través de los interruptores que están apagados S_{A1} y S_{A4} es $VS_{A1} = VS_{A4} = \frac{V_d}{2}$.

Durante el intervalo de tiempo t_d , S_{A3} se está abriendo. Considerando que se tiene una carga inductiva, la corriente de fase i_A no puede cambiar su dirección de forma instantánea, por lo que los diodos D_{A1} y D_{A2} son polarizados directamente y con esto el voltaje entre los terminales de los interruptores S_{A1} y S_{A2} es $VS_{A1} = VS_{A2} = 0$. En esta ocasión la corriente i_A fue conmutada de S_{A3} a los diodos. Durante el tiempo de apertura de S_{A3} , el voltaje a través de S_{A4} no será mayor que $\frac{V_d}{2}$. Por la presencia del diodo D_{ZA2} , y tampoco será menor que $\frac{V_d}{2}$, ya que durante la conmutación la resistencia equivalente de S_{A3} siempre es menor que la resistencia en estado abierto de S_{A4} . Por lo tanto, VS_{A3} se incrementa desde cero a $\frac{V_d}{2}$, mientras VS_{A4} se mantiene en $\frac{V_d}{2}$.

En el estado de conmutación [P], el cierre del interruptor S_{A1} no modifica la operación de circuito. Aunque S_{A1} y S_{A2} están cerrados, ellos no están conduciendo la corriente de fase i_A debido a que lo están haciendo los diodos D_{A1} y D_{A2} .

Con esto puede ser concluido que todos los interruptores que conforman el inversor NPC, soportan solo la mitad del voltaje total de entrada durante la conmutación del estado [O] a [P]. Lo mismo sucede para las transiciones restantes [P] a [O], [N] a [O] y [O] a [N].

Es necesario tener en cuenta que hay dos razones por las que está prohibida la transición entre los estados de conmutación [P] y [N]:

- a) La transición involucra a los cuatro interruptores de una rama del inversor, dos que se cierran y dos que se abren, de manera que el voltaje entre ellos podría no ser el mismo.
- b) Las pérdidas por conmutación se duplican.

Es importante mencionar que los interruptores de los extremos (S_{X1} y S_{X4}) de cada rama del inversor deben tener menor corriente de fuga que los interruptores del centro (S_{X2} y S_{X3}). De esta forma los voltajes a través de los interruptores de los extremos, que tienden a ser mayores que los del centro, son fijados a $\frac{V_d}{2}$ por medio de los diodos de fijación.

En resumen, la configuración del inversor de tres niveles NPC presenta las siguientes características:

- No existe el problema de la repartición equitativa del voltaje en el estado dinámico. Cada uno de los interruptores del inversor NPC soporta únicamente la mitad del voltaje total de la fuente de entrada V_d durante la conmutación.
- Los voltajes en estado estático son iguales sin necesidad de incluir componentes adicionales. Se pueden mantener voltajes iguales en estado estático, siempre y cuando, los interruptores de los extremos tengan menor corriente de fuga que los interruptores del centro.
- La distorsión armónica THD, y el dv/dt son menores. El voltaje de línea está formado por cinco niveles de voltaje, lo cual produce menor contenido armónico y menores variaciones con respecto al tiempo (dv/dt), en comparación con el inversor de dos niveles operando con la misma magnitud del voltaje de alimentación y a la misma frecuencia de conmutación.

Sin embargo el inversor NPC tiene algunas desventajas por los diseños de modulación PWM más complejos y por el desbalance en el punto neutro.

3.2.4 Modelo matemático del Inversor Multinivel NPC trifásico de tres niveles

El modelo matemático de un inversor depende en gran parte de su topología y del tipo de carga que se conecte a él, es decir, la aplicación del inversor. Otro aspecto importante es el tipo de modelo que se quiera realizar ya que hay diversas formas de expresar el modelo, como por ejemplo circuitos equivalentes, sistema de ecuaciones diferenciales o modelos de espacio de estado, entre otros [9].

En la revisión bibliográfica realizada se encontró que la mayoría de autores han trabajado con el modelo de espacio de estados ya que resulta la forma más apropiada de manejar una planta no lineal en donde por lo general se tienen múltiples variables de entrada y salida. También se puede considerar adecuado trabajar con el espacio de estado del inversor si se pretende desarrollar una estrategia de control. Alepuz en [9] propone seguir el siguiente proceso de modelado del inversor para una topología con fijación por diodos con filtro LC y carga resistiva en Y como se muestra en la Figura 1.4. Se analiza la conexión de la carga en Y, ya que se pretende realizar un control de las tensiones de los condensadores del bus de continua.

- Relacionar tensiones y corrientes entre los lados de continua y alterna.
- Aplicar de las leyes de Kirchhoff. (Modelo de gran señal).
- Aplicar la transformación de Park o D-Q.
- Obtener las ecuaciones de régimen permanente.
- Linealizar. (Modelo de pequeña señal).

Como resultado del proceso anterior se obtiene el modelo de la ecuación general:

$$\frac{d}{dt} \begin{bmatrix} \widehat{i_{Yd}} \\ \widehat{V_{Yd}} \\ \widehat{i_{Yq}} \\ \widehat{V_{Yq}} \\ \widehat{i_{Y0}} \\ \widehat{V_{Y0}} \\ \widehat{V_o} \end{bmatrix} = \begin{bmatrix} 0 & -1 & \omega & 0 & 0 & 0 & \frac{(D_{pd} + D_{nd})}{2L} \\ 1 & \frac{L}{C} & 0 & \omega & 0 & 0 & 0 \\ \frac{C}{- \omega} & -1 & 0 & -1 & 0 & 0 & 0 \\ 0 & \frac{RC}{RC} & \frac{1}{C} & \frac{L}{L} & 0 & 0 & \frac{(D_{pq} + D_{nq})}{2L} \\ 0 & 0 & 0 & -1 & 1 & -1 & 0 \\ 0 & -\omega & 0 & \frac{RC}{RC} & \frac{1}{C} & \frac{L}{L} & \frac{(D_{p0} + D_{n0})}{2L} \\ -\frac{(D_{pd} + D_{nd})}{C_{DC}} & 0 & -\frac{(D_{pq} + D_{nq})}{C_{DC}} & 0 & -\frac{(D_{p0} + D_{n0})}{C_{DC}} & \frac{RC}{RC} & 0 \\ C_{DC} & 0 & C_{DC} & 0 & C_{DC} & 0 & 0 \end{bmatrix} * \begin{bmatrix} \widehat{i_{Yd}} \\ \widehat{V_{Yd}} \\ \widehat{i_{Yq}} \\ \widehat{V_{Yq}} \\ \widehat{i_{Y0}} \\ \widehat{V_{Y0}} \\ \widehat{V_o} \end{bmatrix} + \begin{bmatrix} \frac{V_o + V_{pn}}{2L} & \frac{V_o - V_{pn}}{2L} & 0 & 0 & 0 & 0 & \frac{(D_{pd} + D_{nd})}{2L} \\ 0 & 0 & \frac{V_o + V_{pn}}{2L} & \frac{V_o - V_{pn}}{2L} & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & \frac{V_o + V_{pn}}{2L} & \frac{V_o - V_{pn}}{2L} & \frac{(D_{pq} + D_{nq})}{2L} \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & \frac{2L}{C_{DC}} & \frac{2L}{C_{DC}} & \frac{(D_{p0} + D_{n0})}{2L} \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ -\frac{I_{Yd}}{C_{DC}} & -\frac{I_{Yd}}{C_{DC}} & -\frac{I_{Yq}}{C_{DC}} & -\frac{I_{Yq}}{C_{DC}} & -\frac{I_{Y0}}{C_{DC}} & -\frac{I_{Y0}}{C_{DC}} & 0 \\ \frac{C_{DC}}{C_{DC}} & \frac{C_{DC}}{C_{DC}} & \frac{C_{DC}}{C_{DC}} & \frac{C_{DC}}{C_{DC}} & \frac{C_{DC}}{C_{DC}} & \frac{C_{DC}}{C_{DC}} & 0 \end{bmatrix} * \begin{bmatrix} \widehat{d_{pd}} \\ \widehat{d_{nd}} \\ \widehat{d_{pq}} \\ \widehat{d_{nq}} \\ \widehat{d_{p0}} \\ \widehat{d_{n0}} \end{bmatrix} + \begin{bmatrix} \frac{(D_{pd} + D_{nd})}{2L} \\ 0 \\ \frac{(D_{pq} + D_{nq})}{2L} \\ 0 \\ \frac{(D_{p0} + D_{n0})}{2L} \\ 0 \\ 0 \end{bmatrix}$$

* $\widehat{V_{pn}} \dots 3.32$

Este modelo tiene siete variables de estado (i_{Yd} , V_{Yd} , i_{Yq} , V_{Yq} , i_{Y0} , V_{Y0} , V_o), una variable de entrada V_{pn} , y seis variables de control (d_{pd} , d_{nd} , d_{pq} , d_{nq} , d_{p0} , d_{n0}). Las variables de control son llamadas relaciones de conducción y están relacionadas con la conmutación de los dispositivos, relacionando de esta forma, la estrategia de control con la estrategia de conmutación.

Debido a que es necesario modelar el Inversor Multinivel NPC de tres niveles para la carga RL en cuestión, la anterior ecuación se puede simplificar a partir de lo siguiente; la Fig. 3.22 muestra el circuito equivalente del Inversor de tres niveles para la fase A de la Fig. 1.4. Aquí el interruptor de triple polo actúa como un interruptor ideal, V_a es el voltaje de salida para la fase A, V_L e I_L son la tensión y corriente del inductor, L es la inductancia del filtro del lado CA, r_L es la resistencia serie de la inductancia, R es la carga resistencia y V_N es el voltaje de punto neutro [54].

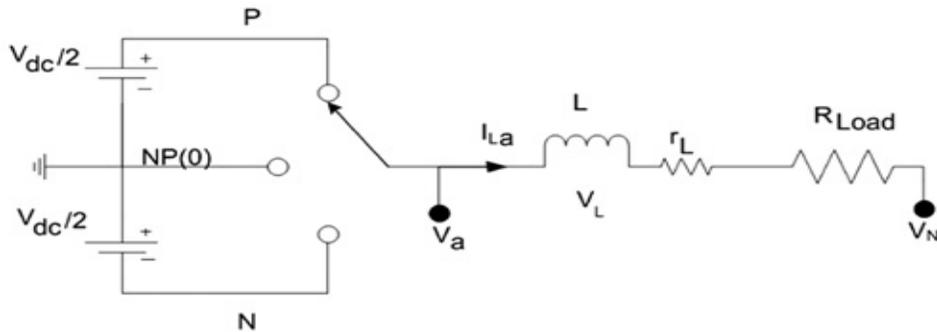


Fig. 3.22. Circuito equivalente del inversor Multinivel NPC de tres niveles de la Fig. 3.19 para la fase A.

De igual manera para el voltaje $V_X = a, b, c$, y aplicando LVK, V_X puede relacionarse con V_N a partir de:

$$V_X = L \frac{dI_{LX}}{dt} + I_{LX}r_L + I_{LX}R_{Load} + V_N, \quad (X = A, B, C) \dots 3.33$$

Y el voltaje V_N se relaciona con los voltajes de fase para sistemas trifásicos de la siguiente manera:

$$V_N = \frac{(V_A + V_B + V_C)}{3} \dots 3.34$$

Combinado 3.33 y 3.34, y reorganizando, para obtener dos corrientes independientes del inductor, da como resultado:

$$\begin{aligned} \frac{dI_{LA}}{dt} &= -\frac{I_{LA}(r_L + R_{Load})}{L} + \frac{1}{3L}(2V_A - V_B - V_C) \dots \\ \frac{dI_{LB}}{dt} &= -\frac{I_{LB}(r_L + R_{Load})}{L} + \frac{1}{3L}(2V_B - V_A - V_C) \dots \end{aligned} \quad 3.35$$

Donde los valores instantáneos de V_A, V_B y V_C dependen de la posición de interruptor de tres polos por cada fase. Obteniendo un Modelado de conmutación, la rama A del inversor está compuesta por cuatro interruptores activos S1-S4 con cuatro diodos en antiparalelo. Aquí cada dos pares (S1, S3) y (S2, S4) son conmutados de forma complementaria, conectando cada fase a tres niveles de tensión $V/2, 0, -V/2$ con respecto a tierra. Por lo tanto, los voltajes de fase se pueden describir de la siguiente manera:

$$\begin{bmatrix} V_A \\ V_B \\ V_C \end{bmatrix} = \begin{bmatrix} S1_A S2_A & -S3_A S4_A \\ S1_B S2_B & -S3_B S4_B \\ S1_C S2_C & -S3_C S4_C \end{bmatrix} * \frac{V_{CD}}{2} \dots 3.36$$

Sustituir 3.36 en 3.35 da como resultado las siguientes ecuaciones no lineales de espacio de estado dependientes del tiempo:

$$\dot{X} = AX + Bu \dots$$

Donde:

$$\begin{aligned} X &= \begin{bmatrix} I_{LA} \\ I_{LB} \end{bmatrix}, \quad u = V_{CD} \dots \\ A &= \begin{bmatrix} \frac{(r_L + R_{Load})}{L} & 0 \\ 0 & \frac{(r_L + R_{Load})}{L} \end{bmatrix} \dots \\ B &= \frac{1}{6L} \begin{bmatrix} 2 & -1 & -1 \\ -1 & 2 & -1 \end{bmatrix} \begin{bmatrix} S1_A S2_A & -S3_A S4_A \\ S1_B S2_B & -S3_B S4_B \\ S1_C S2_C & -S3_C S4_C \end{bmatrix} \dots \end{aligned} \quad 3.37$$

Donde X es el vector de estado, u es el voltaje de CD de entrada, A es la matriz de estado y B es la matriz de coeficientes de entrada. La ecuación 3.37 necesita encontrar la matriz de entrada B , que depende de las funciones de conmutación. Por lo tanto, el modelo dependiente del tiempo del convertidor es un sistema de estructura variable que debería resolverse con N tiempos de conmutación durante un período fundamental T , resulta:

$$\sum_{i=1}^{i=N} (t_{i+1} - t_i) = T \dots 3.38$$

Donde t_i y t_{i+1} , son los dos instantes i de conmutación consecutivos en los que se resuelven las ecuaciones de estado (es decir, se deben resolver varios conjuntos de ecuaciones

de estado). Resolviendo las ecuaciones por el método numérico, la solución de las ecuaciones de estado diferencial no lineal de 3.37, en combinación con 3.38, a través de métodos numéricos en dominio discreto pueden ser nominados para hacerlo, estableciéndose valores de valores de conmutación respecto de la técnica de conmutación, se obtiene:

$$\begin{bmatrix} I_{LA}(i) \\ I_{LB}(i) \\ I_{LC}(i) \end{bmatrix} = \left(1 - \Delta t \frac{(r_L + R_{Load})}{L} \right) \begin{bmatrix} I_{LA}(i-1) \\ I_{LB}(i-1) \\ I_{LC}(i-1) \end{bmatrix} + \frac{V_{CD}}{6L} \\ \times \left(2 \begin{bmatrix} S_{1A}S_{2A} & -S_{3A}S_{4A} \\ S_{1B}S_{2B} & -S_{3B}S_{4B} \\ S_{1C}S_{2C} & -S_{3C}S_{4C} \end{bmatrix}_{(i-1)} - \begin{bmatrix} S_{1B}S_{2B} & -S_{3B}S_{4B} \\ S_{1C}S_{2C} & -S_{3C}S_{4C} \\ S_{1A}S_{2A} & -S_{3A}S_{4A} \end{bmatrix}_{(i-1)} \right. \\ \left. - \begin{bmatrix} S_{1C}S_{2C} & -S_{3C}S_{4C} \\ S_{1A}S_{2A} & -S_{3A}S_{4A} \\ S_{1B}S_{2B} & -S_{3B}S_{4B} \end{bmatrix}_{(i-1)} \right) \dots \dots 3.39$$

3.2.5 Resultados de la simulación del Inversor Multinivel NPC trifásico de tres niveles, PD-PWM

En la Fig. 3.23 se muestra el modelo del Inversor Multinivel NPC de tres niveles utilizado para la simulación a través del software Matlab/Simulink. Debido a que en este Inversor no cuenta con una etapa de elevación adicional, se maneja un índice de modulación unitario, la tensión de alimentación que se ha manejado es **150 V_{CD}** que es una aproximación del Voltaje del bus de CD utilizado en el ZSI trifásico, y de igual manera se manejó la misma la carga RL del mencionado inversor con conexión en Y. Para dividir el bus de entrada de V_{CD} , se utilizaron capacitancias de 470 μ F en serie con una resistencia de 0.0001 Ω con el fin de evitar trayectorias cerradas de un solo elemento, los interruptores de potencia utilizados son IGBT's ideales. La señal portadora tiene una frecuencia de 100 veces la frecuencia fundamental de 50 Hz, es decir, 5 kHz. En el modelo implementado en Simulink se utiliza un método discreto el cual permite correr la simulación en un corto tiempo y que la herramienta de análisis de Fourier se desempeñe de manera adecuada sin presentar errores, entre otros elementos que hacen parte del modelo son los bloques de medición de tensiones y corrientes que son conectados a las cargas, y los dispositivos con el fin de analizar el desempeño del inversor. En las mediciones realizadas con el modelo del inversor NPC en Matlab/Simulink solo se consideran los voltajes, corrientes y análisis de Fourier para una fase, ya que por utilizarse una carga balanceada el resultado para las otras dos fases es igual: Los resultados de la simulación para la tensión y la corriente se muestran en la Tabla XII, respectivamente las Fig. 3.24 muestran los voltajes y corrientes de salida, y respectivamente la Fig. 3.25 muestra la distorsión armónica de la tensión y la corriente de salida generadas.

IMNPC	Portadora 1, 2 (f)	Moduladora1 (f)	Moduladora2 (f)	Moduladora2 (f)
Entrada	5 KHz	2*pi*50 (M=1) (0 fase)	2*pi*50 (M=1) (120*(pi/180) fase)	2*pi*50 (M=1) (240*(pi/180) fase)
	V_{in}	I_{in} (prom)	C=C1=C2	R=R1=R2
Salida	150 VCD	7.6 A	470 μ F	0.0001 Ω
	V_{rms} V_A, V_B, V_C	I_{rms} I_A, I_B, I_C	Load	FP
	105 V	8 A	R= 5 Ω ; L= 12 mH	0.85

Tabla 3.10 Resultados de la simulación del inversor Multinivel NPC trifásico de tres niveles, PD-PWM.

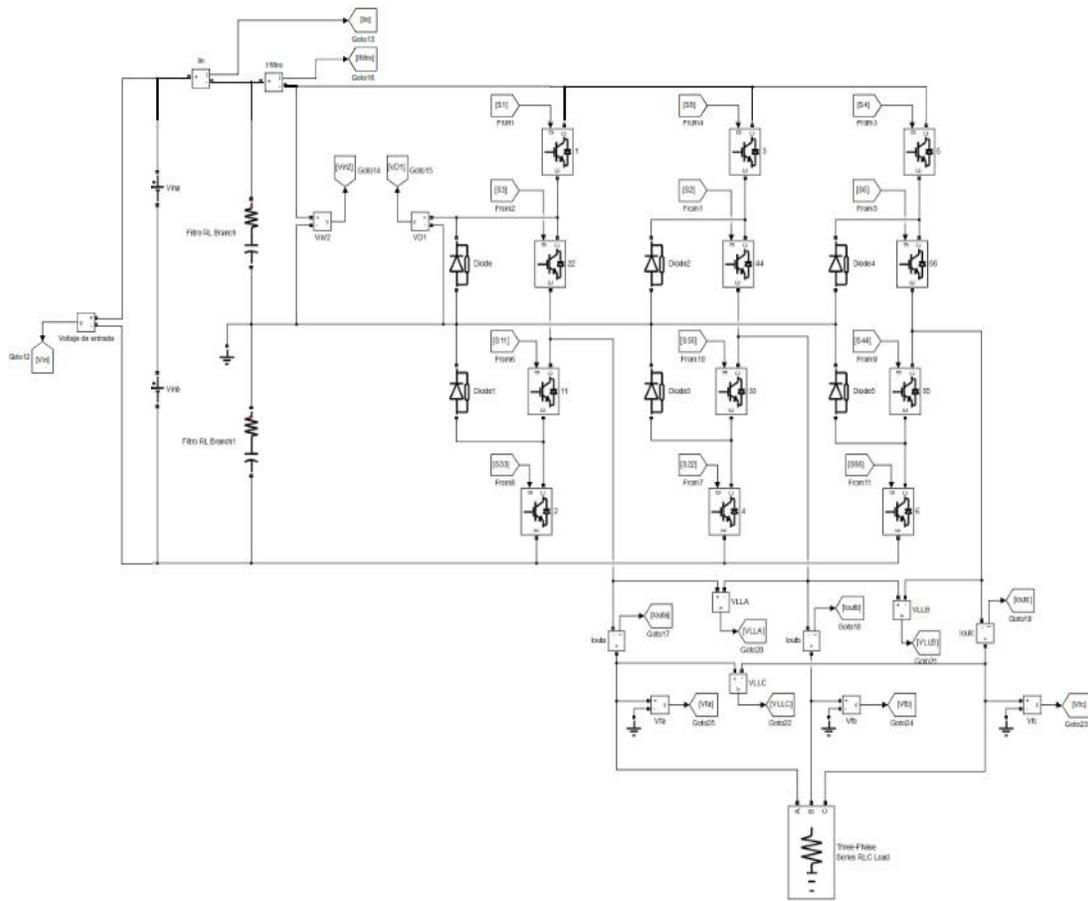
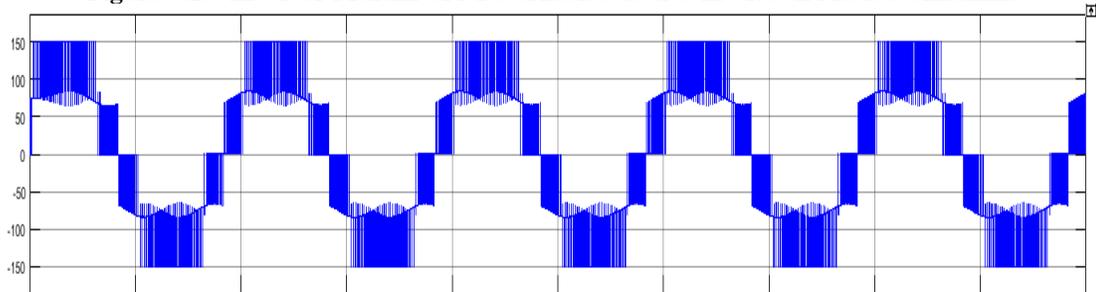
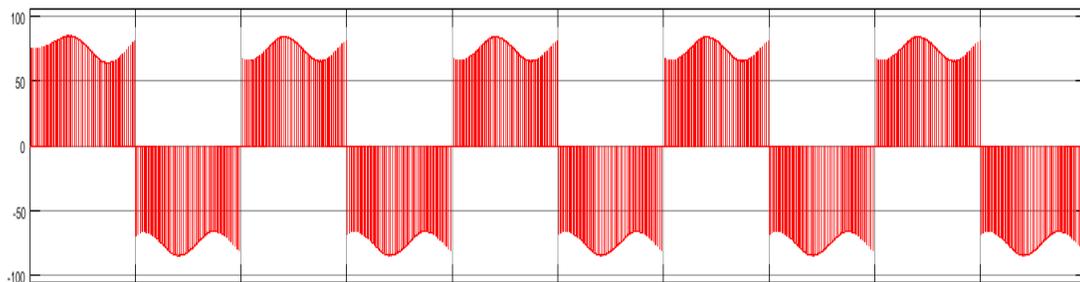


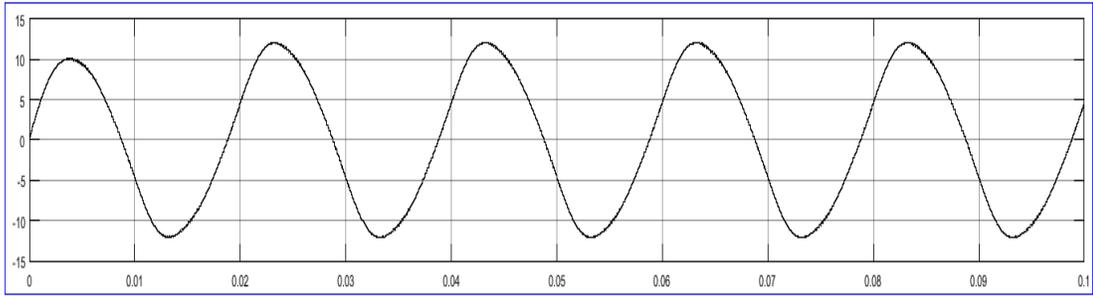
Figura 3.23. Inversor Multinivel NPC trifásico de tres niveles en Matlab/Simulink.



a)

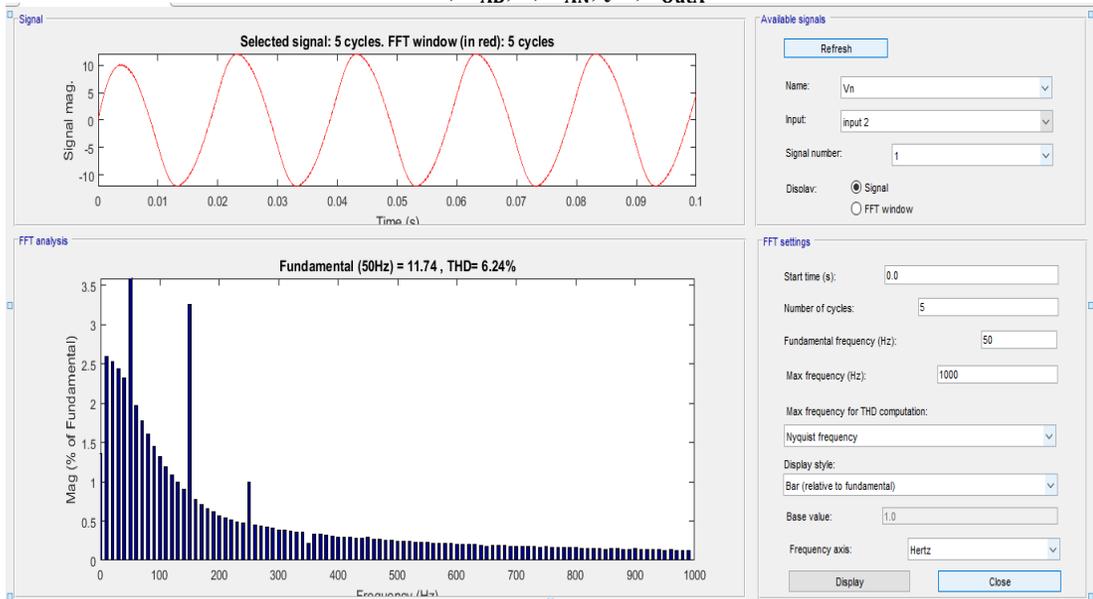


b)

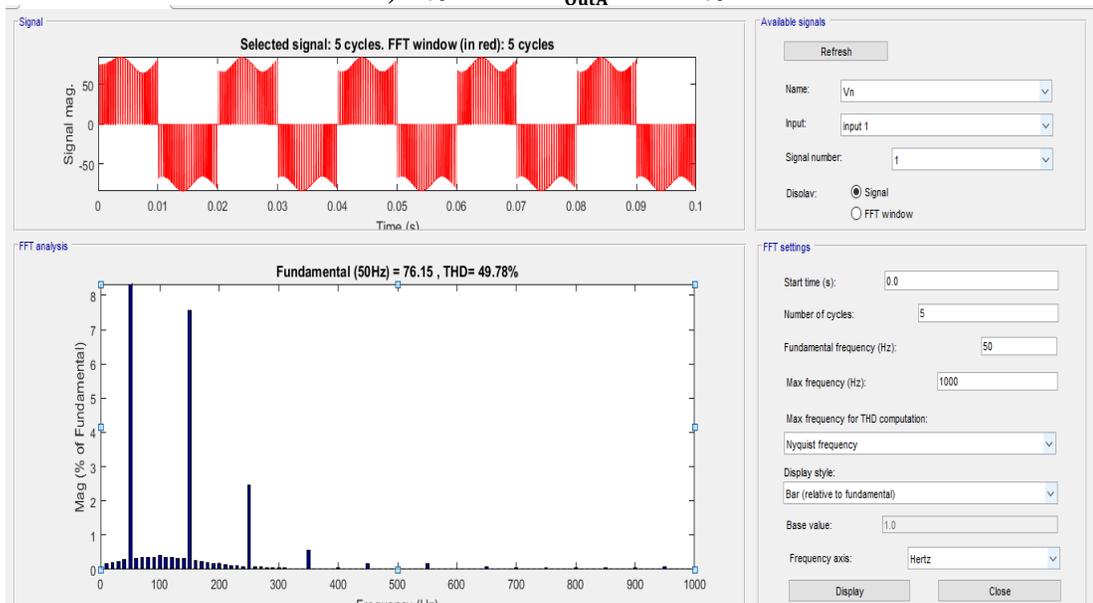


c)

Fig. 3.24. Formas de onda de la simulación del inversor Multinivel NPC trifásico de tres niveles a) V_{AB} , b) V_{AN} , y c) I_{OutA} .



a) %THD del $I_{OutA} = 6.24\%$



b) %THD del $V_{AN} = 49.78\%$

Fig. 3.25. Análisis THD de la I_{OutA} y el V_{AN} del inversor Multinivel NPC trifásico de tres niveles.

De los resultados de la simulación realizada se puede establecer que, el contenido armónico de las corrientes de línea es menor cuando la carga contiene elementos inductivos ya que estos actúan como filtros. En el caso de utilizar una variación del índice de modulación el cual influirá directamente en la salida del inversor, existe un mejor comportamiento del inversor a nivel armónico cuando los índices de modulación son mayores, por lo que es deseable usar el inversor para índices de modulación mayores a 0.5. Por otro lado, si la carga es netamente resistiva debe realizarse un control del nivel de voltaje de los condensadores para disminuir los niveles de distorsión armónica, y en general, la forma de onda de la tensión depende enormemente del equilibrio de los condensadores del bus de continua, lo que trae consigo el equilibrio del punto neutro, concepto de suma importancia y que será utilizado para el diseño del Inversor Fuente-Z Multinivel NPC de tres niveles en el siguiente capítulo.

CAPÍTULO IV

DESARROLLO DEL SOFTWARE Y ACOPLAMIENTO DEL INVERSOR FUENTE-Z Y MULTINIVEL NPC

Particularmente los Inversores Fuente-Z Multinivel NPC de tres niveles, los cuales son soluciones topológicas recientes de una sola etapa Buck-Boost (Reductor Elevador) propuestas para la conversión de energía, con todas las ventajas favorables de la conmutación de tres niveles establecidas. En esta sección, se propone el diseño del inversor para producir una calidad de forma de onda de salida óptima al usar elementos LC pasivos menores. A través del análisis operacional detallado, se identifican nuevos modos de operación del Inversor Fuente-Z Multinivel NPC de tres niveles, que cuando se insertan apropiadamente en la secuencia de estado del inversor siempre producirán la ganancia de transferencia de voltaje deseada a través de una conmutación optimizada, y para la verificación conceptual, se construyó y probó un prototipo de laboratorio controlado de forma óptima con un conjunto de resultados capturados y presentados en el siguiente capítulo de este documento.

Primeramente y haciendo referencia al inversor Fuente-Z Multinivel NPC, ZSINPC propuesto en [55], cuya configuración se caracteriza por poseer dos redes de Impedancia en forma de X adicionales entre las dos fuentes de CD aisladas y el circuito de inversion NPC tradicional, Fig. 4.1, de igual manera, las redes de impedancia son responsables de elevar el voltaje inductivo (equilibrado) al disparar a través de cualquiera de las ramas de cualquier fase del inversor sin causar daños a los interruptores, la demora normal de tiempo muerto no es necesaria. Pero, aunque teóricamente la topología anterior es factible acompañado con un patrón de conmutación optimizado, el inversor en la Fig. 4.1 no es una solución económica favorable, ya que al utilizar dos fuentes de CD aisladas y una cantidad de elementos LC pasivos, se aumenta considerablemente el costo, tamaño y peso del inversor.

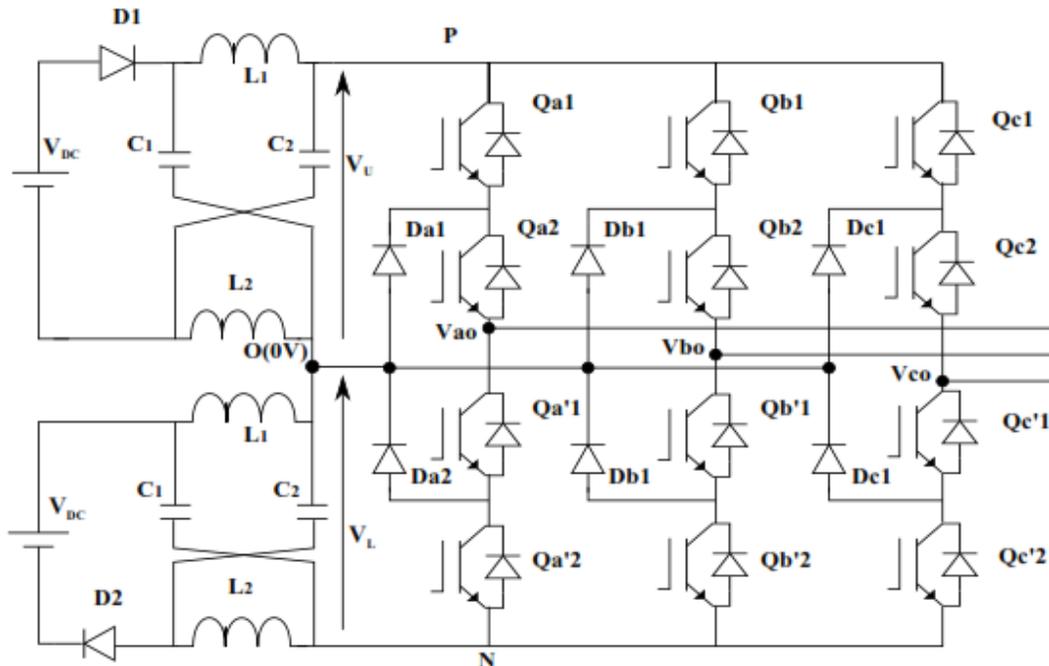


Fig. 4.1. Inversor ZSINPC trifásico de tres niveles con dos redes de impedancia LC [56].

Por lo tanto, en lugar de adoptar la circuitería de doble red directamente sin modificación, generalmente se prefiere la configuración-topología alternativa que utiliza sola una red de impedancia, a juzgar desde un punto de vista económico, el cual experimentar la misma compensación de rendimiento, y cuyo comportamiento se atribuye a la introducción de dos nuevos modos de funcionamiento para el control de modulación del inversor. Por lo tanto, esta topología puede producir la misma calidad de forma de onda de salida, ganancia de transferencia de voltaje (cuando se usan los mismos parámetros de control) y la frecuencia de conmutación del dispositivo.

4.1 Estados de operación y análisis matemático del ZSINPC de tres niveles

El Inversor Trifásico Fuente-Z Multinivel NPC de tres niveles con una sola red de impedancia Fig. 4.2, la cual consta de dos inductores (L1 y L2) y dos condensadores (C1 y C2) conectados entre dos fuentes de CD (en lugar de dos fuentes aisladas) y el circuito de inversión NPC tradicional, éste último permite que el inversor asuma tres niveles de tensión distintos por etapa, y cuyas expresiones y señales de activación correspondientes se muestran en la Tabla XIII. Para describir el principio de funcionamiento del inversor, nos concentramos inicialmente en la operación de una rama de fase al igual que en el inversor Multinivel NPC. La operación de cada rama de fase de un inversor NPC convencional puede representarse mediante tres estados de conmutación P, O y N. El estado de conmutación P denota que los dos interruptores superiores en un tramo de fase están activados, N indica que los dos interruptores inferiores conducen y O significa que los dos interruptores internos están activados. En cambio para el inversor ZSINPC, cada rama de fase del inversor, tiene tres estados de conmutación adicionales que se asemejan al estado 'O' del inversor NPC convencional, éstos estados de conmutación adicionales ocurren cuando los cuatro conmutadores de cualquier etapa están activados en denominado Estado de disparos a través de la Red directo o completo, **FST** (del inglés, Full-Shoot Through State), o los tres interruptores superiores de fase de rama están activados denominados disparo a través de la Red superior, **UST** (Upper-Shoot Through) o los tres interruptores inferiores en cualquier rama de fase están activados y denominados Disparo a través de la Red inferior, **LST** (Lower-Shoot Through). Estos estados de disparo están prohibidos en el inversor NPC tradicional porque causarían un cortocircuito en los condensadores del lado de CD. De nuevo, la red Z-source hace permisibles estos estados de disparos y proporciona los medios para la operación de elevación [49].

Tipo de Estado	Estado de Conmutación	Interruptor On	Diodo On	v_i
NST (Non-Shoot Through State-Estado Activo)	P	QA1, QA2	D1, D2	$+\frac{v_i}{2}$
NST	0	QA2, QA'1	D1, D2, {DA1 o DA2}	0
NST	N	QA'1, QA'2	D1, D2	$-\frac{v_i}{2}$
FST (No preferido)	F	QA1, QA2, QA'1, QA'2	---	0
FST (preferido)	F	QA1, QA2, QA'1, QC2, QC'1, QC'2	DA2, DC1	0
UST	U	QA1, QA2, QA'1	DA2, D1	---
LST	L	SA2, SA'1, SA'2	DA1, D2	---

Tabla 4.1 Estados de conmutación del ZSINPC trifásico de tres niveles [49].

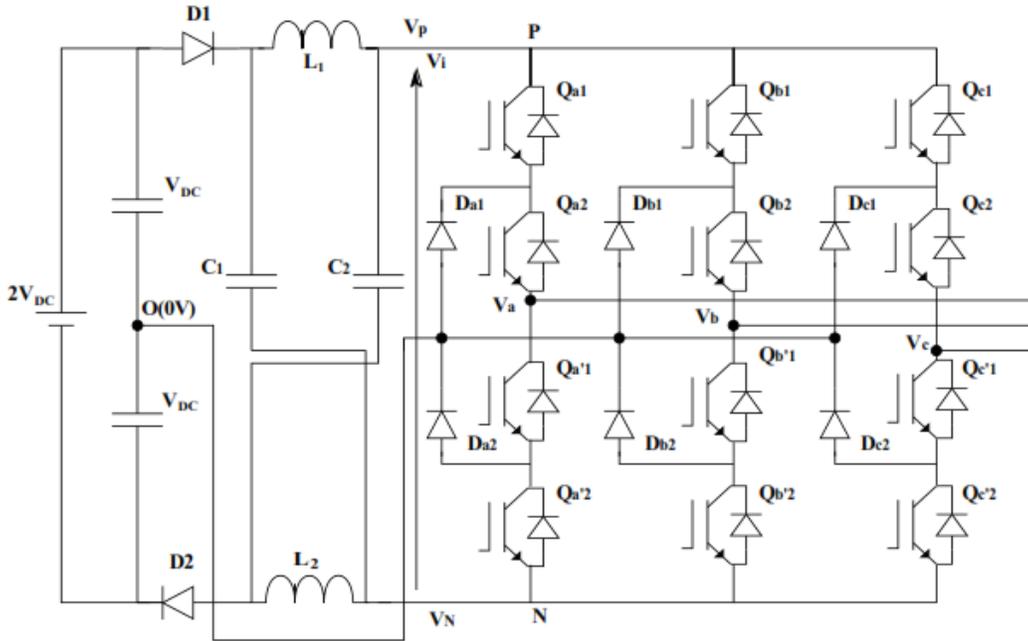


Fig. 4.2. Inversor ZSINPC trifásico de tres niveles con una red de impedancia LC [56].

A partir del concepto de conversión de energía del ZSI de dos niveles (revisado en el capítulo anterior) [3] [23], **la elevación de voltaje dentro del ZSINPC se ve afectado por la introducción de Estados de Disparo Completos del Enlace de CD a su secuencia de estado de modulación, que de otro modo solo consiste en estados activos y nulos no asociados comúnmente a la topología del Inversor Multinivel NPC tradicional.** Cuando el inversor Fuente-Z NPC se opera como un inversor NPC tradicional (es decir, sin ningún estado de disparos a través de la red, STS), entonces $\hat{V}_l = 2V_{DC} - v_{D1} - v_{D2}$. Como se señaló anteriormente, con este tipo de operación, el máximo voltaje de salida obtenible de línea a línea no puede exceder la tensión de fuente de CD disponible. Por lo tanto, para obtener un voltaje de salida de línea a línea mayor que el voltaje de CD disponible, los estados de disparo a través de la Red se insertan cuidadosamente en las ramas de fase seleccionadas para elevar la tensión del enlace de CD a $\hat{V}_l > (2V_{DC} - v_{D1} - v_{D2})$ antes de que sea invertido por el circuito NPC. Por lo tanto, el inversor Fuente-Z NPC puede elevar y disminuir el voltaje de salida de línea a línea con una estructura de una sola etapa [56].

Para representar y distinguir claramente los estados NST y ST, la Fig. 4.3 muestra los circuitos equivalentes simplificados para su análisis. En la Fig. 4.3 (a), la circuitería del inversor y la carga externa están representados por una fuente de corriente simplificada para representar la condición NST, utilizando esta representación equivalente con los diodos de entrada **D1** y **D2** en conducción, el voltaje de los inductores de la Red-Z simétrica es:

$$V_{L1} = V_{L2} = V_L \dots \quad V_{C1} = V_{C2} = V_C \dots \quad 4.1$$

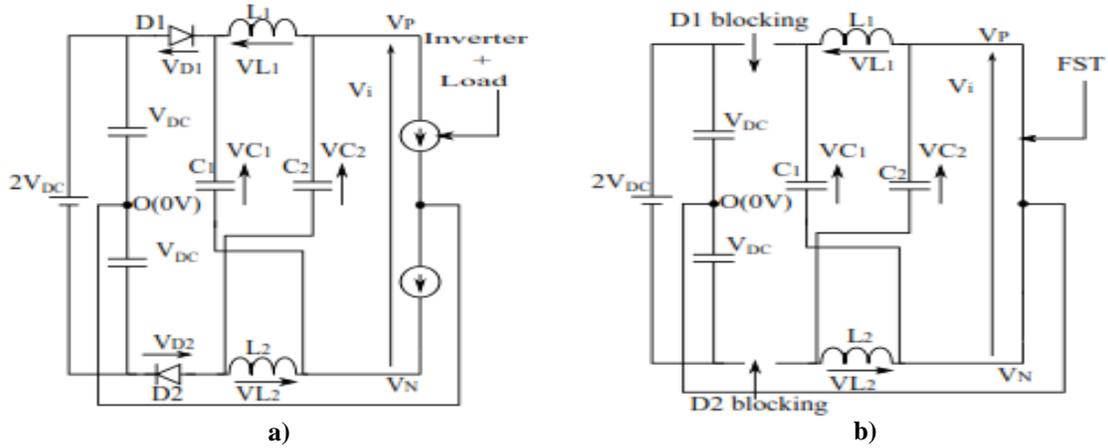


Fig. 4.3. Simplificación del ZSINPC de tres niveles a) NSTS y b) FSTS [56].

Y los tres niveles distintos de tensión de enlace de CD ($V_{(P)}$, $V_{(O)}$, $V_{(N)}$) son respectivamente expresados como:

$$\begin{aligned}
 V_{L1} &= 2V_{DC} - V_{C2} - v_{D1} - v_{D2} \dots & V_{(P)} &= +\frac{v_i}{2} & V_i &= V_{C1} + V_{C2} - 2V_{CD} + v_{D1} + v_{D2} \dots \\
 V_{L2} &= 2V_{DC} - V_{C1} - v_{D1} - v_{D2} \dots \quad 4.2 & V_{(O)} &= 0 & V_i &= 2(V_C - V_{dc}) + v_{D1} + v_{D2} \dots \quad 4.4 \\
 & & V_{(N)} &= -\frac{v_i}{2} \dots \quad 4.3 & &
 \end{aligned}$$

Alternativamente, cuando se comanda un FSTS, por ejemplo, al encender todos los interruptores simultáneamente de la fase A $\{QA1, QA'1, QA2, QA'2\}$ se obtiene la representación simplificada del circuito de la Fig. 4.3 (b) con los diodos de entrada **D1** y **D2** en bloqueo, las expresiones matemáticas relevantes se reescriben de la siguiente manera:

$$V_{L1} = V_{C1} \dots \quad V_{L2} = V_{C2} \dots \quad 4.5 \quad V_{(P)} = V_{(O)} = V_{(N)} = 0 \dots \quad v_i = 0 \dots \quad 4.5$$

Al promediar V_{L1} y V_{L2} durante un ciclo de conmutación T se obtiene:

$$V_{C1} = V_{C2} = V_C = (2V_{dc} - v_{D1} - v_{D2}) * T_{(Nsts)} + V_{dc} * T_{(UST)} V_L \dots \quad 4.6$$

$$V_C = (2V_{dc} - v_{D1} - v_{D2}) \frac{(1 - \frac{T_{st}}{T})}{1 - \frac{2T_{st}}{T}} \dots \quad 4.7$$

Donde T_{st} representa la duración del disparo a través de la red. Usando (4.7), el voltaje pico del Enlace de CD del inversor \widehat{V}_i , el voltaje pico de salida de CA, \widehat{V}_x ($x = A, B, C$), y los tres distintos niveles de voltaje cuando se encuentra en un estado activo (NST) se derivan de la siguiente manera:

$$\widehat{V}_i = V_C - V_L = 2V_C - 2V_{dc} - v_{D1} - v_{D2} = (2V_{dc} - v_{D1} - v_{D2}) \frac{1}{1 - \frac{2T_{st}}{T}} \dots \quad 4.8$$

$$\widehat{V}_x = \frac{M \widehat{V}_i}{2} = \frac{M V_{dc}}{1 - \frac{2T_0}{T}} = M B V_{dc} \dots \quad 4.9 \quad \therefore \quad B = \frac{1}{(1 - \frac{2T_0}{T})}$$

$$V_{(+N)} = +\frac{\widehat{V}_i}{2} \quad V_N = 0 \quad V_{(-N)} = -\frac{\widehat{V}_i}{2} \dots \quad 4.10$$

Dónde \mathbf{M} es el índice de modulación y \mathbf{B} es el factor de elevación, que preferiblemente debe establecerse en la unidad ($\mathbf{T}_0/\mathbf{T} = \mathbf{0}$) para la operación de reducción de voltaje (Buck-voltage) y $\mathbf{B} > \mathbf{1}$ para la operación de elevación de voltaje (Boost-voltage). Para la operación de reducción de voltaje, el voltaje, $\mathbf{V}_i = 2\mathbf{V}_{dc}$ mientras $\mathbf{B} = \mathbf{1}$, lo que implica que los tres distintos niveles de voltaje que el inversor puede asumir son; $+\mathbf{V}_{dc}$, $\mathbf{0}$ y $-\mathbf{V}_{dc}$, que, en principio son similares a los de un Inversor Multinivel NPC de tres niveles tradicional.

Si bien los estados NS y ST descritos anteriormente son suficientes para elevar el voltaje cuando se usan correctamente, definitivamente sería interesante explorar si existen estados alternativos para aumentar el voltaje, lo que es útil para obtener otras ventajas de rendimiento. De hecho, debido a la presencia de un punto neutro adicional \mathbf{N} , el inversor Fuente-Z Multinivel NPC de tres niveles, Fig. 4.2, puede asumir dos modos de funcionamiento nuevos que no están vinculados al inversor de Fuente-Z convencional descritos en [3] [23].

Los nuevos modos de funcionamiento se representan en la Fig. 4.4, donde una característica común que se observa es el cortocircuito de la fuente de CD superior o inferior a través de la red de impedancia \mathbf{Z} . Además, a diferencia del Estado de Disparo Completo del Enlace de CD, donde los dos diodos de entrada $\mathbf{D1}$ y $\mathbf{D2}$ están polarizados inversamente, los nuevos estados operativos dan como resultado solo el bloqueo del diodo $\mathbf{D2}$ para el Disparo a través de la Red superior, UST, y el bloqueo solo del diodo $\mathbf{D1}$ para el Disparo a través de la Red inferior, LST.

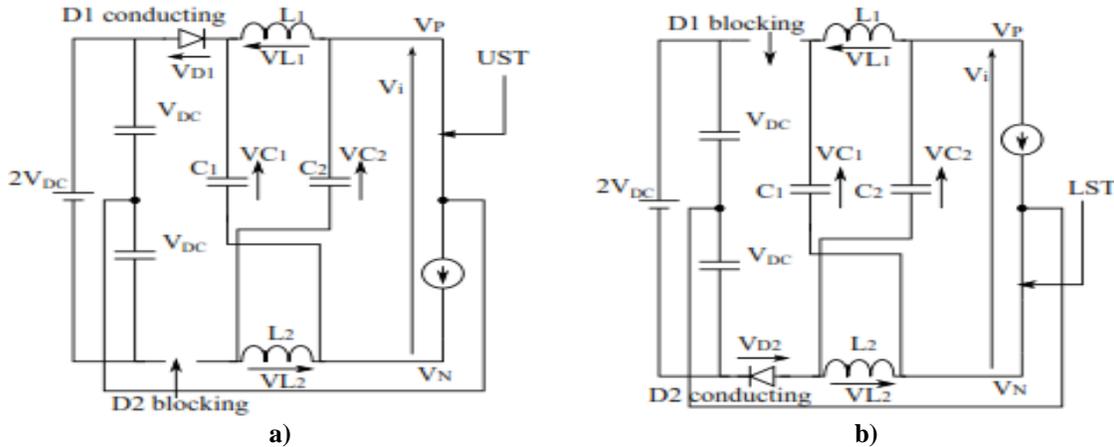


Fig. 4.4. Simplificación del ZSINPC de tres niveles a) USTS y b) LSTS [56].

Deduciendo de esos circuitos equivalentes, las expresiones matemáticas correspondientes para representar los dos nuevos estados operativos se escriben de la siguiente manera:

UST	LST
$V_{L1} = V_{DC} - v_{D1} \dots 4.11$	$V_{L2} = V_{DC} - v_{D2} \dots 4.13$
$V_{(P)} = V_{(O)} = \mathbf{0} \dots$	$V_{(P)} = -V_{DC} + V_{C2} + v_{D2} \dots$
$V_{(N)} = V_{DC} - V_{C1} - v_{D1} \dots 4.12$	$V_{(N)} = V_{(O)} = \mathbf{0} \dots 4.14$

Considerando la duración de los estados UST y LST por \mathbf{T}_u y \mathbf{T}_l , respectivamente, y suponiendo que \mathbf{T}_u y \mathbf{T}_l son iguales (esto es necesario para garantizar el funcionamiento simétrico) e indican la duración total de disparos superior e inferior por \mathbf{T}_{ulst} . En estado

estacionario, el voltaje promedio en los inductores es cero, por lo tanto promediando el voltaje del inductor durante un período de conmutación tenemos:

$$V_{C1} = V_{C2} = V_C = \frac{\left(1 - \frac{T_{ulst}}{2T}\right)}{1 - \frac{T_{ulst}}{T}} (2V_{dc} - v_{D1} - v_{D2}) \dots 4.15$$

Si solo se utiliza el estado NST de la Fig. 4.3(a) y los modos de operación ST de la Fig. 4.4 para el funcionamiento del inversor, al promediar en espacio de estado realizado en \mathbf{V}_L en (4.2, 4.11 y 4.13) da lugar a:

$$\hat{V}_{i,NST} = \frac{1}{1 - \frac{T_{ulst}}{T}} (2V_{dc} - v_{D1} - v_{D2}) \dots 4.16$$

Sustituyendo (4.15) en (4.4, 4.12 y 4.14), el voltaje pico del enlace de CD \hat{V}_1 y los voltajes en los respectivos estados operativos se resumen de la siguiente manera:

$$\begin{aligned} \hat{V}_1 &= \frac{1}{1 - \frac{T_{ulst}}{T}} (2V_{DC} - v_{D1} - v_{D2}) \dots 4.16 \\ \mathbf{V}_{(P)} &= +\frac{\hat{V}_1}{2} \quad \mathbf{V}_{(O)} = \mathbf{0} \quad \mathbf{V}_{(N)} = -\frac{\hat{V}_1}{2} \dots 4.17 \\ &\quad \text{NST} \\ &\quad \text{LST} \\ \mathbf{V}_{(P)} &= \mathbf{V}_{(O)} = \mathbf{0} \dots \\ \mathbf{V}_{(N)} &= -\frac{1}{\left(1 - \frac{T_{ulst}}{T}\right)} (V_{DC} - v_{D1}) = -\frac{\hat{V}_1}{2} \dots 4.18 \quad \mathbf{V}_{(P)} = \frac{1}{\left(1 - \frac{T_{ulst}}{T}\right)} (V_{DC} - v_{D2}) = \frac{\hat{V}_1}{2} \dots 4.19 \end{aligned}$$

Comparando (4.7) y (4.16), se observa que se puede obtener el mismo voltaje pico del Enlace de CD al establecer $T_{ulst} = 2T_{st}$, donde los valores máximos para T_{ulst} y T_{st} , son T y $0.5T$ respectivamente. Además, al comparar (4.17) y (4.19), una característica interesante notada claramente es que la tensión $V_{(N)}$ del Enlace de CD inferior permanece inalterada cuando se transita desde un estado NST a un estado UST. De manera similar, el tránsito desde un estado NST hasta un estado LST no afectará el voltaje del enlace de CD superior $V_{(P)}$. Por lo tanto, para las dos fases conectadas ya sea al punto neutro o al enlace de CD no cortocircuitadas por la tercera fase, sus potenciales no se verán afectados, lo que resulta ser una característica importante necesaria para el desarrollo óptimo del esquema de modulación, como se analiza en la siguiente sección.

4.2 Selección de los valores de los componentes de la Red-Z

Al igual que en el diseño del Inversor Fuente-Z respecto al dimensionamiento de capacitores y de inductores, el inversor Fuente-Z Multinivel NPC, toma las mismas consideraciones de diseño [50], ya que los componentes normalmente deberán ser pequeños y, al mismo tiempo, ser capaces de filtrar las ondulaciones del convertidor [3], adecuando las ecuaciones de diseño revisadas en el Capítulo III a este tipo de convertidor, y, tomando en cuenta las variaciones lineales de formas de onda, del ΔV_C y ΔI_L que anteriormente se expresaron como:

$$\Delta V_C = \frac{\bar{I}_C * \Delta t}{C} \dots \quad \Delta I_L = \frac{\bar{V}_L * \Delta t}{L} \dots 3.2.46$$

Y considerando el período de Disparo de T_{ulst} , $C_{1,2}$ y $L_{1,2}$ se establecen como:

$$C_{1,2} = \frac{\bar{I}_L * T_{ulst}}{8 * \Delta V_C} \dots L_{1,2} = \frac{\bar{V}_C * T_{ulst}}{8 * \Delta I_L} \dots 4.20$$

Que pueden ser reescritos de una forma más conveniente como:

$$C_{1,2} = \frac{1.5 * M * I_m * \bar{V}_C * T_{ulst} * \cos \theta}{32 * V_{DC} * \left(1 - \frac{0.5 T_{ulst}}{T_{sw}}\right) \Delta V_C} \quad L_{1,2} = \frac{V_{DC} * \left(1 - \frac{0.5 T_{ulst}}{T_{sw}}\right) * \bar{I}_L * T_{ulst}}{3 * M * I_m * \cos \theta * \Delta I_L} \dots 4.21$$

Donde I_m es la corriente pico de fase en el lado de CA y θ es el ángulo del factor de potencia de la carga en el lado de CA del inversor. Por lo tanto, si se conocen V_{DC} , I_m , θ , T_{ulst} , T y M , $C_{1,2}$ y $L_{1,2}$ **pueden ser calculados** para cualquier estrategia de control para dar como resultado los niveles de ondulación deseados [56].

4.3 Desarrollo del esquema de modulación del ZSINPC de tres niveles

Al insertar un Enlace de CD completo o una combinación equilibrada de estados a través de la red superior e inferior a la secuencia de estado del inversor, es importante garantizar que el promedio de volts-segundo se mantenga correctamente normalizado en todos los casos, independientemente de la posición del fasor de referencia en el diagrama vectorial de tres niveles que se muestra en la Fig. 2.11. Con este criterio a la vista, se proponen la técnica de modulación SBC-PDPWM, con sus ventajas y desventajas discutidas en detalle [49].

4.3.1 Esquema de modulación de Elevación Simple-Disposición de Fase PWM, SBC-PDPWM

Un esquema de Disparo a través de la Red, que se puede desarrollar se basa en el enfoque tradicional basado en portadora en Disposición de Fase (PD), conocido convencionalmente por producir un contenido armónico inferior [29] [38] [57-59]. Como se revisó en el Capítulo II-III, en ésta técnica se usan dos portadoras en fase dispuestas verticalmente para la comparación con las referencias de las tres fases para producir la secuencia típica de estados como se observa en la mitad superior de la Fig. 4.5, asumiendo que el fasor de referencia está en el triángulo 3 del diagrama vectorial de la Fig. 2.11.

Una implicación que se observa inmediatamente en la Fig. 4.5 es que el estado $\{0, 0, 0\}$ ya no se produce, lo que sugiere que el FSTS del Enlace CD podría no ser una opción favorable para la inserción si el promedio de volts-segundo debe ser preservado. Por lo tanto, para el caso de PD, la única opción que queda con su análisis presentado es la inserción de una combinación de estados de USTS y LSTS.

Comenzando con la secuencia de estado tradicional mostrada en la mitad superior de la Fig. 4.5, se observa que la conmutación de la fase A va de 0 V al potencial del enlace positivo de CD etiquetado como $V_{(P)}$ para dar la transición de primer estado ($\{0, -1, -1\} \rightarrow \{1, -1, -1\}$). Durante esta transición, las fases B y C permanecen sujetas al Enlace de CD negativo $V_{(N)}$, y de acuerdo con (4.18), permanecerán inalteradas incluso si se inserta intencionadamente un USTS al conmutar $\{SA1, SA2, SA'1, SA'2\}$ de $\{0, 1, 1, 0\} \rightarrow \{1, 1, 1, 0\} \rightarrow \{1, 1, 0, 0\}$ (las señal subrayada corresponde al USTS). Por lo tanto, los voltajes de línea trifásicos observados durante el intervalo de USTS se asemejan a los del

estado $\{0, -1, -1\}$, deduciendo que pueden complementarse entre sí para elevar el voltaje sin modificar el promedio de volts-segundo producido.

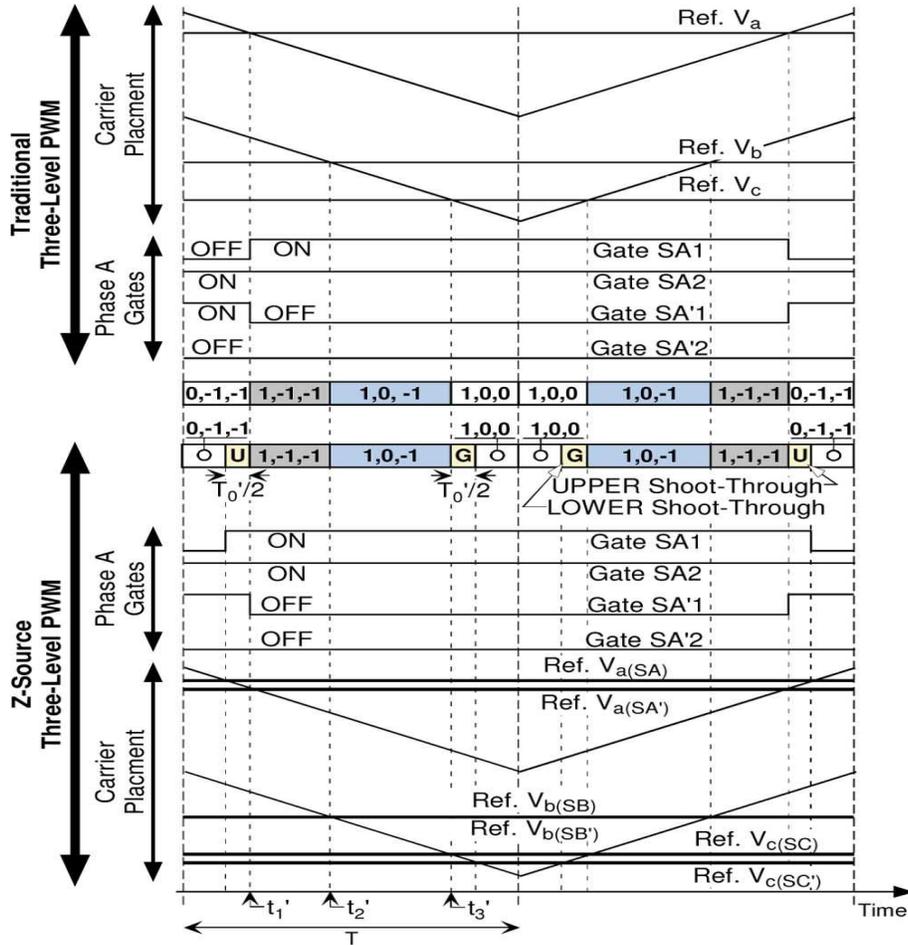


Fig. 4.5. Modulación SBC-PDPWM del ZSINPC de tres niveles [49].

Aplicando el mismo análisis y pasando a la segunda transición ($\{1, -1, -1\} \rightarrow \{1, 0, -1\}$), donde la fase B se activa para cambiar del Enlace de CD negativo al potencial neutro de 0 V, no se debe insertar ningún STS, ya que de ser así, hará que la fase A o la fase C se colapsen a cero involuntariamente, introduciendo un error de volts-segundo por turnos.

Avanzando nuevamente a la tercera transición ($\{1, 0, -1\} \rightarrow \{1, 0, 0\}$) iniciada al elevar el voltaje de la fase C de $V_{(N)}$ a 0 V, es factible insertar un estado de LSTS ya que la entrada de $\{SC1, SC2, SC'1, SC'2\}$ de $\{0, 0, 1, 1\} \rightarrow \{0, 1, 1, 1\} \rightarrow \{0, 1, 1, 0\}$ (la señal subrayada corresponden al LSTS) no afectará las fases A y B, que permanecen fijadas a $V_{(P)}$ y 0 V, respectivamente, de acuerdo con (4.19). Por lo tanto, los voltajes de línea resultantes se asemejan a los de $\{1, 0, 0\}$, infiriendo que ambos estados son intercambiables para el ajuste de ganancia de voltaje sin introducir una distorsión de volts-segundo.

A partir del razonamiento anterior, en la mitad inferior de la Fig. 4.5 se muestra una secuencia de estado modificada que se puede utilizar para controlar el ZSINPC de tres

niveles, donde se insertan los intervalos de UST y LST inmediatamente a la izquierda de la primera transición y a la derecha de la tercera transición por medio ciclo de la portadora, respectivamente. La razón para tener ubicaciones adyacentes es hacer uso de la técnica de avance/retraso de tiempo para insertar STS sin incrementar el conteo de conmutación del inversor.

Específicamente, para el ejemplo mostrado en la Fig. 4.5, el primer STS se inserta utilizando una referencia modificada $\mathbf{V}_{sA} = \mathbf{V}_a + 0.5\mathbf{T}_0/T$ para activar SA1 en un momento anterior de $(\hat{t}_1 - 0.5\mathbf{T}_0)$, y otra referencia $\mathbf{V}_{sA} = \mathbf{V}_a$ para desactivar SA'1 en un momento posterior de \hat{t}_1 (envolvente máxima). Como SA2 ya está encendido dentro del ciclo de portadora, se crea un intervalo con $\mathbf{SA1} = \mathbf{SA2} = \mathbf{SA'1} = \mathbf{DA2} = \mathbf{ON}$ para cortocircuitar la fuente de CD superior, con el conteo de conmutación mantenido en dos (reflejado por las señales de activación mostradas en la Fig. 4.5). Del mismo modo, al usar $\mathbf{V}_{cSC} = \mathbf{V}_c$ para activar SC2 en \hat{t}_3 y $\mathbf{V}_{cSC} = \mathbf{V}_c + 0.5\mathbf{T}_0/T$ para apagar SC'2 en $(\hat{t}_3 - 0.5\mathbf{T}_0)$ (envolvente mínima), un intervalo durante el cual $\mathbf{SC2} = \mathbf{SC'1} = \mathbf{SC'2} = \mathbf{DC1} = \mathbf{ON}$ se crean para cortocircuitar la fuente de CD inferior con el conteo de conmutación mantenido sin cambios.

4.3.2 Programación e Implementación de la modulación SBC-PDPWM en FPGA para el ZSINPC

En los métodos de modulación descritos anteriormente, los cuales se implementan con dos tecnologías básicas según el método de control; primeramente, para los inversores convencionales, comúnmente la tecnología implementada se basa en dispositivos que incluyen Microcontroladores y DSP's que son implementados con lenguaje de alto nivel (C, C++, etc.), además, también se incluyen señales PWM, temporizadores de microcontroladores y DSP's; por lo tanto este método es dependiente de los dispositivos y proporciona una solución de fabricación rápida y de bajo costo solo para aplicaciones específicas, sin embargo, para los dispositivos de potencia de conmutación de alta frecuencia, con esquemas de modulación complejos (como el ZSI y Multinivel NPC y su acoplamiento), es inapropiado. Por otro lado, en el método de control a partir de un controlador FPGA el cual comprende miles de compuertas lógicas, algunas de las cuales están agrupadas en bloques lógico configurables, CLB (del inglés, Configurable Logic Block) para simplificar el diseño de circuitos de mayor nivel, se aplica al inversor en cuestión.

El uso de FPGA para desarrollar estrategias PWM proporciona ventajas tales como; creación rápida de prototipos, diseño simplificado de hardware y software, mayor frecuencia de conmutación y desahogo de procesamiento de los microprocesadores. En los últimos años, el control del motor que emplea tecnología FPGA está recibiendo una mayor atención [60-68], por ejemplo en [63] se usa un FPGA para el algoritmo de modulación SVM para un Inversor Multinivel Multifase. Para el ZSI en [68] se presenta la simulación VHDL (VHSIC Hardware Description Language) del controlador para un Sistema de Conversión de Energía Eólica. En [69] se presenta el diseño de un Inversor Fuente-Z Dual cuyo controlador utiliza un esquema PWM basado en portadora.

Dentro de esta sección se establece el desarrollo e implementación de la Modulación SBC-PDPWM para el Inversor Fuente-Z Multinivel NPC de tres niveles de red única, a través del controlador basado en la tecnología FPGA. La discretización de las señales son desarrolladas

mediante la herramienta Matlab/Simulink, respectivamente los resultados de simulación tomados del software Quartus II (Compañía Altera [70]) y su respectiva implementación verifican el rendimiento del trabajo propuesto. La implementación de la estrategia de modulación propuesta se llevó a cabo con arreglos de compuertas programables en campo modelo CYCLONE II EP2C5T144 mediante el lenguaje de programación VHDL, los cuales posteriormente son transferidos al controlador FPGA [71], Fig. 4.6, el cual cuenta con las siguientes características generales:

- Dispone de un regulador de tensión de 1,2V para el núcleo de la FPGA y otro de 3,3V para los puertos de entrada/salida. La placa se alimenta con 5V.
- Oscilador a 50 MHz (la FPGA soporta hasta 300 MHz). Dispone de dos PLL's.
- Varios bloques de RAM de 4Ks (total: 119.898 bits).
- Una EEPROM EPCS4 de 4Mbit (sólo programable a través del puerto AS).
- 4068 elementos lógicos.
- En la placa hay 4 leds (uno conectado a V_{CC} y no programable) y un botón de reset.

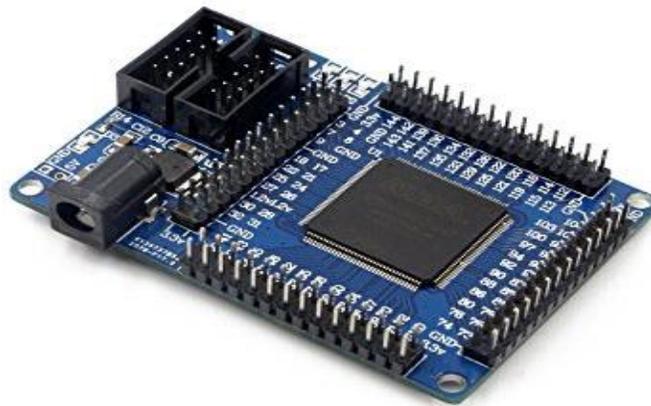


Figura 4.6. Tarjeta Altera CYCLONE II EP2C5T144.

El método propuesto se determina a partir de cinco secciones principales:

- A. Diseño del PWM de frecuencia y ciclo de trabajo variable (D).**
- B. Digitalización y generación de una señal sinusoidal (con determinado índice de modulación).**
- C. Digitalización y generación de las señales triangulares.**
- D. Programación de relojes y bloques de comparación.**
- E. Bloque general de Modulación SBC-PDPWM (instanciación-E/S).**

A. Diseño de PWM de frecuencia y ciclo de trabajo variable

Debido a que en la modulación propuesta tanto las ondas portadoras como las moduladoras deben ser variadas en términos de frecuencia, como primer paso fundamental es la generación de un PWM de frecuencia y ciclo de trabajo variable mediante la programación VHDL utilizando el entorno de programación QUARTUS II 13.0, Fig. 4.7.

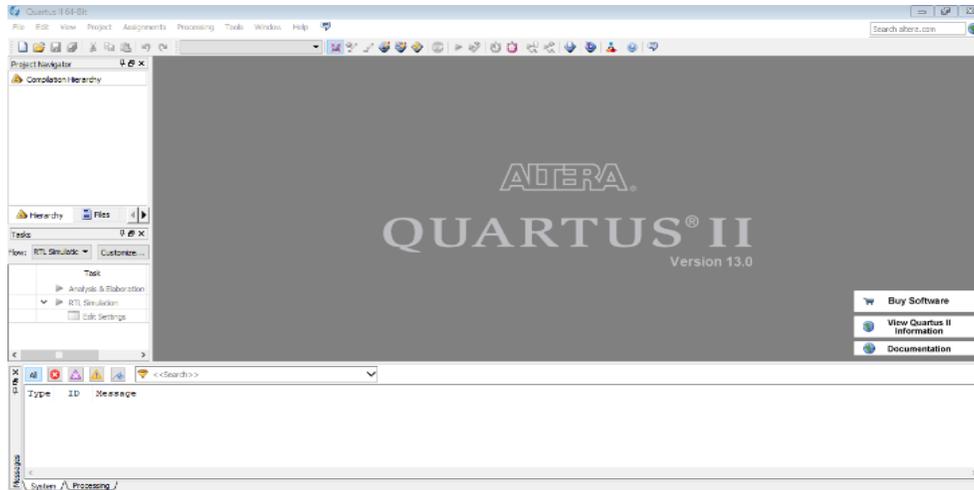


Fig. 4.7. Pantalla de inicio del Software QUARTUS II 13.0.

Tras la generación de un proyecto en VHDL y para el diseño de la técnica de modulación en cuestión, es primordial la declaración de las librerías principales, así como sus funciones generales, lo cual proporciona la libertad de ocupar cualquier tipo de operación lógica-aritmética básica que se encuentre disponible, así como combinar los sistemas numéricos sin ningún inconveniente, posteriormente, una vez realizada la declaración de librerías, se prosigue a declarar la estructura de Entidad, y, asignando entradas y salidas, se prosigue a declarar el comportamiento de la arquitectura de la Entidad, a partir de lo siguiente:

```

1  library IEEE; --Librería estándar IEEE
2  use IEEE.std_logic_116.all; --Librería estándar lógica
3  use IEEE.std_arith.all; --Librería estándar lógica aritmética
4  use IEEE.std_logic_unsigned.all; --Librería estándar lógica para la asignación de numero sin signo
5  entity PWM is; --La entidad llamada PWM
6  generic{ --Declaración de constantes de tipo genéricas que se utilizaran para la comparación del contador
7  max_val: integer:=500; No. de muestras
8  val_bits: integer:=9; valor en bits de max_val
9  val_cur: integer:=250;
10 }; --Fin de la declaración de constantes
11 port{ --Declaración o asignación de puertos
12 clk: in std_logic; --Declaración de una entrada de tipo estándar lógica
13 clk: in std_logic; --Declaración de una entrada de tipo estándar lógica
14 }; --Fin de la declaración de constantes
15 end entity; --Fin de la entidad
16 architecture arch of PWM is; --Declaración de la arquitectura de la entidad PWM
17 signal cnt: std_logic_vector ((val_bits -1) downto 0) --Señal interna de contador de tipo vector de daos de
    tamaño val_bits
18 begin --Inicio de arquitectura
19 process (clk) --Proceso de Contador
20 begin
21 if (clk'event and clk='1') then --Compara, si hay un cambio de estado en clk y ese cambio es a estado alto
    entonces
22     if (cnt < (max_val -1)) then --Compara, si cnt es menor que max_val -1 entonces
23         cnt <= cnt+1; --Suma 1 a cnt (contador)
24     else --Si cnt no es menor que max_val -1 entonces
25         cnt <= (others=>'0'); --Asigna el valor de 0 a cnt
26     end if; --Fin de if
27 end if; --Fin de if

```

```

28 end process;--Fin de process
29 process (clk)—Proceso de contador
30 begin
31 if (clk'event and clk='1') then—Compara, si hay un cambio de estado en clk y ese cambio es a estado alto
    entonces
32   if (val_cur > cnt) then—Compara, si val_cur es mayor que cnt entonces
33     pulse<='1';--Asigna un bit alto a salida pulso
34   else—Si no entonces
35     pulse<='0';--Asigna un bit bajo a salida pulso
36   end if;--Fin de if
37 end if;--Fin de if
38 end process;--Fin de process
39 end arch;--Fin de arquitectura

```

Para la modificación del periodo y del ciclo de trabajo del PWM es necesario la modificación de solo 3 constantes que son:

$$\max_{\text{val}} = \frac{\text{Frecuencia de CLK}_{\text{master}}}{\text{Frecuencia deseada}} = \frac{(50 \text{ MHz})}{(100 \text{ kHz})} = 500 \dots\dots 4.22$$

$$\text{val}_{\text{bits}} = \text{Valor equivalente en bits de } \max_{\text{val}} = 500 = 111110100 \dots\dots 4.23$$

$$\text{val}_{\text{cur}} = \frac{(\text{Ciclo de tranajo deseado})(\max_{\text{val}})}{100\%} = \frac{(50\%)(500)}{100\%} = 250 \dots\dots 4.24$$

Es importante establecer que el valor asignado a cada constante debe de ser número de tipo entero, ya que al utilizar el tipo de datos (integer) se utilizan valores enteros positivos, en caso que **max_val** y **val_cur** sean números con decimales se redondean a números enteros. Una vez compilado el programa anterior se prosigue a determinar mediante la implementación el comportamiento de la señal programada, Fig. 4.8.

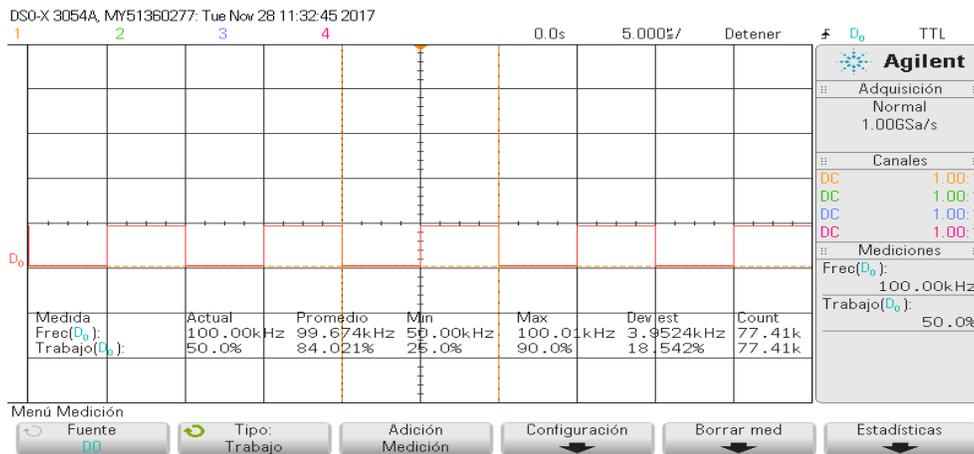


Fig. 4.8. Implementación de pulso PWM (variable), 100 kHz a 50% de ciclo de trabajo.

B. Digitalización y generación de una señal sinusoidal

Para generar las tres señales sinusoidales de 50 Hz desfasadas (sistema trifásico), se realizará la discretización de dichas señales a través de la herramienta Matlab, donde se obtienen 400 muestras (puntos) de cada $150 \cdot \sin(x)$, $150 \cdot \sin(x + 120^\circ)$ y $150 \cdot \sin(x - 120^\circ)$, con su respectivo valor binario (9 bits), para posteriormente colocar dicho valor binario en

una tabla de búsqueda proporcional LUT (del inglés, Look Up Table); se debe tener en cuenta el índice de modulación (0.8, en este caso).

	Seno1Scrip.m	Seno2Scrip.m	Seno3Scrip.m
1	clc;	clc;	clc;
2	T=linspace(0,2*pi*400);	T1=linspace(0,2*pi*400);	T2=linspace(0,2*pi*400);
3	X=(0.8*150*SIN(t))+150;	Y=(0.8*150*SIN(t+120))+150;	Z=(0.8*150*SIN(t-120))+150;
4	XD=round(X);	YD=round(Y);	ZD=round(Z);
5	Xbin=dec2bin(XD,9)	Ybin=dec2bin(YD,9)	Zbin=dec2bin(ZD,9)

Para el nuevo diseño VHDL, se utiliza, el mismo código utilizado en el PWM variante con algunas pequeñas modificaciones, como en el segundo “process” que consiste en una comparación de registros del contador como se puede apreciar en el siguiente código:

```

1  library IEEE;
2  use IEEE.std_logic_116.all;
3  use IEEE.std_arith.all;
4  use IEEE.std_logic_unsigned.all;
5  entity seno is
6  generic{
7  max_val: integer:=400; Numero de muestras de la señal senoidal discretizada
8  val_bits: integer:=9;
9  };
10 port{
11 clk: in std_logic;
12 pulse: out std_logic_vector (9 downto 0)—Declaración de la salida de 9 bits
13 };
14 end entity;
15 architecture arch of seno is;
16 signal cnt: std_logic_vector ((val_bits -1) downto 0);
17 begin
18 process (clk)
19 begin
20 if (clk'event and clk='1') then
21     if (cnt < (max_val -1)) then
22         cnt <=cnt+1;
23     else
24         cnt <=(others=>'0');
25     end if;
26 end if;
27 end process;
28 process (clk)
29 begin
30 if (clk'event and clk='1') then
31     if (0=cnt) then—Compara, si cnt es igual a 0 entonces
32         pulse<="10000000";--Asigna la palabra binaria de la muestra 1
33     elsif(1=cnt)then—Compara, si hay un cambio de estado de clk y ese cambio es a estado alto entonces
34         pulse<="10000100";--Compara, si cnt es igual a 0 entonces asigna la palabra binaria de la muestra 2
35     elsif(2=cnt)then—Compara, si hay un cambio de estado de clk y ese cambio es a estado alto entonces
36         pulse<="10000100";--Compara, si cnt es igual a 0 entonces asigna la palabra binaria de la muestra 3
37     Sucesivamente hasta la muestra 400

```

Entonces, por cada flanco ascendente de la señal del reloj, una de las muestras de la onda sinusoidal se transfiere a la salida. Las tablas de búsqueda son síncronas con la señal de reloj de flanco ascendente, por lo tanto, proporcionan una buena continuidad en la forma de onda sinusoidal producida y se obtiene una forma de onda continua. Por otro lado, en la etapa de

comparación de las formas de onda de las señales triangular y sinusoidal estas operaciones se realizan en todas las muestras en cada flanco ascendente de la señal del reloj, por lo que la comparación es sincrónica con el reloj y el método de control de precisión es muy bueno. Tras el análisis del Nivel de Transferencia de Registro, RTL (del inglés Register-Transfer Level), la correcta compilación y depuración del programa, se simula a través de la plataforma MODELSIM el programa VHDL con un CLK (reloj master) que se calcula conforme a la ecuación 4.25, Fig. 4.9.

$$\text{CLK}_{\text{seno}} = (\text{No. de Muestras})(\text{Frecuencia deseada para la señal}) = (400)(50 \text{ Hz}) \\ = 20 \text{ kHz} \dots 4.25$$

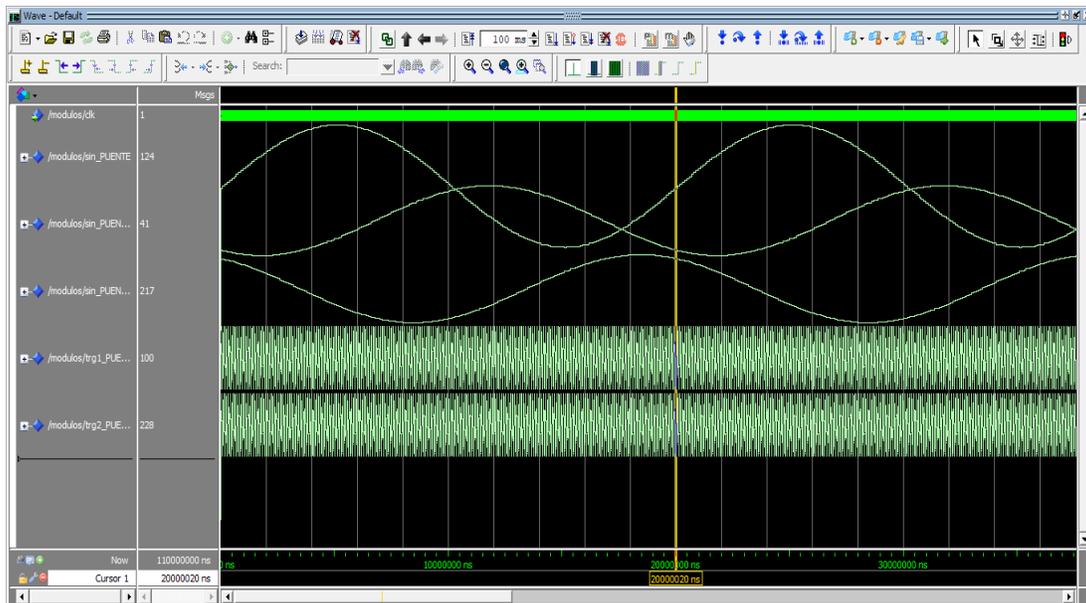


Fig. 4.9. Simulación de la señales sinusoidales discretizadas en ModelSim.

C. Digitalización y generación de las señales triangulares

Utilizando el mismo procedimiento del apartado anterior, se genera un nuevo VHDL, para obtener la discretización de una señal triangular, nuevamente a través del programa de Script de Matlab, y utilizando la base del código PWM variable, se establece el código siguiente, e igualmente tras el análisis del RTL, se simula a través de la plataforma ModelSim el programa VHDL con un CLK (master) que se calcula conforme la ecuación 4.26, Fig. 4.10.

$$\text{CLK}_{\text{Triangular}} = (\text{No. de Muestras})(\text{Frecuencia deseada para la señal}) = (300)(10 \text{ kHz}) \\ = 3 \text{ MHz} \dots 4.26$$

```

trgScrip.m          1  library IEEE;
1--  clc;             2  use IEEE.std_logic_116.all;
2--  clear;          3  use IEEE.std_arith.all;
3--  T1=0:1:149;    4  use IEEE.std_logic_unsigned.all;
4--  T2=150:1:1;   5  entity triangular is;
5--  T3=150:1:299; 6  generic{
6--  T4=300:1:151;  7  max_val: integer:=300;
7--  Trg1=[T1 T2]; 8  val_bits: integer:=9;
8--  Trg2=[T3 T4]; 9  };
9--  Tg1bin=dec2bin(Trg1,9) 10 port{

```

```

10-- Tg2bin=dec2bin(Trg2,9)
11 clk: in std_logic;
12 Trg1: out std_logic_vector (8 downto 0);
13 Trg2: out std_logic_vector (8 downto 0);
14 };
15 end entity;
16 architecture arch of triangular is;
17     signal cnt: std_logic_vector ((val_bits -1) downto 0);
18 begin
19     process (clk)
20     begin
21         if (clk'event and clk='1') then
22             if (cnt < (max_val -1)) then
23                 cnt <=cnt+1;
24             else
25                 cnt <=(others=>'0');
26             end if;
27         end if;
28     end process;
29     process (clk)
30     begin
31         if (clk'event and clk='1') then
32             if (0=cnt) then
33                 Trg1<="00000000";
34                 Trg2<="010010110";
35             elsif (1=cnt) then
36                 Trg1<="000000001";
37                 Trg2<="010010111";
38             elsif (2=cnt) then
39                 Trg1<="000000010";
40                 Trg2<="010011000";
41         end if;
42     end process;
43 end architecture arch;

```

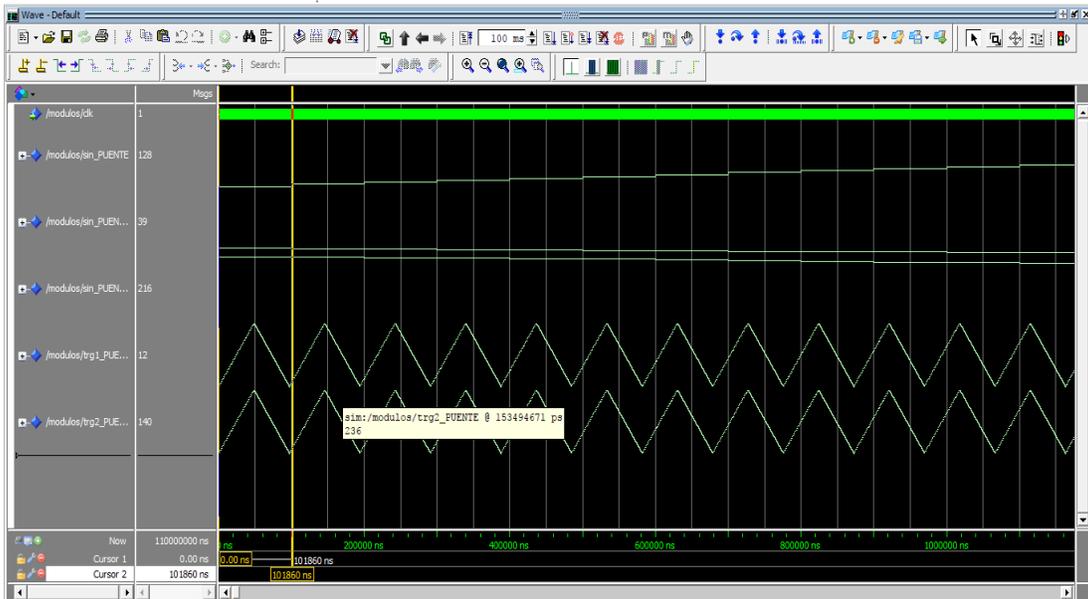


Figura 4.10. Simulación de señales triangulares discretizadas en ModelSim.

D. Programación de relojes y bloques de comparación

Para la programación de los relojes que dictan el comportamiento de las señales digitalizadas, basándonos en las ecuaciones 4.25 y 4.26 se determinan los valores de las contantes establecidas en las ecuaciones 4.22-4.24 dando como resultados los valores de la Tabla XIV, considerando que los pulsos de reloj se comportan como un PWM con un ciclo de trabajo del 50%.

Constantes	Clk_Seno	Clk_Triang
Frecuencia de Clk	20 kHz	3 MHz
Max_val	2500	33
Val_bits	12	6
Val_cur	1250	17

Tabla 4.2 Valores de las constantes para la generación de relojes en SBC-PDPWM

Tras el estudio de la teoría del Inversor Multinivel NPC Fuente-Z y para la realización de la modulación SBC-PDPWM son requeridos los bloques de comparación de las señales moduladoras con las señales portadoras y, estas a su vez, con las envolventes V_p y V_n , respectivamente, de modo que con cada flanco ascendente del reloj, el programa compara una cada muestra de las tres formas de onda sinusoidal de 50 Hz con cada muestra de las dos formas de onda triangular de 10 KHz, éstas a su vez se compara con el valor de las constante V_p (270=100001110) y V_n (30=000011110) para producir el estado STS, Fig. 4.11, a través de lo siguiente:

```

1 library IEEE;
2 use IEEE.std_logic_116.all;
3 use IEEE.std_arith.all;
4 use IEEE.std_logic_unsigned.all;
5 entity COM_SEN_TRG1 is;
6 port{
7 seno: in std_logic_vector (8 downto 0);
8 Trg1: in std_logic_vector (8 downto 0);
9 pulse: out std_logic
10 };
11 end entity;
12 architecture arch of COM_SEN_TRG1 is;
13 signal SMT: std_logic;
14 signal SIT: std_logic;
15 begin:
16 SMT <= '1' when (seno>Trg1) else '0';
17 SIT <= '1' when (seno=Trg1) else '0';
18 pulse <= not (SMT or SIT);
19 end arch;

```

Lo anterior para cada comparación respectiva. Nota: Se utilizan una negación del pulso de salida ya que en la implementación física se trabajara con lógica negada (Optoacopladores).

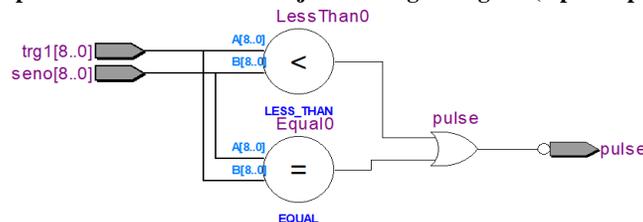


Figura 4.11. Bloque RTL del código de comparación mayor igual que (\geq).

E. Bloque general de Modulación SBC-PDPWM (instanciación-E/S)

Utilizando los VHDL generados anteriormente en los pasos (A-D) se continuará con la unión de todos los archivos VHDL mediante el desarrollo del programa de Instanciación para el comportamiento de entradas y salidas, como se muestra a partir del siguiente código:

```
1 library IEEE;
2 use IEEE.std_logic_116.all;
3 use IEEE.std_arith.all;
4 use IEEE.std_logic_unsigned.all;
5 entity Modulación is;
6 port{
7 clk: in std_logic;
8 pulse1: out std_logic
9 pulse2: out std_logic
10 };
11 end entity;
12 architecture arch of Modulación is;
13 COMPONENT CLK_SENO
14 PORT{
15 clk: in std_logic;
16 pulse: out std_logic
17 };
18 end COMPONENT;
19 COMPONENT CLK_TRIANG
20 PORT{
21 clk: in std_logic;
22 pulse: out std_logic
23 };
24 end COMPONENT;
25 COMPONENT seno
26 PORT{
27 clk: in std_logic;
28 seno1: out std_logic_vector (8 downto 0)
29 };
30 end COMPONENT;
31 COMPONENT triang
32 PORT{
33 clk: in std_logic;
34 triang1: out std_logic_vector (8 downto 0)
35 };
Sucesivamente
```

Una vez concluida la unión de todos los bloques (RTL general, Fig. 4.12), se simula, a través de plataforma ModelSim, el programa SBC-PDPWM VHDL, para poder observar las formas de onda generadas y compararlas con la modulación desarrollada en Matlab Simulink (Figs. 4.13-4.15).

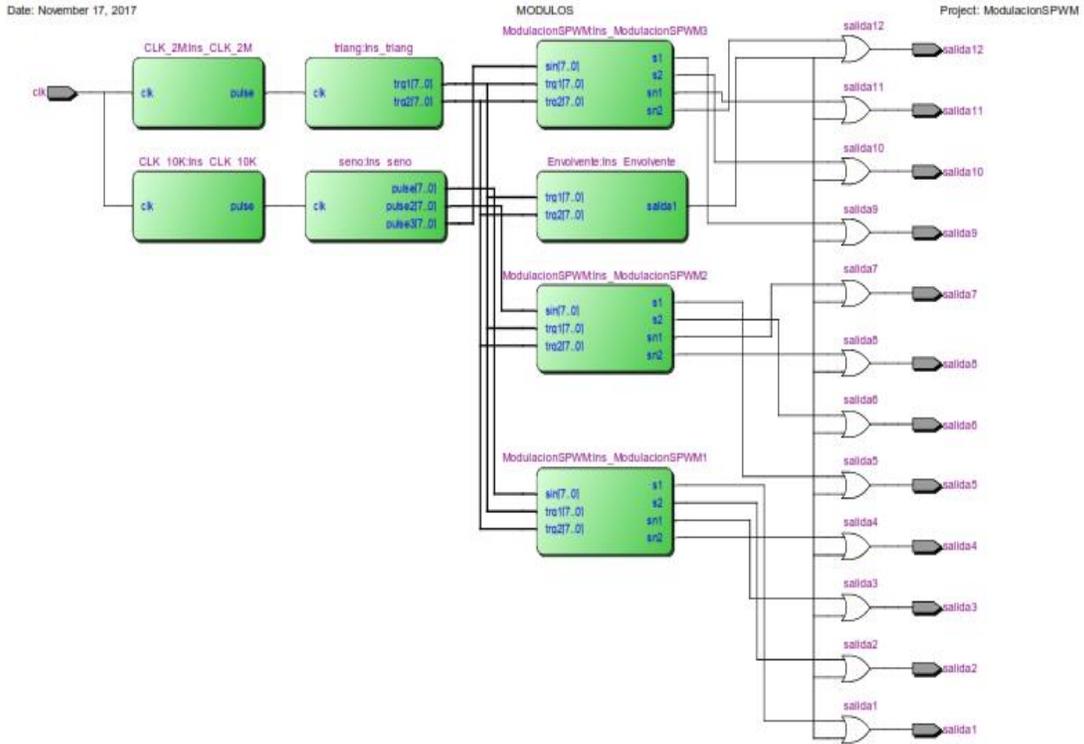


Figura 4.12. Diagrama RTL de la modulación SBC-PDPWM.

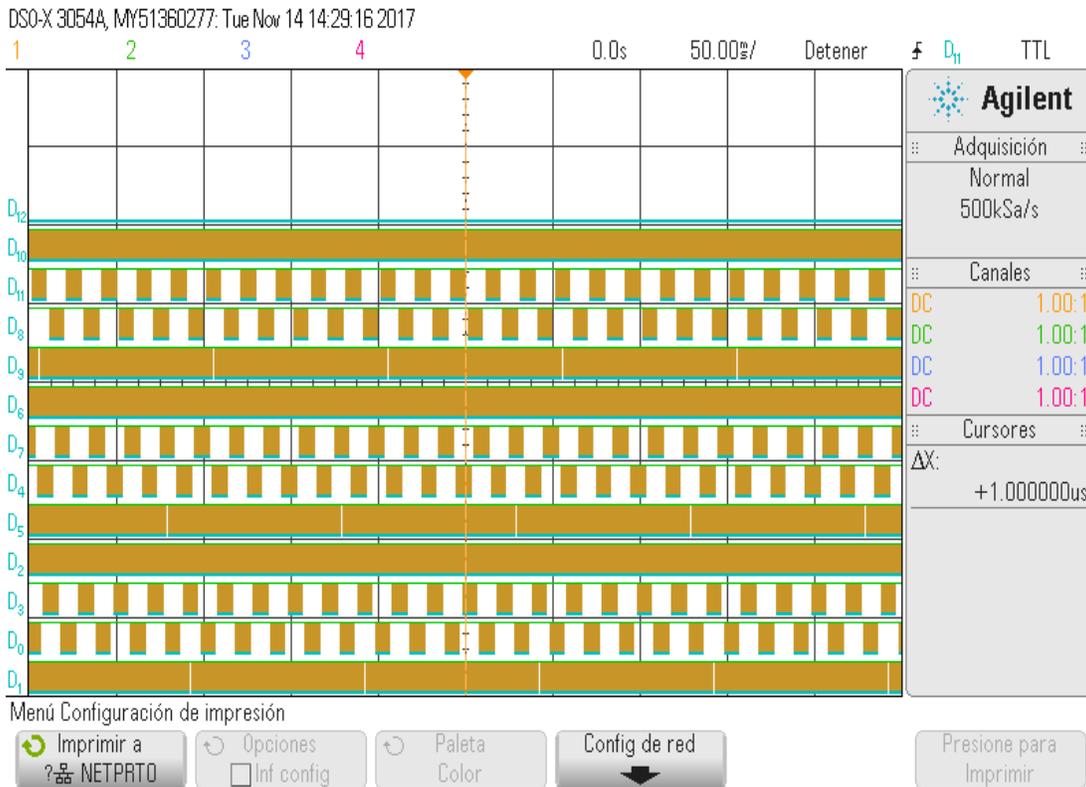


Figura. 4.13. Implementación de la modulación SBC-PDPWM en FPGA.

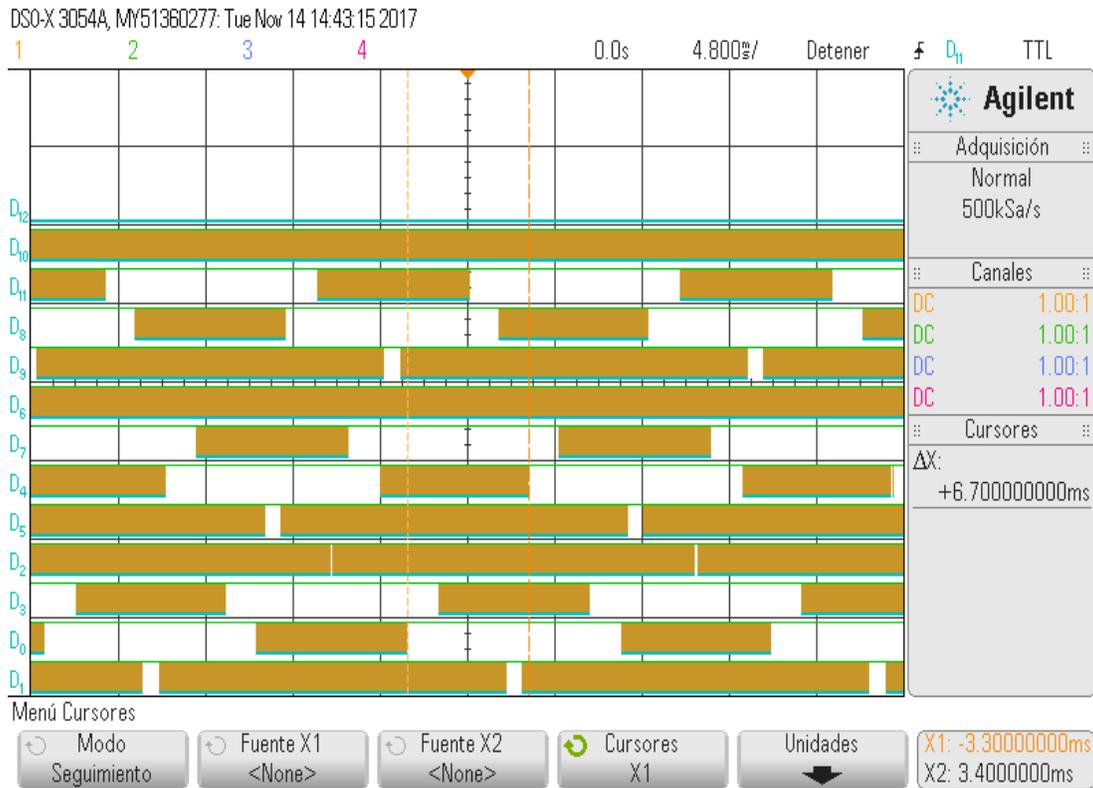


Figura 4.14. Implementación de la modulación SBC-PDPWM en FPGA (desfase 120°).



Figura 4.15. Simulación de la modulación SBC-PDPWM en Matlab Simulink.

4.4 Inversor ZSINPC de N niveles

De acuerdo a los autores E. Babaei and T. Ahmazdkeh [72] proponen una estructura del inversor ZSINPC trifásico de N niveles de elevación, Fig. 4.16, la cual es una estructura expandida de la topología básica de un inversor ZSINPC trifásico de tres niveles que se muestra en la Fig. 4.1. Dicho inversor necesitará determinada cantidad de interruptores, diodos clamped y redes-Z. Considerando la Fig. 4.1, el valor mínimo posible para la estructura extendida de un inversor ZSINPC es igual a tres. En comparación con la topología ZSINPC desarrollada y que aplica solo una red LC, la topología ZSINPC que proponen dichos autores puede existir con diferentes valores para fuentes de entrada de CD, índices de modulación, ciclo de trabajo, factor de elevación, etc. Mientras que, la condición anterior no puede existir para la topología ZSINPC con una red LC. Además, la topología ZSINPC propuesta tiene la capacidad de una mayor modularidad en términos del número de niveles diferentes con varios niveles de voltaje.

Respectivamente la Tabla XV muestra las diferentes combinaciones de estados de conmutación permitidos para los conmutadores de fase A del inversor ZSINPC de N niveles propuesta, Y en donde los anteriores autores proponen dos métodos de control para la variedad de inversores ZSINPC, que de igual forma a partir de las topologías inversor NPC con más de tres niveles, mantener el equilibrio de carga de los condensadores de CD en punto neutro es lo más recomendable [73] y mutuamente debe agregarse al método de control el estado de conmutación ST.

V_a	$V_{o1, \max} + \dots + V_{o(\frac{n-1}{2}), \max}$	$V_{o2, \max} + \dots + V_{o(\frac{n-1}{2}), \max}$...	0	...	$-V_{o(\frac{n+1}{2}), \max} - \dots - V_{o(n-2), \max}$	$-V_{o(\frac{n+1}{2}), \max} - \dots - V_{o(n-1), \max}$	0	0	...	0	0	
$F - Z_1$	$V_{o1, \max}$	0	...	0	...	0	0	STS	NSTS	...	NSTS	NSTS	
$F - Z_2$	$V_{o2, \max}$	$V_{o2, \max}$...	0	...	0	0	STS	STS	...	NSTS	NSTS	
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	
$F - Z_{\frac{n-1}{2}}$	$V_{o(\frac{n-1}{2}), \max}$	$V_{o(\frac{n-1}{2}), \max}$...	0	...	0	0	STS	STS	...	STS	STS	
$F - Z_{\frac{n+1}{2}}$	0	0	...	0	...	$V_{o(\frac{n+1}{2}), \max}$	$-V_{o(\frac{n+1}{2}), \max}$	STS	STS	...	STS	STS	
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	
$F - Z_{n-2}$	0	0	...	0	...	$V_{o(n-2), \max}$	$V_{o(n-2), \max}$	NSTS	NSTS	...	STS	STS	
$F - Z_{n-1}$	0	0	...	0	...	0	$V_{o(n-1), \max}$	NSTS	NSTS	...	NSTS	STS	
Estados De Conmutación permitidos	S_1	1	0	...	0	...	0	0	1	0	...	0	0
	S_2	1	1	...	0	...	0	0	1	1	...	0	0
	S_3	1	1	...	0	...	0	0	1	1	...	0	0
	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
	S_{n-3}	1	1	...	1	...	0	0	1	1	...	1	1
	S_{n-2}	1	1	...	1	...	0	0	1	1	...	1	1
	S_{n-1}	1	1	...	1	...	1	0	1	1	...	1	1
	S'_1	0	1	...	1	...	1	1	1	1	...	1	1
	S'_2	0	0	...	1	...	1	1	1	1	...	1	1
	S'_3	0	0	...	1	...	1	1	1	1	...	1	1
	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
	S'_{n-3}	0	0	...	0	...	1	1	0	0	...	1	1
	S'_{n-2}	0	0	...	0	...	1	1	0	0	...	1	1
S'_{n-1}	0	0	...	0	...	0	1	0	0	...	0	1	

Tabla 4.3 Estados de conmutación permitidos en el ZSINPC de N niveles para la fase A [72].

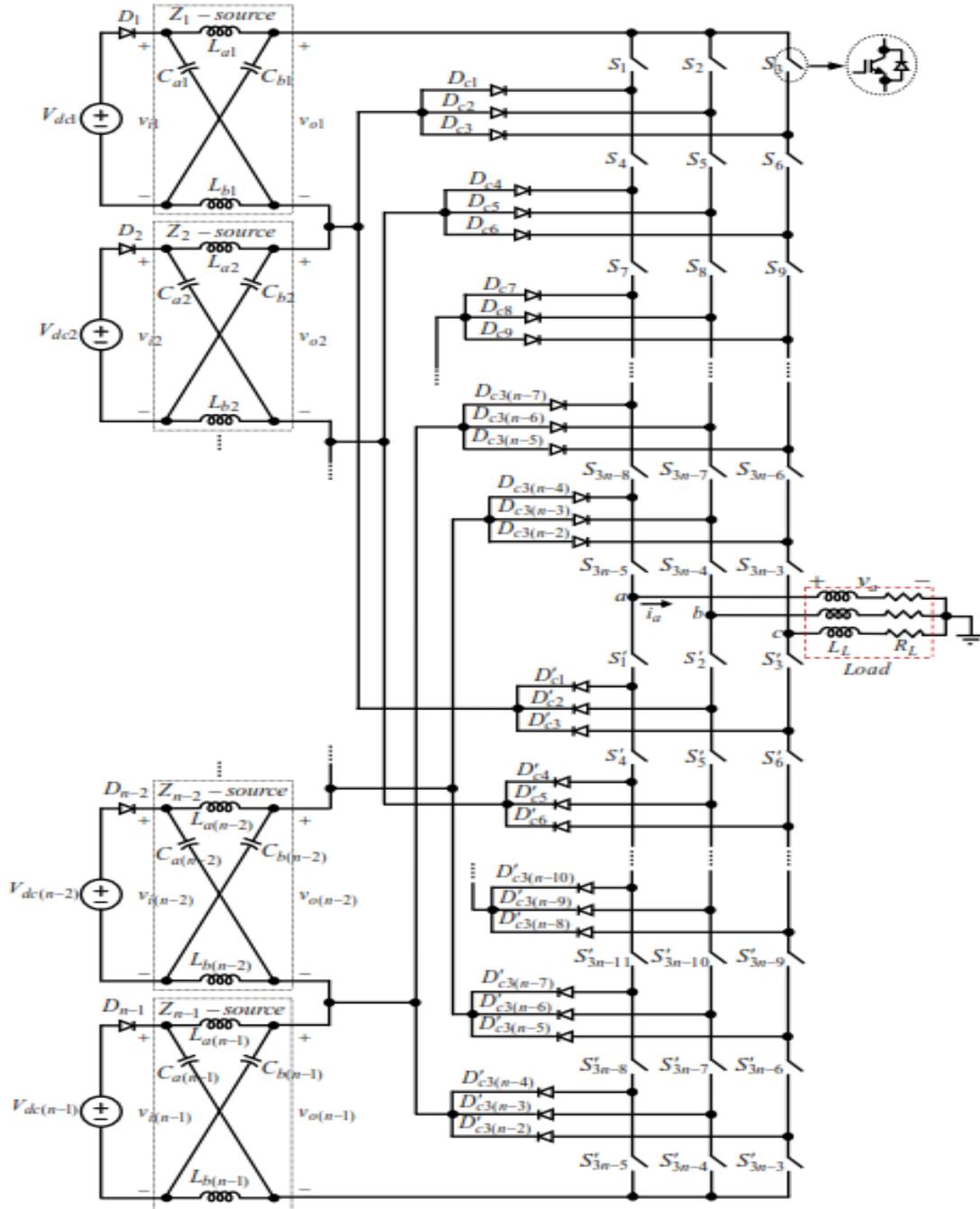


Fig. 4.16 Estructura del ZSINPC trifásico de N niveles [72].

Considerando un inversor ZSINPC de 5 niveles y el método de control PWM convencional de acuerdo a la Fig. 4.16, el método PWM propuesto usan las cuatro portadoras triangulares A_{C1-C4} y una referencia sinusoidal A_r , Fig. 4.17, para los mismos valores de índice de modulación y fuentes de CD y para diferentes valores de ellas, usan los cuatro soportes triangulares y dos referencias sinusoidales. La diferencia entre los dos métodos de control PWM establecidos por los autores son las diferentes amplitudes para portadoras triangulares.

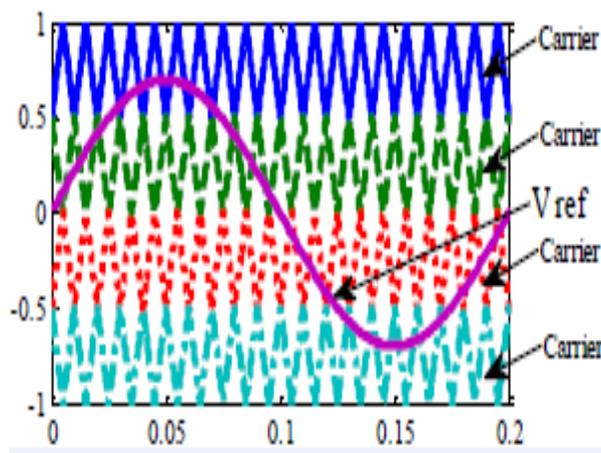


Fig. 4.17 Señales de referencia para el ZSINPC trifásico de cinco niveles, APOD.

En el primer método propuesto, Fig. 4.18 a), la amplitud de A_{C1} y A_{C2} es la misma ($A_{C1} = A_{C2}$) al igual que A_{C3} y A_{C4} ($A_{C3} = A_{C4}$), y los voltajes de línea a línea del inversor son de cinco niveles debido a los mismos valores para las portadoras. En el segundo método propuesto Fig. 4.18 b), la amplitud de A_{C1} y A_{C4} , tienen diferentes valores, mientras que, los voltajes de línea a línea del inversor son de siete niveles debido a los diferentes valores de las portadoras. Considerando la Fig. 4.18 b), las amplitudes de A_{C1} a A_{C4} , están entre $0 \leq A_{C1} \leq 1$ y $0 \leq A_{C4} \leq 1$, respectivamente, y las amplitudes de A_{C2} y A_{C3} están entre “un número negativo $\leq A_{C2} \leq 1$ ” y “ $-1 \leq A_{C3} \leq$ un número positivo”, respectivamente. Al aumentar la amplitud de las secciones negativa y positiva para A_{C2} y A_{C3} , las formas de onda de los voltajes de línea tienden a más de siete niveles. Sin embargo, el balance de carga de la Fuente Z_1 a Z_4 se empeora. En la Fig. 4.18, el balance de carga de las redes de Fuente Z_1 a Z_4 están controladas por portadoras triangulares A_{C1-C4} , respectivamente. El estado de conmutación ST para la Fuente Z_1 y la Fuente Z_2 (USTS) se genera comparando A_{C1} y A_{C2} con V_{pn} . Mientras que, el estado de conmutación ST para para la Fuente Z_3 y la Fuente Z_4 (LSTS) se genera comparando A_{C3} y A_{C4} con V_{pn} . Cabe señalar que, además de la cuestión anterior, la condición mencionada en la Tabla XIV, se debe considerar para controlar los interruptores del inversor Z-NPC de cinco niveles.

Considerando la Fig. 4.16, en la red Z_{n-1} , la tensión media en los capacitores ($V_{C(n-1)}$) y la tensión media y máxima en la salida de la red Z_{n-1} , ($\bar{V}_{o(n-1)}$ y $\hat{V}_{o(n-1)}$) se obtienen de la siguiente manera [2] [3] [55] [73-81]:

$$V_{Ca(n-1)} = V_{Cb(n-1)} = V_{Cc(n-1)} = \bar{V}_{o(n-1)} = \frac{1 - D_{(n-1)}}{1 - 2D_{(n-1)}} V_{DC(n-1)} \dots 4.20$$

$$\hat{V}_{o(n-1)} = \frac{1}{1 - 2D_{(n-1)}} V_{DC(n-1)} = B_{(n-1)} V_{DC(n-1)} \dots 4.21$$

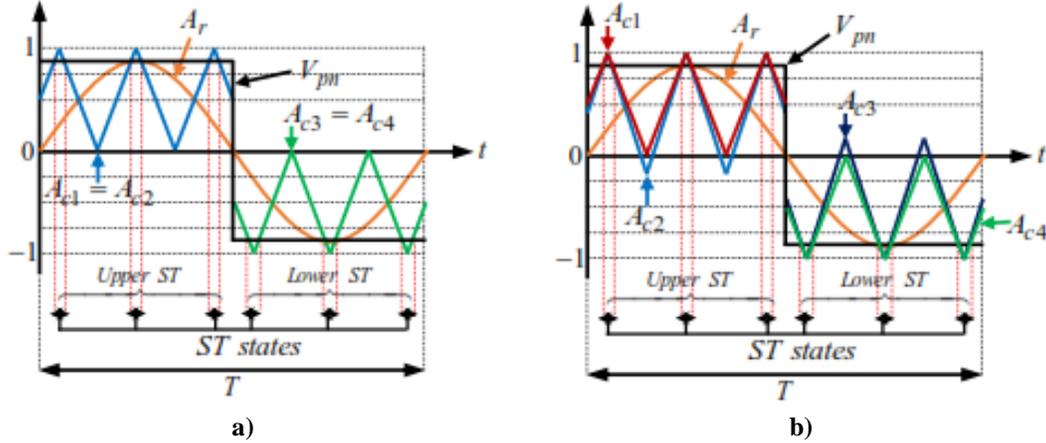


Fig. 4.18 Señales de control APOD propuestas para el ZSINPC trifásico de cinco niveles para la fase A a) primer método b) segundo método [72].

Donde $V_{DC(n-1)}$ es el voltaje de la fuente de entrada de $(n - 1)$ ramas, $D_{(n-1)} = \frac{T_{sh(n-1)}}{T}$ es el ciclo de trabajo (factor ST) mientras que $T_{sh(n-1)}$ y T son intervalos de tiempo en estados de conmutación ST y NST, respectivamente, y $T_{(n-1)} = T_{sh(n-1)} + T_{nsh(n-1)}$ es un período de tiempo completo la red Z_{n-1} . Además, $B_{(n-1)}$ es el factor de elevación de la red Z_{n-1} . De acuerdo a la Fig. 4.16, al utilizar el algoritmo sinusoidal SPWM, la amplitud máxima de la tensión de fase de salida para el inversor ZSINPC (\hat{V}_{fase}) puede calcularse de la siguiente manera [2] [3] [55] [73-81]:

$$\hat{V}_{fase} = \hat{V}_{fase(Z1)} + \hat{V}_{fase(Z(N-1))} = M_1 \frac{V_{DC1}}{2(1 - 2D_1)} + M_2 \frac{V_{DC2}}{2(1 - 2D_2)} + \dots + M_{n-1} \frac{V_{DC(n-1)}}{2(1 - 2D_{n-1})} \dots 4.22$$

Donde M_1, M_2, \dots, M_{n-1} , los índices de modulación para las redes Z_1, Z_2, \dots, Z_{n-2} .

4.5 Resultados de la simulación del ZSINPC trifásico de tres niveles, SBC-PDPWM

El esquema de modulación SBC-PDPWM establecido para el diseño de la topología ZSINPC trifásico de tres niveles con una sola red-Z, se probó a manera de simulación a través del software Matlab/Simulink, Fig. 4.19. A manera de diseño, y teniendo en cuenta que los resultados de simulación impactaran en los la implementación física, se tomara en la misma carga trifásica utilizada en los dos convertidores anteriores (**3ØY – 50Hz, 55V (línea) – 5 A, FP = 0.8 atrasado**), el mismo voltaje de alimentación dividida en dos fuentes (20 VDC), misma frecuencia de operación (5 KHz) y respectivamente controlado a través de la técnica SBC-PDPWM. En este caso en particular, y a diferencia del Inversor Fuente-Z, el Inversor ZSINPC se comporta de la misma manera que un inversor Multinivel NPC de tres niveles, por lo que para establecer los valores de la Red de impedancia es necesario determinar el periodo de disparo a través de la red superior e inferior T_{st} , dicho valor influirá directamente en el índice de modulación y en el factor de elevación, es decir entre menor sea el índice de modulación mayor será el factor de elevación de voltaje B y respectivamente mayor será el valor del inductor y los valores de rizado resultantes, lo que impactara en el aumento de la Distorsion armónica total (THD), y por otro lado también habrá un aumento de la cantidad de corriente de entrada, punto de suma importancia para la implementación física.

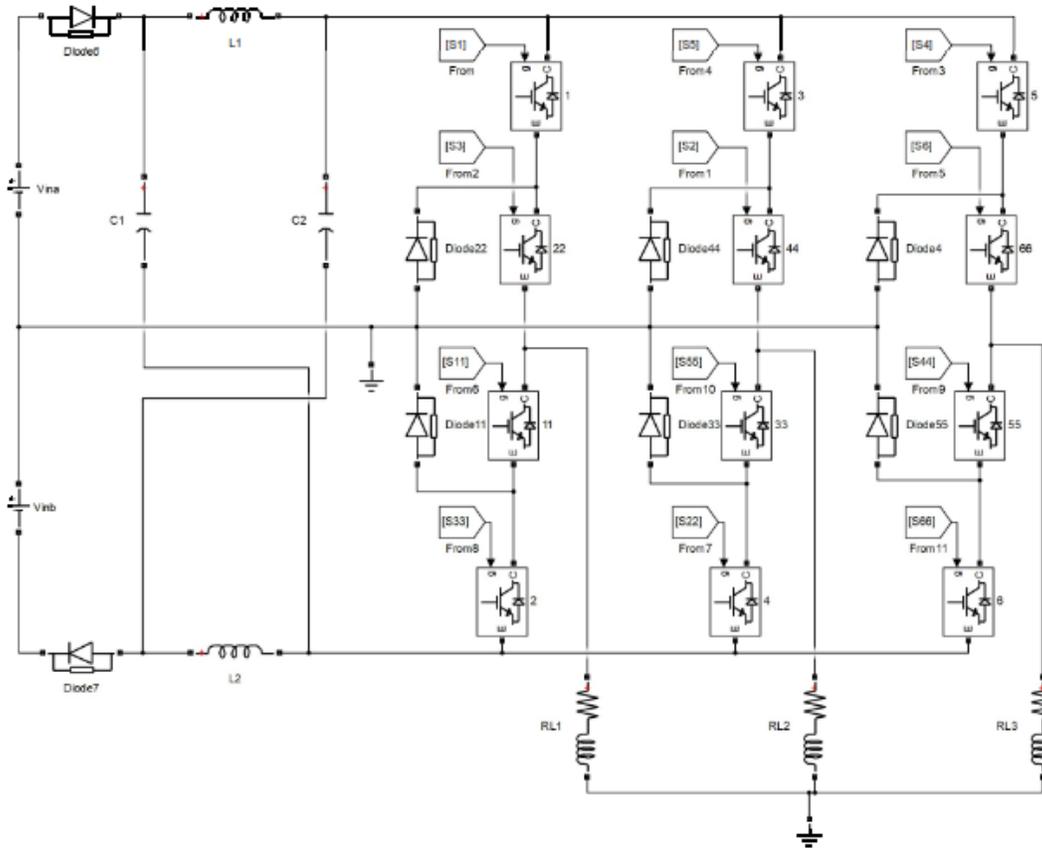


Fig. 4.19 Inversor ZSINPC trifásico de tres niveles en Matlab/Simulink.

A partir de lo anterior se tomará en cuenta un índice de modulación de 0.8, por lo que el periodo de disparo a través de la red tiene el valor $T_{st} = 80 \text{ us}$, nuevamente, los datos de entrada del sistema son conocidos, y se establecen de la siguiente manera:

$$E_s = 20 \text{ V} \quad T_{sw} = \frac{1}{f_s} = \frac{1}{5 \text{ KHz}} = 2 \times 10^{-4} \quad I_m = 5 * \sqrt{2} = 7.071 \text{ A}$$

$$I_0 = \frac{3}{4} * I_m * \cos \theta = \frac{3}{4} * 7.071 \text{ A} * 0.8 = 4.24 \text{ A} \quad \bar{I}_L = \frac{V_m * I_0}{E_s} = \frac{106 \text{ Vcd} * 4.24}{2 * 20} = 11.23 \text{ A}$$

Donde I_m y θ , son la corriente pico de fase y el ángulo del factor de potencia de la carga en el lado de CA del inversor. Por lo tanto, si se conocen tanto el V_{DC} , I_m , θ , V_{DC} , I_m , θ , T_{ulst} , T y M , $C_{1,2}$ y $L_{1,2}$ pueden ser calculados para cualquier estrategia de control en cuestión, para dar como resultado los niveles de ondulación aproximadamente deseados.

Primeramente, es necesario determinar el voltaje pico durante el periodo activo del inversor e ignorando la caída de voltaje a través de los diodos (solo en simulación):

$$\hat{V}_{L_{NST}} = (2V_{dc}) \frac{(1)}{1 - \frac{T_{st}}{T}} = (2 * 40V_{dc}) \frac{(1)}{1 - \frac{0.00008}{0.0002}} = 66.67 \text{ V}$$

Respectivamente el voltaje promedio del capacitor, y a partir de (4.17), su valor se determina en lo siguiente:

$$V_C = (2V_{dc}) \frac{\left(1 - \frac{T_{st}}{2T}\right)}{1 - \frac{T_{st}}{T}} = (2 * 20V_{dc}) \frac{\left(1 - \frac{0.00008}{2 * 0.0002}\right)}{1 - \frac{0.00008}{0.0002}} = (40V_{dc}) \frac{(0.8)}{0.6} = 53$$

En este caso se propone el diseño del inversor del Inversor ZSINPC trifásico de tres niveles, para un 5% de rizo (ondulación) tanto en voltaje de condensador como en corriente de inductor. Y seleccionando la misma carga el factor de ondulación del 5% ($k_v = k_i = 0.05$), por lo que los nuevos factores de rizo se calculan de la siguiente manera:

$$\begin{aligned} V_{Max} &= (1 + k_v)\bar{V}_C = (1 + 0.05)53 = 55.65 \text{ V} & I_{Max} &= (1 + k_v)\bar{V}_C = (1 + 0.05)11.23 = 11.7915 \text{ A} \\ V_{min} &= (1 - k_v)\bar{V}_C = (1 - 0.05)53 = 50.35 \text{ V} & I_{min} &= (1 - k_v)\bar{V}_C = (1 - 0.05)11.23 = 10.6685 \text{ A} \\ \Delta V_C &= \frac{5.3}{2} = 2.35 & \Delta I_L &= \frac{1.123}{2} = 0.5615 \end{aligned}$$

Debido a que además del periodo de disparo a través de la red superior e inferior T_{st} , intervienen demás variables de diseño, a partir de (4.21), los valores de capacitancia e inductancia se calculan de la siguiente manera:

$$C_{1,2} = \frac{1.5 * M * I_m * \bar{V}_C * T_{ulst} * \cos \theta}{32 * V_{DC} * \left(1 - \frac{0.5T_{ulst}}{T_{sw}}\right) \Delta V_C} = \frac{1.5 * 0.8 * 7.071 * 53 * 0.8 * 0.00008}{32 * 20 * 0.8 * 2.35} = 23.92 \text{ uF}$$

$$L_{1,2} = \frac{V_{DC} * \left(1 - \frac{0.5T_{ulst}}{T_{sw}}\right) * \bar{I}_L * T_{ulst}}{3 * M * I_m * \cos \theta * \Delta I_L} = \frac{20 * 0.8 * 11.23 * 0.00008}{3 * 0.8 * 7.071 * 0.8 * 0.5615} = 1.884 \text{ mH}$$

Los resultados de simulación obtenidos utilizando el software Matlab/Simulink para los datos resultantes del proceso de diseño, $C = 23.92 \text{ uF}$, $L = 1.88 \text{ mH}$ y $T_{st} = 80 \text{ us}$ se muestran en la Tabla XVI, Figs. 4.20-4.22. Igualmente para dicha simulación todas las resistencias parasitarias tanto de los elementos pasivos como de los de conmutación fueron ignoradas (ideales).

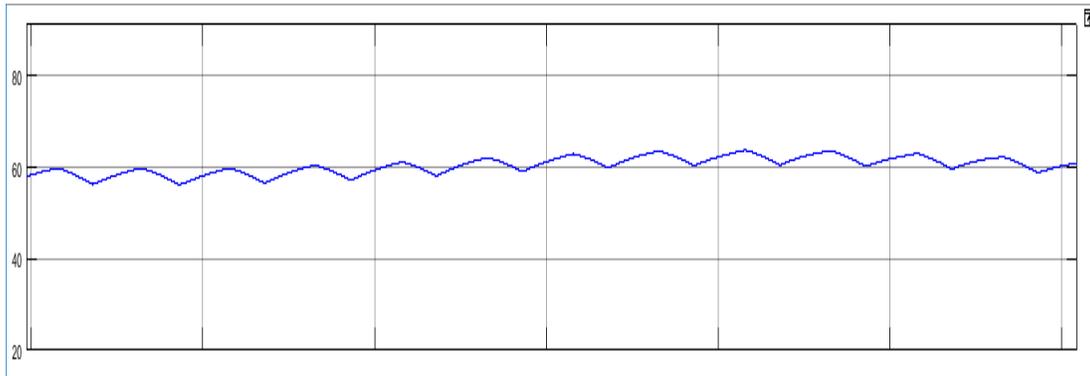
FZINPC	Portadora 1, 2 (f)	Moduladora1 (f)	Moduladora2 (f)	Moduladora2 (f)
Entrada	5 KHz	2*pi*50 (M=0.8) (0 fase)	2*pi*50 (M=0.8) (120*(pi/180) fase)	2*pi*50 (M=0.8) (240*(pi/180) fase)
	Vin	Iin (prom)	C=C1=C2	L=L1=L2
	20 VCD	10.65 A	23.92 uF	1.884 mH
Salida	Vrms V_A, V_B, V_C	Irms I_A, I_B, I_C	Load	FP
	46.22 V	3.07 A	R= 5 Ω; L= 12 mH	0.75

Tabla 4.4 Resultados de la simulación del ZSINPC trifásico de tres niveles, SBC-PDPWM.

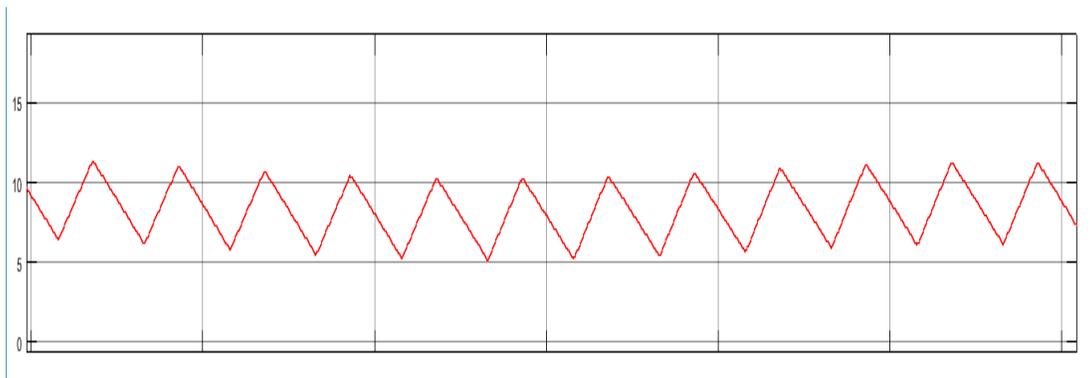
Ahora bien, respecto al punto de los valores de rizado tanto del voltaje del capacitor como de la corriente del inductor, la Tabla XVII, de resultantes la, la tensión del condensador sigue muy de cerca los valores predichos, pero en el caso del inductor se establece un aumento considerable. Como puede observarse a partir de estos resultados, un aumento del valor del inductor influirá directamente en el rizado de su corriente y aumentara considerablemente la corriente de entrada, pero por otro lado a partir de los valores calculados, el índice de modulación del capacitor disminuye considerablemente, en esta situación cabe mencionar que debido a los factores resultantes, el diseño del inversor entra dentro de los parámetros deseados, y se encentra a valores muy cercanos a los calculados.

Valores	$\Delta V_C(V)$	$\bar{V}_C(V)$	k_V	$\Delta I_L(A)$	$\bar{I}_L(A)$	k_I	$I_O(A)$
Calculados	$\frac{(55.65 - 50.35)}{2} = 2.35$	53	0.05	$\frac{(11.7915 - 10.6685)}{2} = 0.5615$	11.23	0.05	4.24
Simulados	$\frac{(60.1 - 55.8)}{2} = 2.15$	57.95	0.03	$\frac{(10.33 A - 5.23)}{2} = 2.51$	7.74	0.3	3.07

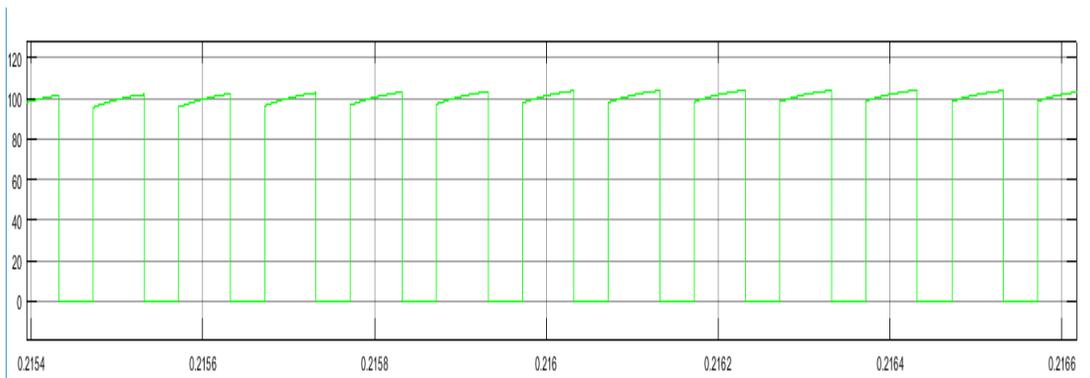
Tabla 4.5 Resultados de la simulación del ZSINPC trifásico de tres niveles para el diseño de 5% de rizo de V_C e I_L , SBC-PDPWM.



a)

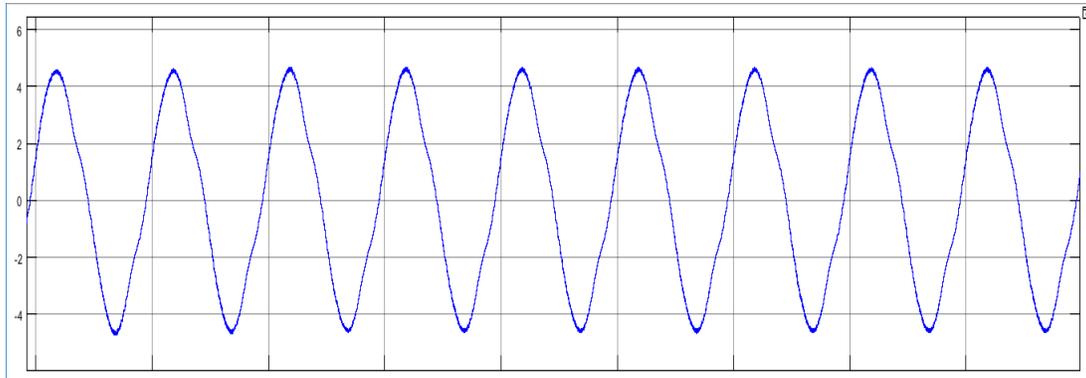


b)

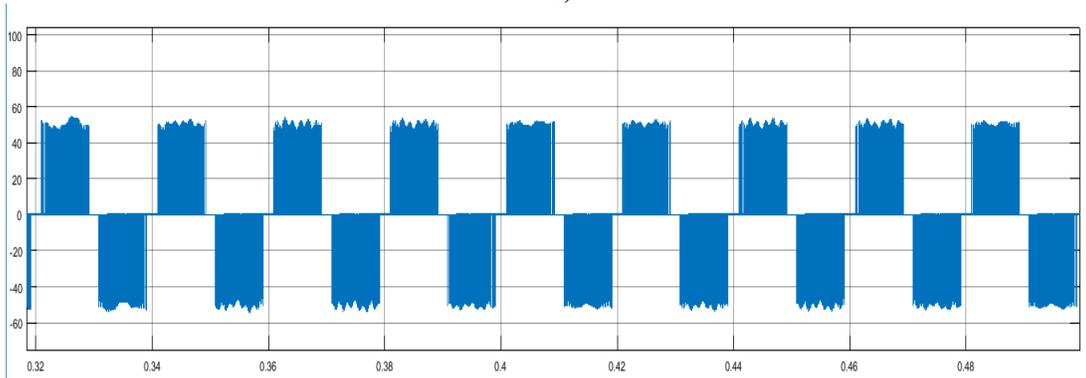


c)

Fig. 4.20 Formas de onda de la simulación del ZSINPC trifásico de tres niveles, a) ΔV_C , b) ΔI_L y c) V_{CD} .

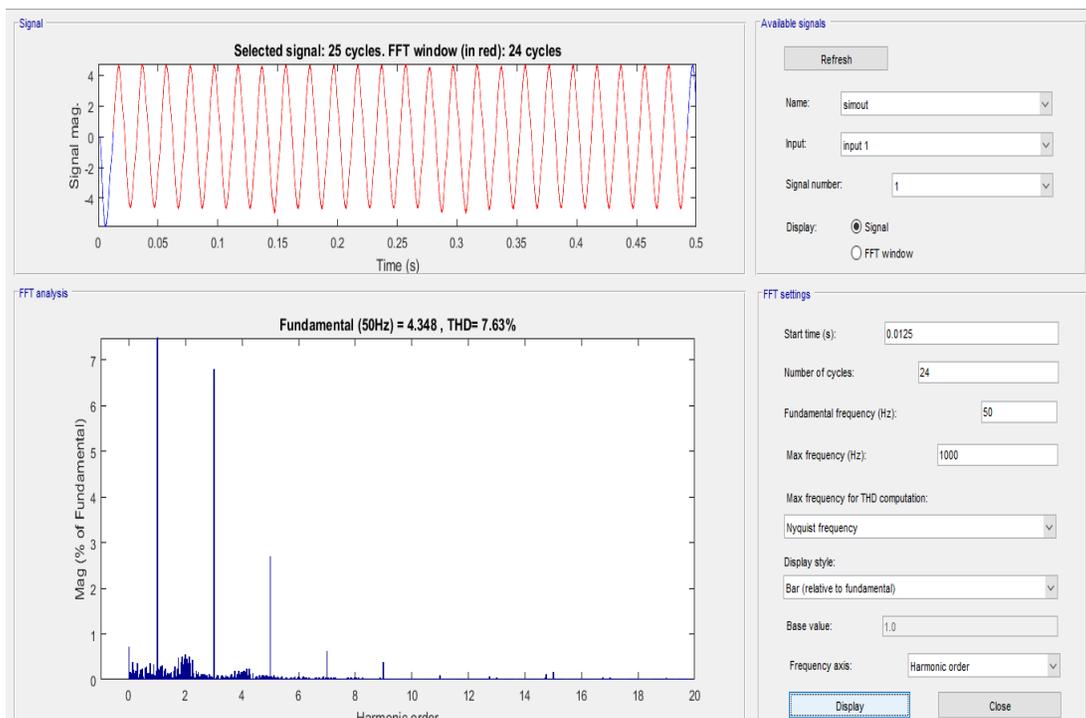


a)

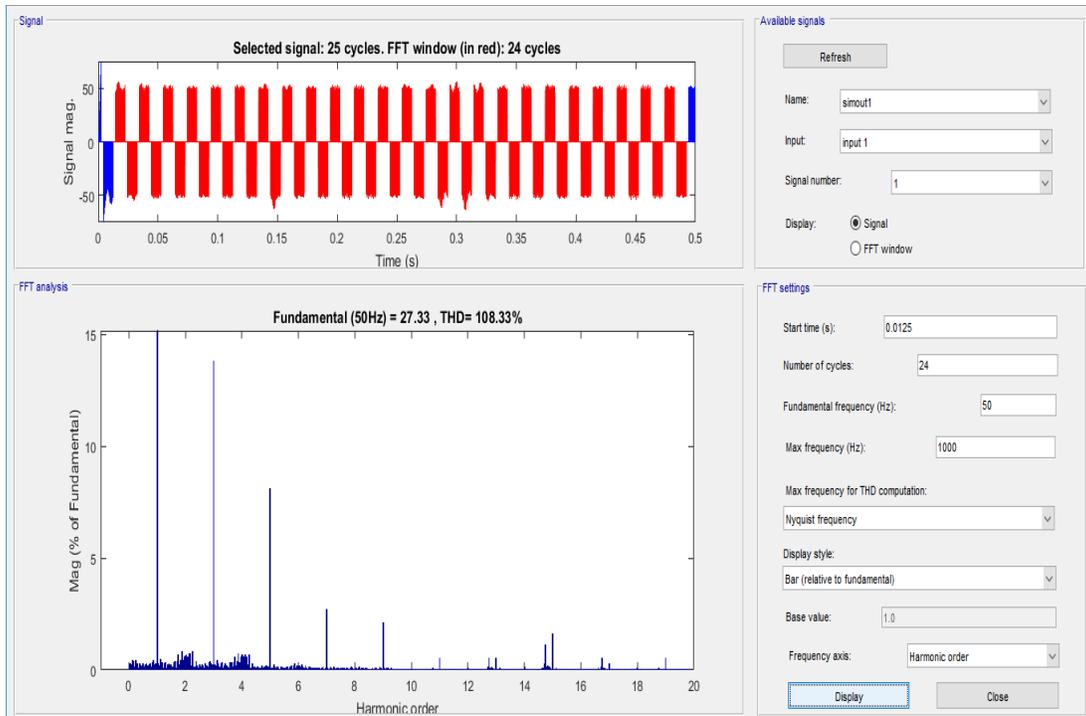


b)

Fig. 4.21 Formas de onda de la simulación del ZSINPC trifásico de tres niveles, a) I_{OutA} y b) V_{AN} .



a) %THD del I_{OutA} = 7.63%



b) %THD del $V_{AN} = 108.33\%$

Fig. 4.22 Análisis THD de la I_{OutA} y el V_{AN} , del ZSINPC trifásico de tres niveles.

CAPÍTULO V

ETAPA EXPERIMENTAL Y ANÁLISIS DE RESULTADOS

5.1 Implementación del Sistema Fotovoltaico Interconectado a la Red Eléctrica

El sistema en términos generales se desarrolló a través de tres subsistemas, los cuales se enumeran de la siguiente manera: el subsistema de paneles fotovoltaicos; el subsistema de acondicionamiento de potencia el cual incluye los acumuladores, el regulador de carga y el inversor de potencia diseñado; y, por último un subsistema de interconexión con la red (circuito de interconexión propuesto), Fig. 5.1.

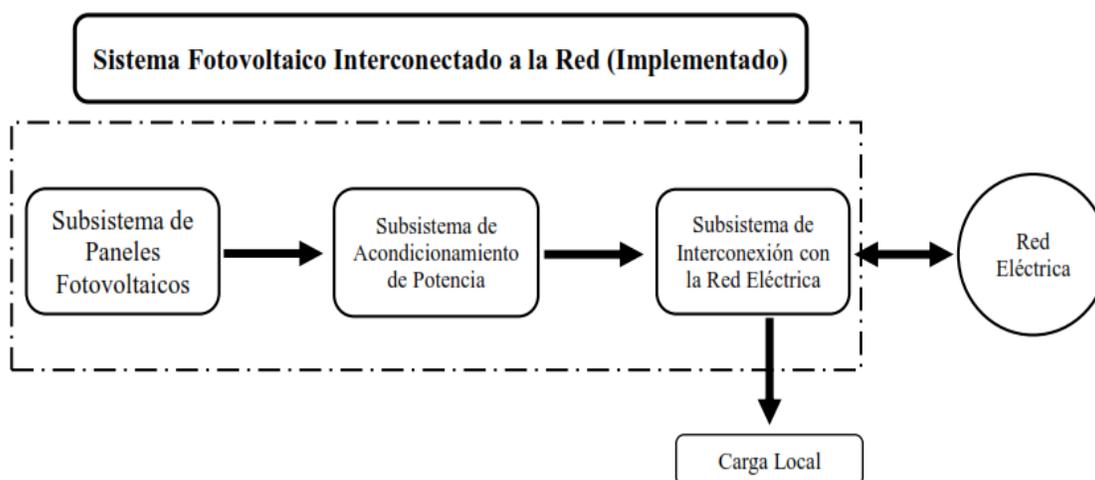


Fig. 5.1 Diagrama a bloques del Sistema Fotovoltaico Interconectado a la Red (Implementado).

El sistema en términos generales, está diseñado para trabajar con acumuladores debido a que se pretende que la energía captada por los paneles fotovoltaicos pueda ser inyectada a la red eléctrica siempre y cuando las cargas locales no consuman ningún tipo de energía, respectivamente, en el periodo que el sistema fotovoltaico no suministre energía (periodo nocturno), los acumuladores proporcionen la energía a las cargas locales, y, por otro lado, una vez descargadas las baterías el consumo de dichas cargas sea a través de la conexión a la red eléctrica. A continuación se describen cada una de los subsistemas implementados, a través de las especificaciones de cada uno de los elementos utilizados así como los resultados obtenidos.

5.1.1 Implementación del Subsistema de Paneles Fotovoltaicos

Para esta sección, se utilizaron cuatro paneles fotovoltaicos Epcom Power Line PROSE WK-25024 (estructura policristalina) [82], Figs. 5.2, 5.3, los cuales fueron conectados en un arreglo en paralelo para poder suministrar una potencia de $\cong 1000$ W, y respectivamente la salida de estos se conectó a la entrada del subsistema de acondicionamiento de potencia. La Tabla XVIII describe las principales características que posee este tipo de panel.



Fig. 5.2 Vistas frontales de la implementación de paneles fotovoltaicos.

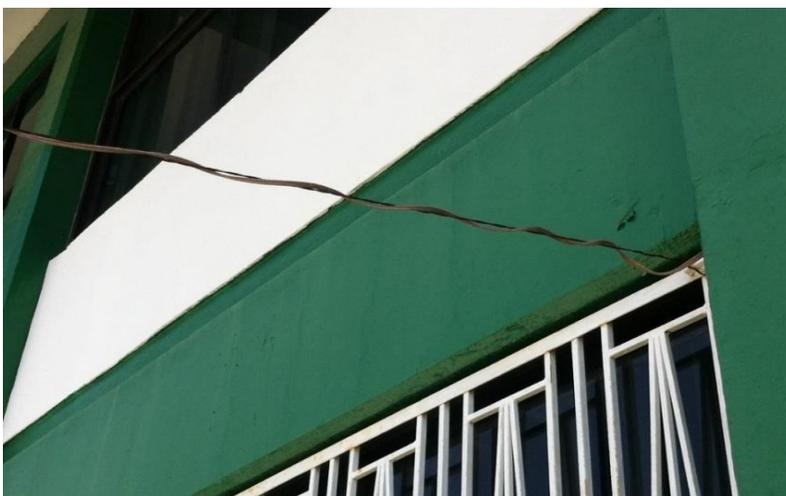


Fig. 5.3 Conductores eléctricos de los paneles fotovoltaicos hacia la entrada del subsistema de acondicionamiento de potencia.

Aplicaciones	Especificaciones Técnicas	Especificaciones Físicas
<ul style="list-style-type: none"> Estaciones repetidoras de radiocomunicación. Electrificación en zonas rurales. Para interconexión a la red. Sistemas de comunicación en emergencias. Alimentación de equipos médicos en zonas rurales. Sistemas de bombeo de agua. Luces de obstrucción para tráfico aéreo. 	<ul style="list-style-type: none"> Potencia máxima 250 Watts. Voltaje 30 V. Amperaje 8.33 A. Voltaje a circuito abierto (Voc) 37.2 V. Corriente a corto circuito (Isc) 8.77 A. Dimensiones 1640 x 992 x 35 mm. Peso 18 kg. Máximo voltaje del sistema 1000 V. Rango de temperatura -40 a 80 °C. <p>Nota: Las especificaciones eléctricas se indican bajo una irradiancia de 1000 W/m² y temperatura de 25 °C.</p>	<ul style="list-style-type: none"> Coefficiente de temperatura Isc (%) 0.05%/°C. Coefficiente de temperatura Voc (%) -0.37 mv/°C. Coefficiente de temperatura a potencia máxima Pm (%) -0.45/°C. Coefficiente de temperatura a corriente máxima Im (%) +0.1/°C. Coefficiente de temperatura a Voltaje máximo Vm (%) -0.38/°C.

Tabla 5.1 Características y especificaciones del panel solar Epcom Power Line PROSE WK-25024.

5.1.2 Implementación del Subsistema de Acondicionamiento de Potencia

Una vez realizado el montaje de los paneles fotovoltaico, se prosiguió a implementar el subsistema de Acondicionamiento de Potencia, que como se mencionó anteriormente está conformado por los acumuladores, el regulador de carga y el ZSINPC trifásico de tres niveles propuesto, a continuación se describen las características de cada uno de los elementos utilizados:

5.1.2.1 Acumulador

Para esta sección, se adquirió un par de acumuladores (baterías) de la marca Optima Batteries (modelo D51R) [83], las cuales cuentan con una buena capacidad de arranque (aplicaciones automotrices) y una capacidad de ciclado profundo (recargabilidad), cuyas especificaciones se describen en la tabla XIX. Dichas baterías fueron conectadas de forma paralela, para disponer con un mayor rango de corriente (durante el estado transitorio del inversor propuesto).

Especificación	Valor
Tipo de batería	Plomo acido (sellada)
Diseño de la placa	Aleación Pb-Sn (de alta pureza)
Electrolítico	Ácido sulfúrico
Material de encapsulado	Polipropileno
Peso	11.8 Kg.
Capacidad C20	38 Ah.
Tipo de diseño	Poste SAE.
Capacidad de arranque en frio CCA (-18 °C)	450 A.
Capacidad de arranque CA (0 °C)	575 A
Dimensiones (Ancho x Largo x Altura)	12.85 x 23.65 x 22.70 (cm)
Capacidad de Reversa (25 A)	66 Minutos
Resistencia Interna (tc-totalmente cargada)	0.0046 Ω
Voltaje Nominal	12 V
Voc (tc)	13.1 V

Tabla 5.2 Características y especificaciones del acumulador Optima Battery D51R.



Fig. 5.4 Acumulador Optima Battery D51R [83].

5.1.2.2 Regulador de carga

Para el regulador de carga a implementar, se adquirió el dispositivo de la marca Steca Solarix PRS (modelo 3030) [84]. Es el encargado de mantener la tensión y la corriente requerida por las baterías protegiéndolas de sobrecargas, corta la corriente cuando el voltaje se ha caído más del límite, o cuando termine el proceso de carga. Y por otro lado, debido a que en los diseños para cada inversor vistos anteriormente, la demanda de corriente y voltaje (principalmente) oscila entre 20 VCD-25 A. El presente regulador se adecua a las especificaciones de diseño tanto de entrada como de salida.

Especificación	Valor
Voltaje del sistema	12 V (24 V)
Consumo propio	<4 mA
Datos de entrada CC	Valor
Voc del módulo solar (con temperatura de servicio nominal)	<47 V
Corriente del módulo	30 A
Datos de salida CC	Valor
Corriente de consumo	30 A
Voltaje de reconexión (LVR)	12.4 V...12.7 V (24.8 V...25.4 V)
Protección contra descarga profunda (LVD)	11.2 V...11.6 V (22.4 V...23.2 V)
Condiciones de uso	Valor
Temperatura ambiente	-25 °C...+50 °C
Peso	0.345 Kg
Dimensiones (Ancho x Largo x Altura)	187 x 96 x 45 (mm)

Tabla 5.3 Características y especificaciones del regulador de carga Steca Solarix PRS 3030.



Fig. 5.5 Regulador de carga Steca Solarix PRS 3030 [84].

5.1.2.3 Inversor ZSINPC trifásico de tres niveles (caracterización de tarjetas)

Para la implementación del Inversor ZSINPC trifásico de tres niveles, como primer paso de diseño, el prototipo de inversion fue dividido en tres sistemas desarrolladas a través de sus correspondientes placas de circuito impreso, PCB's (del inglés, Printed Circuit Board), las cuales comprenden una tarjeta para la Red de impedancia Z, Fig. 5.6; dos tarjetas de acondicionamiento de señal y disparo, Fig. 5.7; y una tarjeta de potencia (Inversor NPC trifásico de tres niveles), Fig. 5.8. Mutuamente, el prototipo final del Inversor Fuente-Z Multinivel NPC trifásico de tres niveles construido, fue interconectado a través de la tarjeta de acondicionamiento de señal y disparo hacia la tarjeta de control FPGA Altera CYCLONE II EP2C5T144, Fig. 5.9. La Tabla XXI muestra los componentes eléctricos/electrónicos más relevantes utilizados en la implementación del prototipo de inversion, elementos que fueron adquiridos de acuerdo a las especificaciones del diseño realizado anteriormente, y que en cada caso se adquirieron a los datos más cercanos y/exactos de corriente, voltaje, resistencia eléctrica serie, frecuencia, etc.

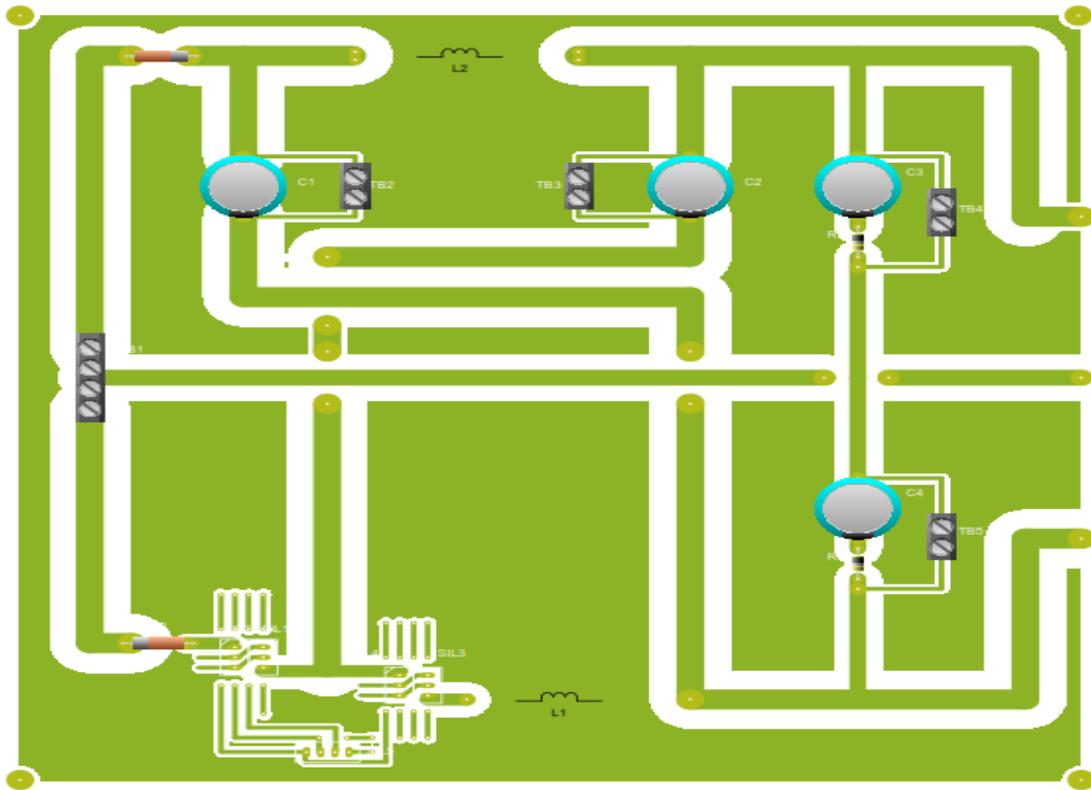


Fig. 5.6 Tarjeta de Red-Z del ZSINPC trifásico de tres niveles.

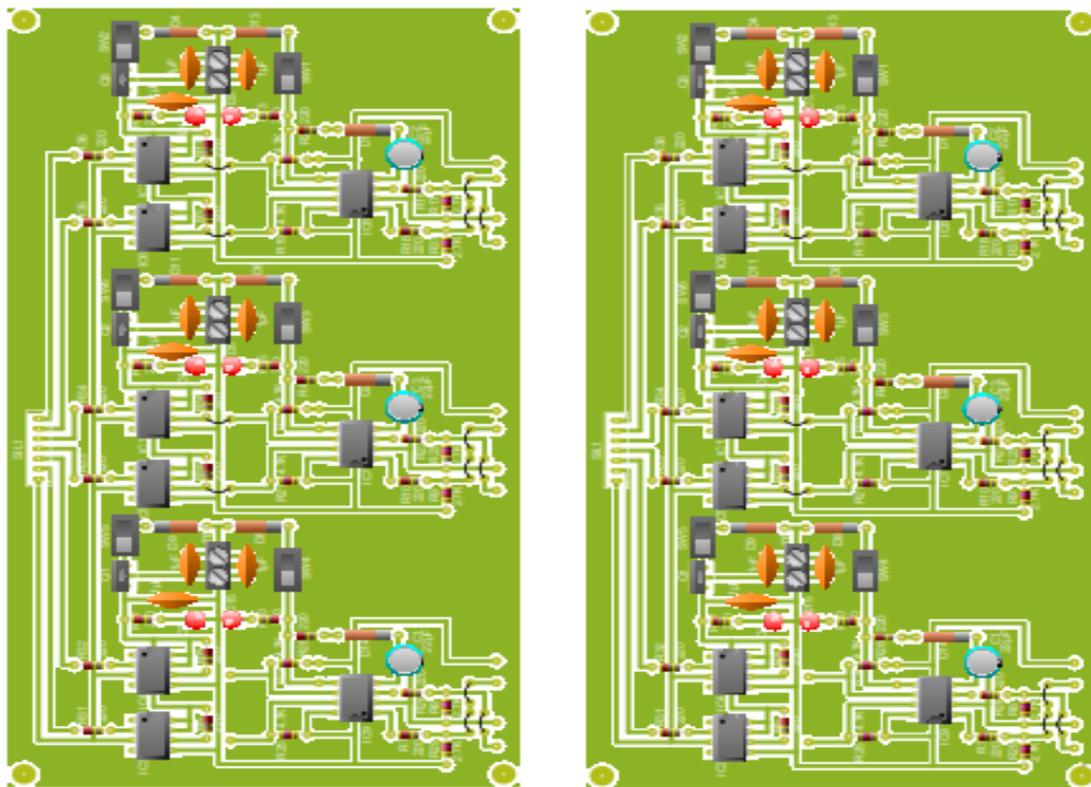


Fig. 5.7 Tarjeta de Control y Disparo del ZSINPC trifásico de tres niveles.

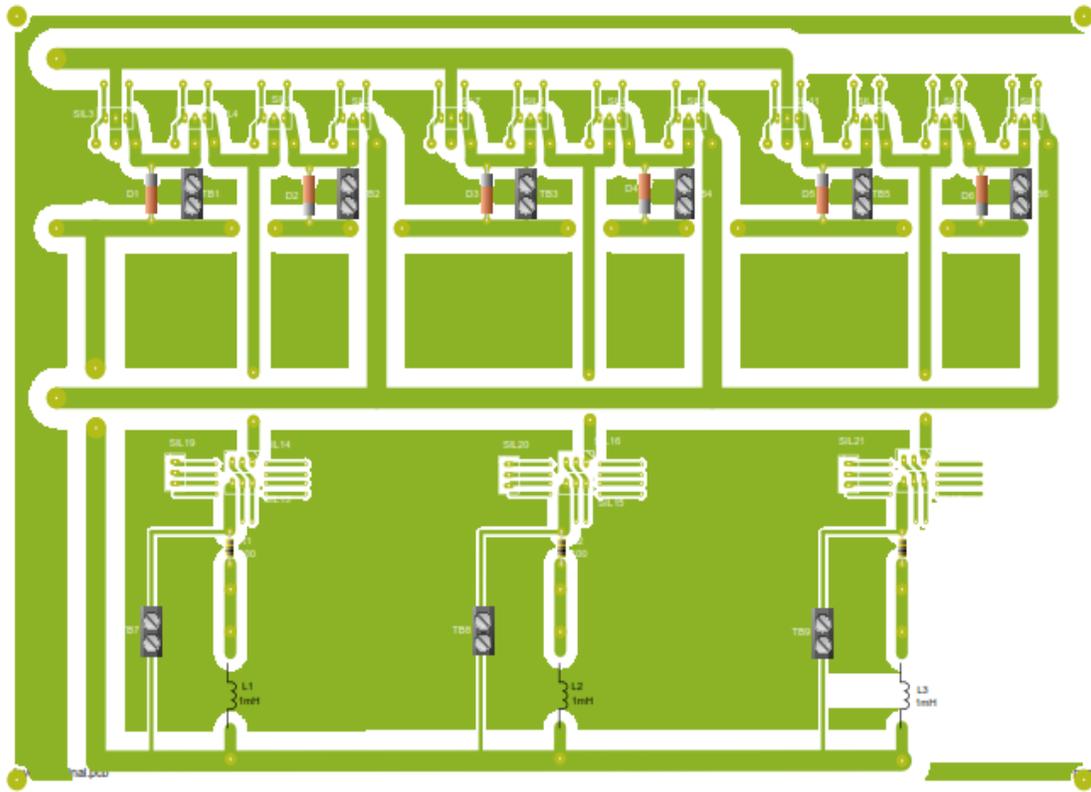


Fig. 5.8 Tarjeta de Potencia del ZSINPC trifásico de tres niveles.

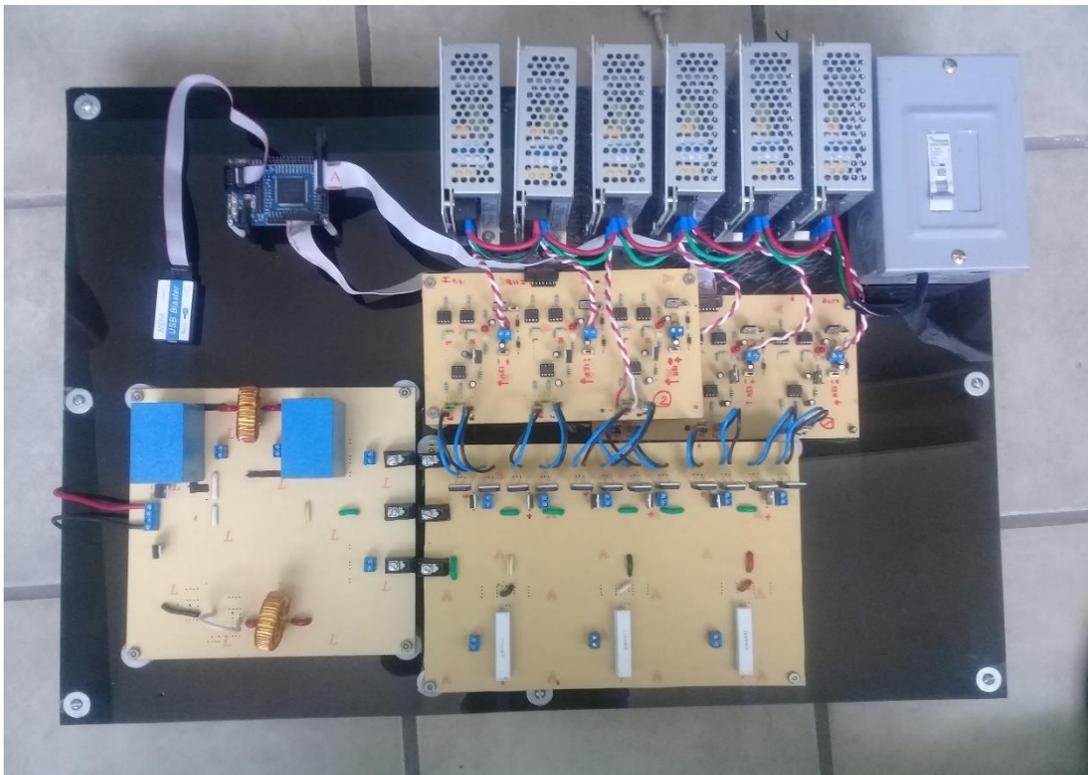


Fig. 5.9 Distribución de las tarjetas del prototipo del ZSINPC trifásico de tres niveles conectado al FPGA CYCLONE II EP2C5T144.

Tarjeta	Elemento	Cantidad	Valor
Red-Z	Capacitor	2	100 uF/150 V
	Inductor	2	380 uH/10.5 A
	Diodo de recuperación rápida MUR3020WTG	2	30 A/200 V/trr = 35 ns
Control Y Disparo	FPGA Altera CYCLONE II EP2C5T144	1	
	Optoacoplador A2611	12	50 mA/5.5 V/trr < 50 ns
	Regulador LM7805	6	1.5 A/25 V 1.5 A/5 V
	Fuentes Aisladas HTS-50FE-15	6	120 VCA, 60 Hz, 1.3 A/ +15 VCD, 3.4 A
	Drive FAN7382	6	350 mA/15 V/trr = 50 ns
Potencia	IGBT RJH30H2	12	IC = 35 A/VGE = 15 V/ VCES = 360 /trr < 100ns
	Diodo de recuperación rápida MUR15A20	6	15 A/200 V/trr = 35 ns
	Carga RL	3	R = 120 Ω; L = 12 mH

Tabla 5.4 Dispositivos utilizados en la implementación del ZSINPC trifásico de tres niveles.

Respectivamente, la modulación desarrollada y descrita en el Capítulo IV (SBC-PDPWM), fue compilada y descargada hacia la tarjeta FPGA CYCLONE II EP2C5T144. En donde las señales de activación generadas con una frecuencia de conmutación con portadoras a 5 kHz y con un índice de modulación $M=0.8$, se enviaron a las placas de acondicionamiento de señal y disparo, cuyas salidas conducen directamente a las compuertas de los transistores IGBT's utilizados.

Cabe mencionar que debido al tiempo de prueba requerido en cada sección del prototipo de inversión ZSINPC trifásico de tres niveles, y, para obtener los datos de los resultados de implementación (descritos más adelante), la carga trifásica en su configuración estrella se modificó a los siguientes valores **R = 120 Ω ; L = 12 mH**, lo anterior se decidió debido a que el principal objetivo de esta tesis es la factibilidad del inversor en cuestión, y, por otro lado el manejo de altas corrientes de entrada y salida, por tanto, y haciendo un reajuste de la carga tanto para las simulaciones del inversor ZSINPC trifásico de tres niveles como para su respectiva implementación, la demanda de corriente disminuye en gran medida debido al aumento de resistencia en la carga.

Para el prototipo experimental, la alimentación fue proporcionada a partir del regulador de carga conectado a las baterías y estas a los paneles fotovoltaicos (anteriormente implementados), utilizando una fuente de CD dividida de **2Vdc = 20V**. Las Figs. 5.10-5.13 muestran los resultados experimentales capturados para cada sección del prototipo antes de realizar su interconexión a la red eléctrica.

Primeramente la forma de onda resultante en la sección la salida de la red-Z (Fig.5.10), muestra el voltaje del bus de CD disponible en la entrada de la sección del inversor Multinivel NPC trifásico de tres niveles de ≈ 56 VCD (implicando que $2Vdc = 20V$ aumenta a 2.8 veces), de este comportamiento se puede apreciar la carga y descarga de los capacitores, de acuerdo a la técnica de modulación SBC-PDPWM.

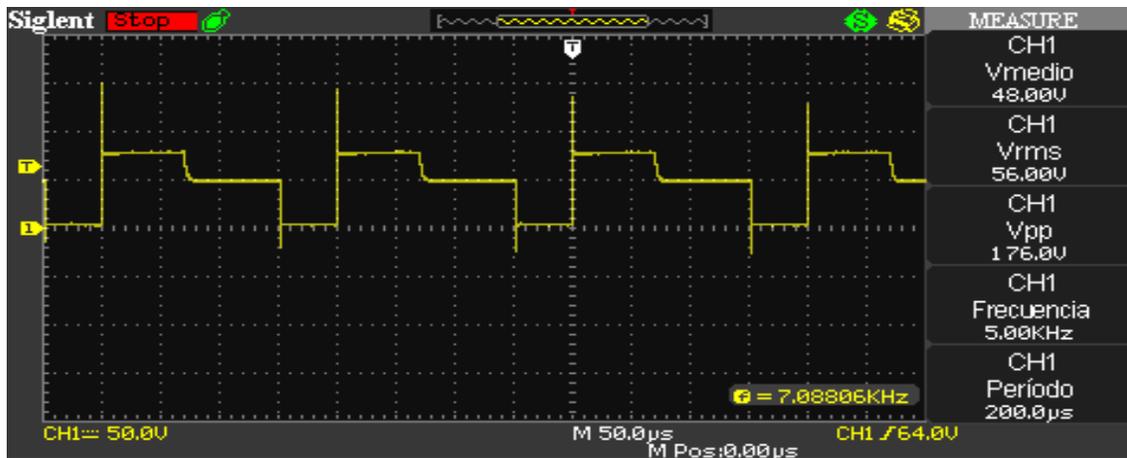


Fig. 5.10 Forma de onda del Bus de CD (salida de la Red-Z) del ZSINPC trifásico de tres niveles implementado, SBC-PDPWM.

Consecuentemente tanto el Voltaje de Fase como el de Línea (Figs. 5.11-5.12) muestran un comportamiento similar a las simulaciones establecidas con el reajuste de carga. Como se anticipó, la forma de onda del Voltaje de Línea muestra un escalonado de tres niveles y por otro lado el Voltaje de Fase dos niveles de tensión (característica que se hereda del esquema de modulación PD). En lo anterior el voltaje rms de ambas lecturas cambia debido al reajuste de carga (40.5 V y 24.4 V respectivamente), y se encuentra dentro de los parámetros de simulación.

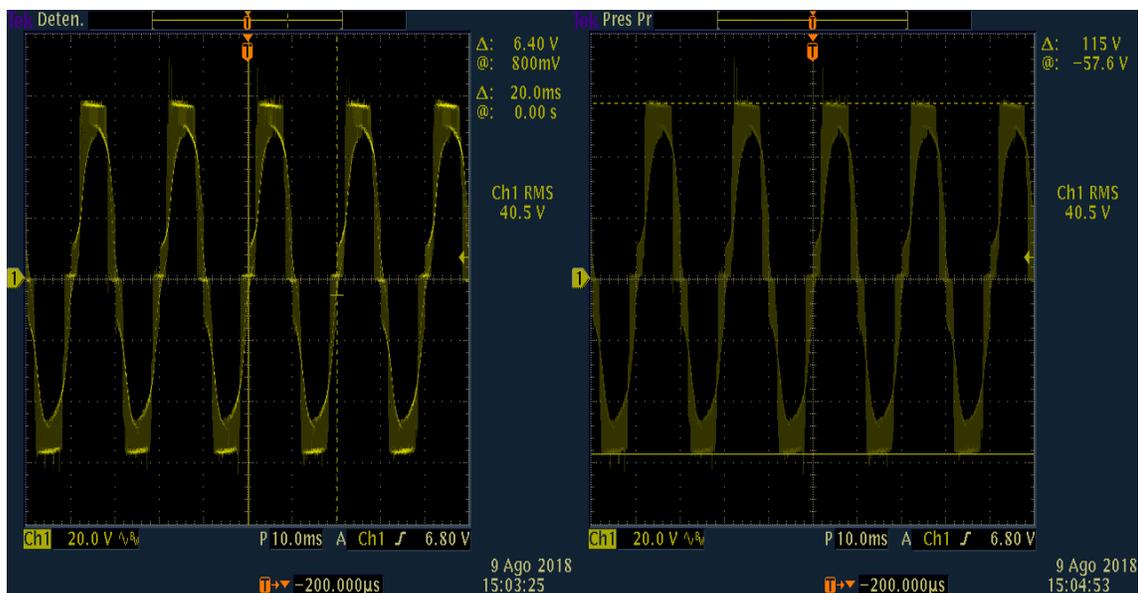


Fig. 5.11 Formas de onda del voltaje de línea (V_{AB}) del ZSINPC trifásico de tres niveles implementado, SBC-PDPWM.

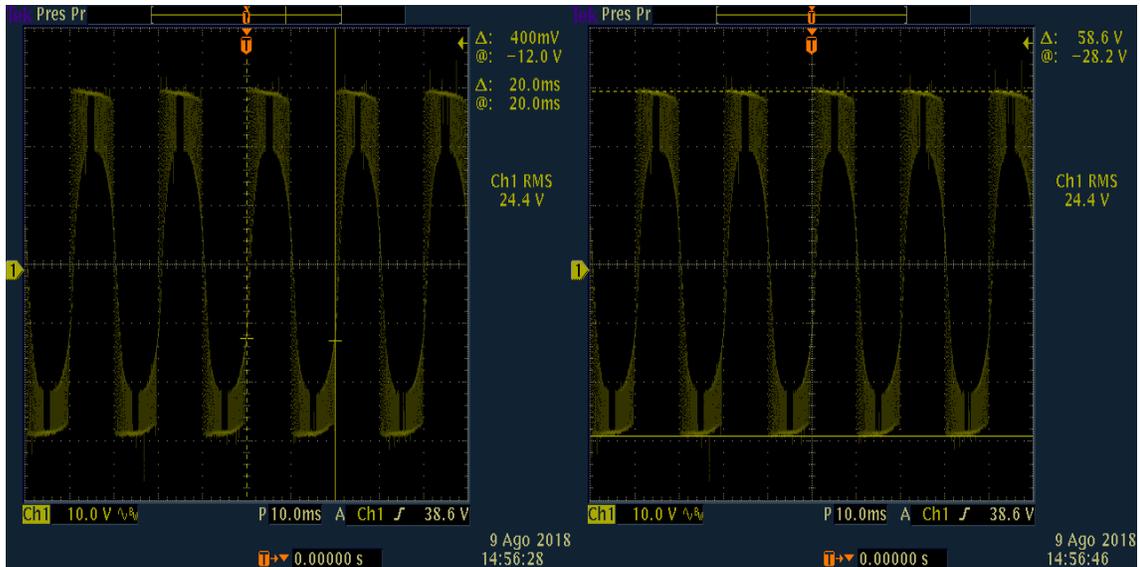
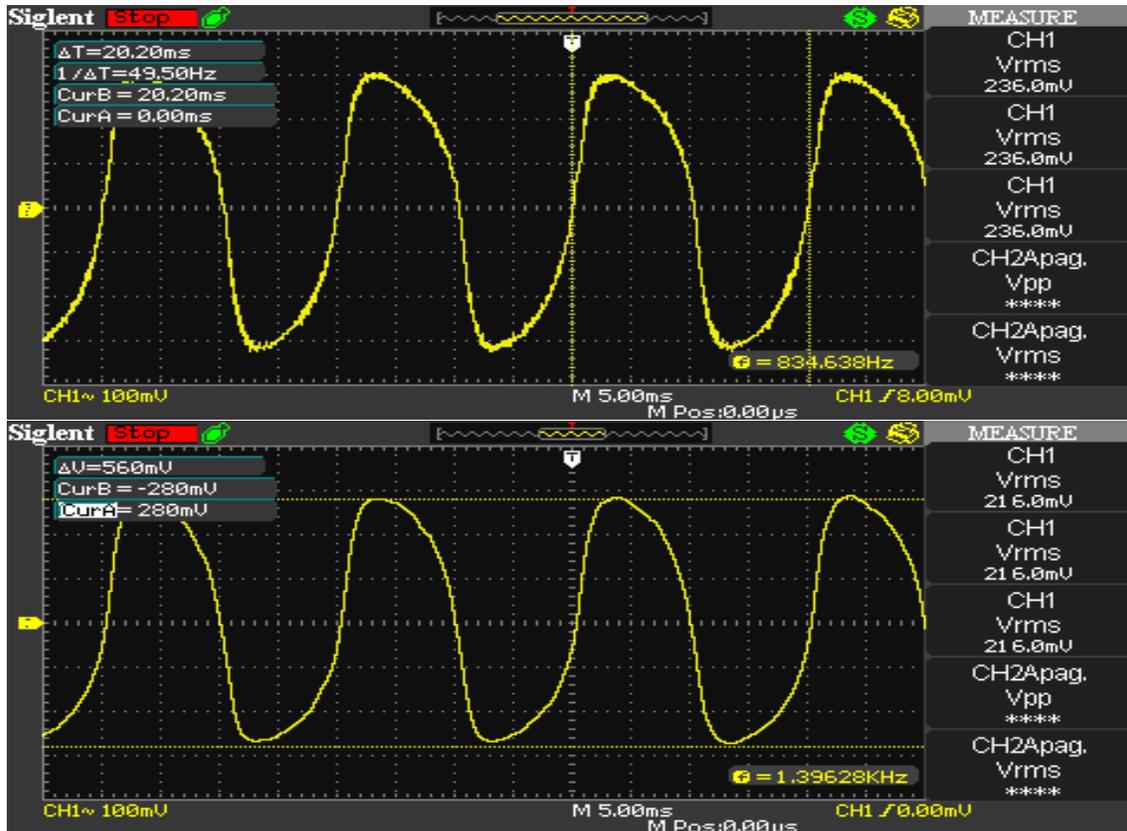


Fig. 5.12 Formas de onda del voltaje de fase (V_{AN}) del ZSINPC trifásico de tres niveles implementado, SBC-PDPWM.

También se observa en la Fig. 5.13, la amplitud de corriente de aproximadamente 560 mA (236 mA rms) refleja la corriente máxima que puede obtenerse del inversor implementado, cuando el índice de modulación M se establece en 0.8. Además, la corriente muestra una THD de 11%, de acuerdo al vector de datos obtenido del osciloscopio y través de Matlab.



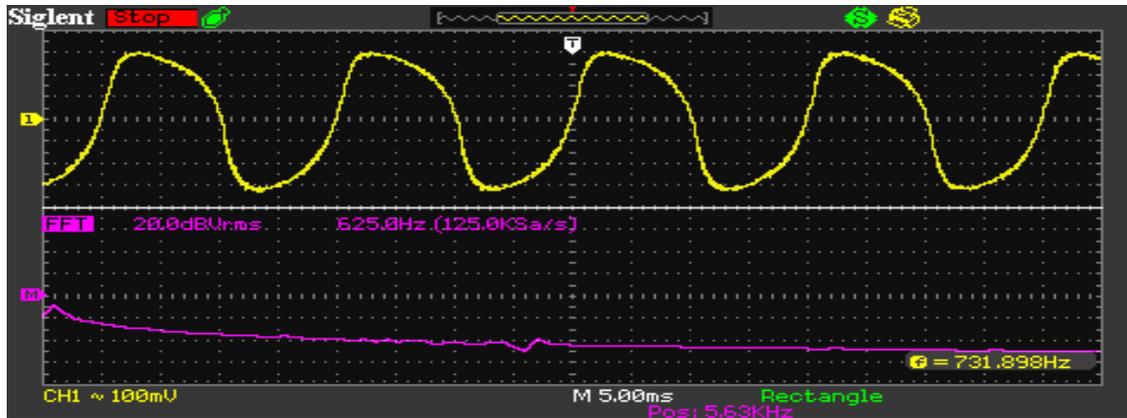


Fig. 5.13 Análisis THD de la I_{out} del ZSINPC trifásico de tres niveles implementado, SBC-PDPWM.

FZINPC	Portadora 1, 2 (f)		Moduladora1 (f)	Moduladora2 (f)	Moduladora2 (f)
Entrada	5 KHz		$2 \cdot \pi \cdot 50$ (M=0.8) (0 fase)	$2 \cdot \pi \cdot 50$ (M=0.8) ($120 \cdot (\pi/180)$ fase)	$2 \cdot \pi \cdot 50$ (M=0.8) ($240 \cdot (\pi/180)$ fase)
	V_{in}	Bus de CD	I_{in} (prom)	$C=C1=C2$	$L=L1=L2$
	20 VCD	56 VCD	610 mA	100 μ F	380 mH
Salida	Vrms		Irms	Load	%THD
	$V_A, V_B, V_C - V_{AN}, V_{BN}, V_{CN}$		I_A, I_B, I_C		
	40.5 V-24.4 V		236 mA	$R=100 \Omega; L=12$ mH	11 %

Tabla 5.5 Resultados de la implementación del Inversor ZSINPC trifásico de tres niveles, SBC-PDPWM.

5.1.3 Subsistema de Interconexión a la Red Eléctrica

En esta sección se describe el esquema de control propuesto para realizar la interconexión del sistema fotovoltaico a la red eléctrica, y, debido a que el inversor anteriormente desarrollado e implementado maneja una frecuencia diferente a la frecuencia de red ($50 \text{ Hz} \neq 60 \text{ Hz}$), el diseño de la modulación SBC-PDPWM se debe adecuar para adoptar las características de la frecuencia de la red eléctrica, y poder realizar así la interconexión del sistema fotovoltaico.

Respectivamente el funcionamiento de esta etapa consiste en sensar solo la corriente de una fase a la salida del inversor ZSINPC trifásico (mediante un sensor de efecto Hall), dicho sensado se integrará a través de un sistema de detección de cruce por cero (histéresis) y la señal de salida de esta etapa tendrá la función de comandar (habilitar) los interruptores de todo el sistema; en otras palabras, el esquema de interconexión por histéresis se realizara solo en una fase, ya que a partir de la técnica de modulación reconfigurada a 60 Hz, las dos fases restantes del sistema fotovoltaico quedaran en fase con la red sin ningún problema, Fig. 5.14.

El esquema se describe de la siguiente manera; primeramente es necesario obtener la señal de **set point** para el comparador de histéresis, lo anterior a través de un transformador para reducir el voltaje a los niveles $\pm V_{cc}$ del circuito de control. Posteriormente se coloca un filtro pasa bajas, cuya función es obtener solo la componente fundamental de la tensión de línea. El filtro se diseña usando un circuito integrado MF4CN-50 [85]. Este es un filtro de capacitores Butterworth de 4to orden, el cual requiere, para su funcionamiento una señal de reloj. Se selecciona un filtro de 4to orden debido a la presencia del 3er y 5to armónicos en la tensión de línea. Se propone una frecuencia de corte para el filtro de 100 Hz y la señal de reloj se obtiene a partir del mismo FPGA (sección 4.3.2 de esta tesis). A partir de la hoja de

especificaciones del filtro, la frecuencia de corte es 1/100 de la frecuencia de reloj [85] [86], por lo tanto el FPGA debe generar un tren de pulsos a un frecuencia de 10 KHz. El bloque A del circuito esquemático de acondicionamiento de la señal y set point, se muestra en la Fig. 5.15.

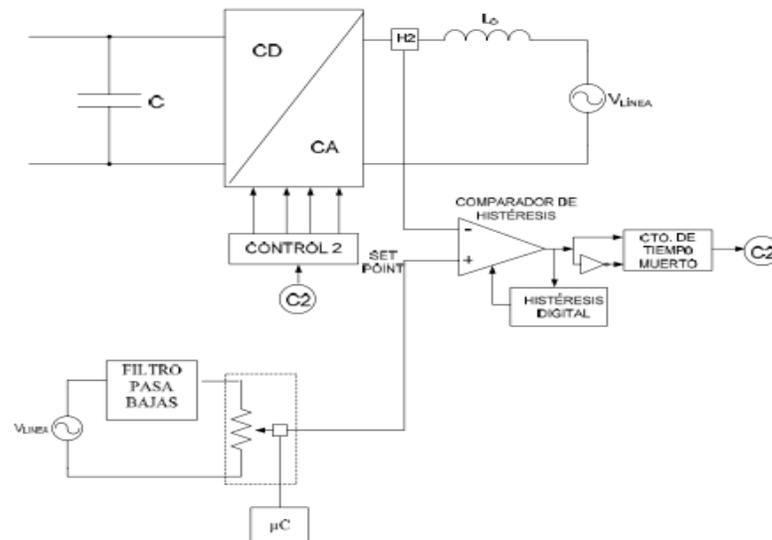


Fig. 5.14 Diagrama a bloques del circuito de sincronización con línea propuesto.

Después del filtro pasa bajas se aprecia un circuito de corrimiento de fase. Este es necesario porque el filtro ocasiona un desfase de la señal de referencia, el cual se debe compensar para garantizar que la corriente se genere esté en fase con la tensión de línea del circuito inversor. Para esta función se utiliza un amplificador operacional de propósito general matricula LF347N, la salida de este circuito será la señal de offset. En la parte final del acondicionador de señal se encuentra un detector de cruce por cero. Este se utiliza para enviar una señal al doble buffer del FPGA, indicándole en qué momento se debe inyectar corriente a la línea [87].

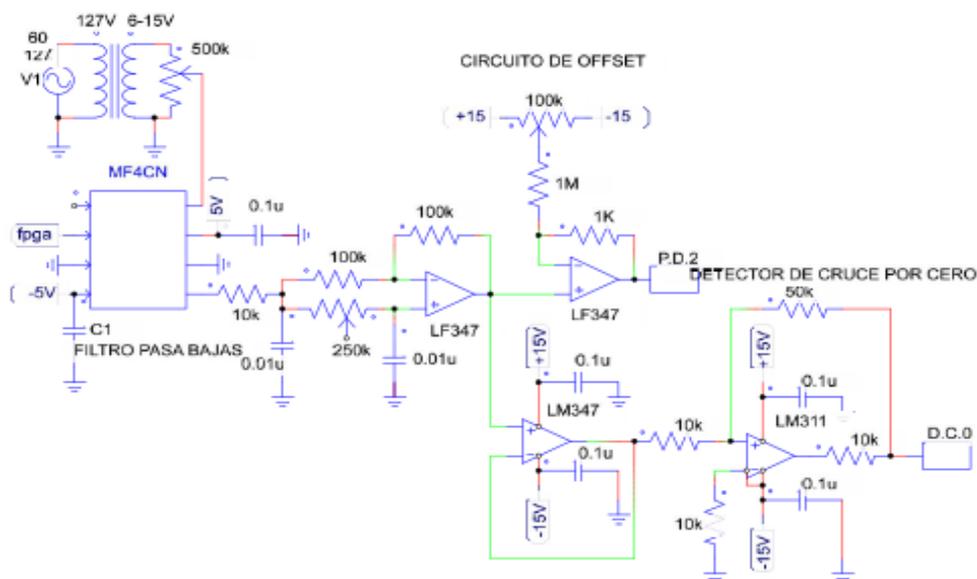


Fig. 5.15 Circuito de control para sincronización con línea propuesto (set point).

Por otro lado es necesario obtener la señal H_2 a partir de un sensor de efecto Hall, y determinar que ambas señales estén en fase [86]. Por lo que V_{HS} se integra mediante R_1 y C_1 , y después se atenúa por un factor a (señal $V_A = a * V_C$). Ambas señales se comparan y en la salida del comparador se obtiene la señal V_D , que comandan a los interruptores, Fig. 5.16. Cuando ambos circuitos sean verdaderos se habilitara el doble buffer para realizar la interconexión a red.

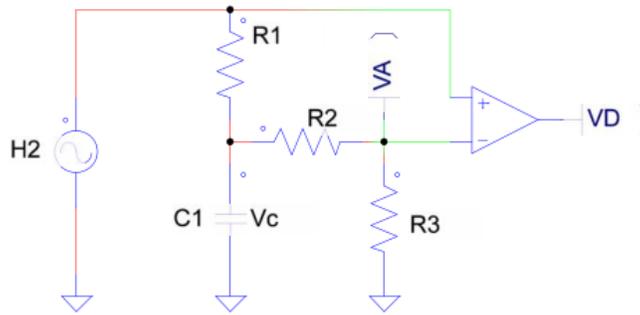


Fig. 5.16 Circuito de generación de pulsos de comando para sincronización con línea propuesto (V_D) [88].

5.2 Análisis de los resultados obtenidos

Ya que para el Sistema Fotovoltaico Interconectado a la Red, y específicamente en la sección del convertidor (inversor), se maneja una misma carga altamente inductiva ($RL= 5 \Omega$, 12 mH) para cada uno de los diseños de los inversores expuestos, y, respectivamente en la parte experimental con la modificación de dicha carga, es de suma importancia establecer las características que presentan cada uno de ellos, a partir de lo siguiente:

Para diseño del inversor Fuente-Z trifásico y respecto a un determinado porcentaje de rizado de los elementos de la red de impedancia, es importante establecer los parámetros de entrada y salida que se deseen obtener (ganancia), los cuales influirán directamente en el dimensionado de dicha red; en este caso se contemplan 20 VCD de entrada, un voltaje en el bus de CD de 150 V ($G=7.5$) y una corriente de 17.82 A por el inductor, es decir para su implementación, el regulador de carga tendrá que soportar la corriente demandada y poseer una buena regulación del voltaje. Respectivamente, se puede determinar que el diseño a través del porcentaje de rizado, aporta una clara idea del comportamiento de inversor para operar en estados de conmutación deseados respecto a los valores de impedancia calculados, ya que siguiendo los pasos de diseño, se puede disminuir demanda de corriente a la entrada y los valores de la Red-Z a través de la modificación de los valores de tensión, de la frecuencia de conmutación, etc., aumentando así la eficiencia del sistema.

En el caso del diseño del Inversor Multinivel NPC trifásico de tres niveles, se observa que existe una disminución importante del porcentaje de THD de corriente frente al ZSI (6.24% vs 11.28%, respectivamente), una disminución de la demanda de corriente entrada (7.6 A vs 25 A), y un aumento del factor de potencia (0.85 vs 0.8), ya que su comportamiento mejora al trabajar con cargas altamente inductivas; factores que pueden mejorarse aún más en la adición de número de niveles y del cambio de la técnica de modulación. Por otro lado tiene

la desventaja de que necesita trabajar con altos valores de voltaje en el Bus de CD respecto al ZSI y ZSINPC (150 V vs 20 V).

Respecto al diseño del inversor ZSINPC trifásico de tres niveles, los valores de la red de impedancia cambian respecto al ZSI, debido a la introducción de nuevos estados de disparo a través de la rama (USTS, LSTS y FSTS), realizando una mejor conversión de energía, lo que trae consigo una disminución de corriente a la entrada (10.65 A vs 25 A), además de poder trabajar prácticamente con el mismo voltaje de línea (46.22 V vs 55 V). Por otro lado y debido a que se contempla la misma carga, el valor de rizado del capacitor sigue de cerca los valores de diseño (3% vs 5%), no así para el inductor, aun así el presente diseño se contempla como válido ya que se acerca mucho a los valores calculados y se ve reflejado en el análisis de la THD de corriente de salida, mostrando un mejor comportamiento que la obtenida en el inversor ZSI.

Los resultados de implementación con la ligera modificación de la carga (aumento de resistencia), en cada una de las secciones, se logra distinguir el proceso de conmutación de acuerdo a la técnica de modulación SBC-PDPWM. Particularmente en la sección de la red-Z se aprecia el voltaje de salida de la Red-Z de acuerdo al proceso de conmutación (estados de STS y Activos- Carga y descarga de los capacitores). Por otro lado, a partir de las formas de onda mostradas tanto del Voltaje VAB como del VAN se logra apreciar una ligera distorsión de las formas de onda, dicha distorsión se contempla debido al proceso de discretización de la onda sinusoidal y triangular dentro de la programación del FPGA (digitalización a 9 bits), por lo que en este caso la forma más viable de reducir esa ligera distorsión es el empleo de mayor número de bits en la discretización de ambas señales y por otro lado trabajar con mayor número de muestras de dichas ondas. Para el caso de la corriente de salida, se puede observar que tal y como los análisis teóricos lo contemplan la forma de onda de salida presenta un comportamiento semejante al de una sinusoidal, ya que dicho arreglo de carga (RL) actúa como filtro de salida, por tanto se puede apreciar claramente que a través de la técnica SBC-PDPWM, se puede obtener una elevación de voltaje (56 Vrms) a la vez que se contempla una disminución de THD ($\approx 11\%$, en este caso) y la conversión de CD-CA (VAB 40.5 V y VAN-24.4 V), Finalmente y de acuerdo a los pasos de diseño a lo largo de este documento, los resultados de implementación con una potencia mayor pueden aumentar la eficiencia del sistema, siempre y cuando se contemplen los aspectos antes señalados.

CONCLUSIONES

Debido a los recientes avances en el campo de la conversión de energía, ha surgido la necesidad de diseñar convertidores que puedan funcionar con éxito con fuentes de voltaje variable. El VSI convencional, que es el tipo de convertidor más común dentro de un Sistema de Paneles Fotovoltaicos, adolece del inconveniente de que no puede elevar la tensión de la fuente de entrada, por lo tanto, se necesita un convertidor CD-CD de Elevación (Boost) de tensión adicional para interconectar la fuente de voltaje variable con el VSI convencional, ésta disposición en cascada de dos convertidores de potencia aumenta no solo la complejidad del circuito y del control, sino también los requisitos de costo y espacio. Para satisfacer las necesidades apremiantes de un solo convertidor capaz de aumentar la tensión, nuevas topologías de convertidores (inversores) se han propuesto anteriormente; entre estas nuevas topologías, el Inversor Fuente-Z Multinivel NPC ha atraído una amplia atención sobre los otros, principalmente porque continúa empleando un VSI convencional (en la configuración NPC) con una etapa de enlace de CD modificada (Red-Z), cuyo concepto puede ser aplicado a todo el espectro de conversión de potencia.

Respectivamente en esta Tesis, se han presentado tres topologías de inversión por separado que forman parte de un Sistema Fotovoltaico Interconectado a la Red Eléctrica; el Inversor Multinivel NPC, el Inversor Fuente-Z y su respectivo acoplamiento (ZSINPC); donde los últimos dos convertidores, son capaces de realizar la función de elevar la tensión mediante la introducción de estados de disparo en los estados nulos del patrón de conmutación PWM de los convertidores VSI y NPC convencionales.

Se logró de manera afirmativa el objetivo principal de este trabajo de Tesis, en donde se contempla el Diseño e implementación de un prototipo con la topología de Inversión Multinivel NPC de tres niveles acoplado a la Red-Z para reemplazar al inversor convencional utilizado en un Sistema Fotovoltaico Interconectado a la Red Eléctrica. Lo anterior, gracias al diseño apropiado de cada uno de los inversores aquí expuestos y de sus accionamientos electrónicos (modulaciones), contemplando un mismo esquema de carga para cada uno de ellos y obteniendo de esta manera en conjunto con las modulaciones realizadas el comportamiento y características que presentan de manera individual y posteriormente en dicho acoplamiento. Una vez lograda la sección de diseño y simulación, se prosiguió a implementar el ZSINPC a partir de las diferentes tarjetas que lo conforman, y, que de igual forma en conjunto con el desarrollo de la programación de la técnica de modulación SBC-PDPWM a través de un FPGA, se logra el funcionamiento de dicho inversor el cual poseen características de ambos convertidores.

En el Capítulo II, se ha presentado una revisión bibliográfica sobre los fundamentos básicos de cada una de las técnicas de modulación y su funcionamiento para los inversores Fuente-Z y Multinivel NPC. Describiendo a detalle las técnicas SBC y PD-PWM para cada convertidor, y establecer así el punto de partida para la modulación necesaria para el acoplamiento de ambos inversores, con la finalidad de obtener una alta ganancia de voltaje y una disminución de la THD, características que ofrecen cada uno de los convertidores por separado, y que es hereditaria para el Inversor ZSINPC.

En el Capítulo III, se introduce el análisis de los inversores Fuente-Z y Multinivel NPC de tres niveles, a partir de la técnica de control SBC y PD-PWM respectivamente. Para ambos convertidores se contempla el análisis en estado estacionario cuya finalidad principal es una evaluación de su comportamiento a partir de un diseño en particular (**misma carga**). En el caso del Inversor Fuente-Z trifásico se establece el diseño de la red de impedancia, considerando a su vez valores iniciales y valores de rizo tanto del voltaje en los capacitores como de la corriente en los inductores, dando como resultado un correcto dimensionamiento de dicha red para funcionar en estados Activo y STS, a diferencia de trabajar con impedancias críticas que funcionan dentro de estados no deseados y que impactan directamente en el aumento de la THD del inversor. Respectivamente para el Inversor Multinivel NPC de tres niveles, a partir de la técnica de modulación PD-PWM, se consideraron las mismas condiciones de carga y de Voltaje en el bus de CD que en el inversor Fuente-Z, lo anterior para establecer un análisis de THD frente al éste último, dando como resultado un mejor comportamiento del Inversor Multinivel NPC trifásico de tres niveles, ya que ésta topología presenta un mejor comportamiento al trabajar con cargas altamente inductivas, ya que opera como un filtro de salida.

Para el capítulo IV, se estableció el análisis operacional y el diseño tanto del Inversor ZSINPC trifásico de tres niveles (con una sola red de Impedancia) como el de su respectiva modulación a través de un controlador digital FPGA. A través de los estudios analíticos, se ha demostrado que dicho inversor, pueden asumir libremente tres estados diferentes de disparo (FSTS, USTS y LST), en comparación con solo uno para el inversor Fuente-Z. Esta flexibilidad permite que se formen diferentes combinaciones de estados de disparos directos y externos, lo que a su vez, da lugar al esquema de modulación basado en la modulación PD-PWM (SBC-PDPWM). Lo anterior, dio pauta para determinar concretamente los valores los valores de la Red de impedancia al trabajar con los mismos parámetros de carga que los inversores anteriores. Respecto al esquema desarrollado a través del controlador FPGA, tiene la flexibilidad de poder aumentar el número de niveles y poder migrar de una modulación a otra (estandarización); es decir debido a que las modulaciones empleadas en cada uno de los convertidores desarrollados se basan en la modulación SPWM, se ha logrado determinar en cada una de ellas, la discretización de señales en términos de vectores (número de bits), y poder así establecer de acuerdo a la topología empleada el número de ondas tanto portadoras (niveles) como moduladas (tipo de sistema; monofásico o trifásico) a comparar. Por otro lado, se realizó un análisis del circuito detallado del inversor ZSINPC, para N niveles de elevación, y demostrar así la capacidad de este convertidor para superar las restricciones del inversor NPC tradicional.

En el Capítulo V, se realizó la implementación del prototipo de Inversion ZSINPC trifásico de tres niveles como parte integral de un Sistema Fotovoltaico Interconectado a la Red Eléctrica. El sistema completo incluye un arreglo de paneles fotovoltaicos, un regulador de carga, acumuladores, el propio circuito de inversion y por último se propone un circuito de interconexión a la red eléctrica basado en un circuito de detección de cruce por cero (histéresis). Particularmente el prototipo de inversión experimental maneja una potencia nominal de aproximadamente 220 W, ya que el objetivo principal fue la de determinar la factibilidad del acoplamiento a través de la técnica SBC-PDPWM presentada en este trabajo.

Los resultados adquiridos en la etapa de implementación muestran las formas de onda de cada sección del inversor propuesto, y, debido a que se maneja una carga diferente a la establecida en la parte de diseño, las formas de onda y los resultados aquí expuestos demuestran que a través de la técnica de modulación planteada para el Inversor ZSINPC trifásico de tres niveles, las ventajas tales como contar un mismo voltaje de alimentación, una elevación de voltaje y corriente adecuados, mínimos requerimientos de conmutación, mismo número de elementos pasivos, entre otros factores, se pueden lograr simultáneamente para dar como resultado una mejor calidad espectral de la corriente salida y poseer las características del inversor Multinivel NPC de tres niveles.

Finalmente y respondiendo a la pregunta de hipótesis planteada al inicio de este trabajo de investigación, Si es posible a provechar las ventajas que ofrecen la topología Fuente-Z y Multinivel NPC por separado en una estructura conjunta, ya que primeramente al acoplar a este último la red-Z, se obtiene de acuerdo a la modulación desarrollada una elevación de voltaje y corriente, y al mismo tiempo una conversión de CD a CA, lo que impacta enormemente en la disminución y reemplazo de los elementos que conforman un inversor convencional utilizado en un Sistema Fotovoltaico, por ejemplo; el reemplazo del circuito de elevación Boost (con su respectiva modulación y control) por la red-Z en conjunto con la técnica de modulación empleada (única para esta topología). Equitativamente otra ventaja que ofrece el ZSINPC, es que de acuerdo a un análisis específico y detallado tanto de los elementos de entrada disponibles (Voltaje y Corriente de entrada) como de los elementos de salida (carga principalmente) en sintonía con la modulación SBC-PDPWM, se puede obtener una de las características eléctricas de mayor importancia para los inversores de CD-CA, es decir; contar con una disminución del contenido armónico (THD) de las ondas de corriente entregadas por el inversor, que impactaran enormemente en el sistema Fotovoltaico, esté o no interconectado a la Red Eléctrica, y que en potencias mayores sin un control adecuado afectaran de manera notable al sistema en general.

TRABAJOS FUTUROS Y APORTACIONES

Cualquier trabajo de investigación desarrollado científicamente contribuye a despejar algunas incógnitas sobre el tema tratado, pero de forma simultánea, genera nuevas preguntas, nuevas ideas y/o abre nuevas vías de trabajo. En esta sección se presentan algunas líneas de investigación que pueden ser objeto de interés atendiendo al trabajo expuesto en la presente tesis.

Primeramente para el modelado del Sistema Fotovoltaico Interconectado a la Red Eléctrica, sería interesante determinar los parámetros del presente sistema para un mayor manejo de potencia, es decir, poder dimensionar el sistema en cada uno de sus componentes; paneles fotovoltaicos, reguladores de carga, acumuladores, el propio inversor aquí expuesto, y respectivamente el circuito de interconexión a la red. Como una sugerencia específica en esta sintaxis, será la de determinar el sistema para condiciones de Seguimiento de Máxima Potencia, es decir, tener un sistema fotovoltaico de seguimiento de la Máxima Irradiación Solar durante el día.

Por otro lado, en la sección del inversor, se contempla el diseño para condiciones de mayor demanda, es decir, siguiendo los pasos de diseño establecido para los tres inversores expuestos, aumentar la potencia del convertidor (en términos corriente, voltaje, frecuencia, número de niveles, etc.) a través de sus respectivas estrategias de modulación y poder contar así con voltajes y corrientes que estén dentro de las normativas establecidas por la Secretaría de Energía. En este contexto, en la vía de la implementación y diseño de las respectivas secciones del inversor, sería interesante poder trabajar con módulos de potencia (módulo del inversor Multinivel NPC, por ejemplo) y de control (fuentes de alimentación, tarjetas de acondicionamiento de señal y disparo, sensores de corriente y voltaje, etc.), aumentando así la eficiencia del sistema.

Específicamente, y, debido a que existen diversas técnicas de modulación que pueden ser empleadas en el Inversor ZSINPC, se propone establecer el diseño e implementación de la técnica de modulación por vector espacial SVM, y, que ésta a su vez, se relacione directamente con el algoritmo de interconexión a la red eléctrica, lo anterior para determinar ventajas y desventajas frente a la técnica propuesta.

Dentro de la estrategia de modulación desarrollada, y para el convertidor en cuestión, se propone establecer el modelo de pequeña señal, operado con el modo de disparo superior-inferior, lo anterior para implementar un adecuado lazo cerrado de control, es decir, a través de este último, manejar diferentes índices de modulación con el fin de mantener constantes la amplitud y la frecuencia tanto del voltaje como de la corriente a la carga.

El trabajo presentado en esta tesis ha sido una gran oportunidad para dar una pequeña contribución a la investigación sobre el concepto de conversión ZSINPC. Los siguientes puntos resumen los logros en relación a los objetivos planteados en el Capítulo I de esta tesis:

- Se realizó una revisión de literatura para el diseño, modelado y simulación para los inversores Fuente-Z y multinivel NPC por separado, a través de las técnicas de modulación PWM respectivas de cada convertidor.

- Para el caso del Inversor Fuente-Z se determinó la ventaja de trabajar con una red de impedancia para estados de conmutación deseados, y respectivamente para el Inversor Multinivel NPC de tres niveles el poder trabajar con cargas altamente inductivas que actúan como filtro de salida. Propiamente en cada uno de los diseños la THD disminuye, lo que en comparación con los inversores clásicos impacta notablemente en su comportamiento.
- También se realizó la programación de la modulación SBC-PDPWM a través de un controlador digital FPGA, dicha programación tiene la característica de ser reconfigurable (migrar de una modulación a otra) y ser estándar (para N número de niveles y referencias de señales portadoras y moduladoras).
- Dentro del diseño, simulación e implementación del Inversor ZSINPC de tres niveles como parte integral de un Sistema Fotovoltaico Interconectado a la Red, se ha determinado la selección de componentes pasivos (Red-Z) y la técnica de modulación SBC-PDPWM cuyo funcionamiento presenta un mejor comportamiento que los convertidores por separado, y el concepto de elevación y conversión para circuitos inversores de tres niveles, se puede extender efectivamente para dirigir la conversión de potencia de CD-CA de N niveles de elevación.

La experiencia adquirida con este proyecto permitió completar el análisis de dos topologías de convertidores y su respectivo acoplamiento a pesar de las limitaciones de tiempo. El análisis del convertidor ZSINPC trifásico de tres niveles fue un desafío en términos del diseño, de la modulación y de la implementación del prototipo experimental, lo anterior para determinar el rendimiento del convertidor de potencia como parte integral de un Sistema Fotovoltaico Interconectado a la Red Eléctrica. El trabajo realizado incluye el diseño experimental para proporcionar datos experimentales de un convertidor real para validar el análisis. Los objetivos fijados al principio se han logrado, pero se podría hacer más para comprender el mérito inherente de usar el concepto de conversión del ZSINPC en altos niveles de voltaje.

BIBLIOGRAFÍA

- [1] M. C. Cavalcanti, “Estudio de Perdidas en Inversores Alimentados por Tension Pulsada en el Bus de Corriente Continua” Tesis de Doctorado, Universidad Federal de Campina Grande, Feb. 2003.
- [2] F. Z. Peng, “Z-Source Inverter”, In Proc. Ind. Appl. Soc., Ann. Meet.-IAS’02, Vol. 2, Pittsburgh, USA, pp. 775-781, Dec. 2002.
- [3] F. Z. Peng, “Z-Source Inverter”, IEEE Trans. Ind. Appl., Vol. 39, No. 2, pp. 504–510, Mar/Apr, 2003.
- [4] A. Nabae, I. Takahashi y H. Akagi, “A New Neutral-Point Clamped PWM inverter”, IEEE Transactions on Industry Applications, Vol. IA-17, No. 5, pp 518-523, Sep. /Oct. 1981.
- [5] P. M. Bhagwat y V.R. Stefanovic, “Generalized Structure of a Multilevel PWM Inverter” IEEE Transactions on Industry Applications, Vol. 19, No. 6, pp. 1057-1069, Nov/Dec, 1983.
- [6] M. H. Rashid “Electrónica De Potencia; Circuitos, Dispositivos y Aplicaciones”, México, 3ra Edición. Prentice-Hall, pp. 406-430, 2004.
- [7] J. C. Arias, “Implementación de un Modulador por Vector Espacial (SVM-2D) para un Inversor Multinivel de tres Niveles con Fijación por Diodos (NPC)”, Universidad Tecnológica de Pereira, Maestría en Ingeniería Eléctrica, Pereira, 2015.
- [8] Bum- Seok S., Gautam S., Madhav D., Thomas A. “Multilevel Power Conversion – Na Overview Of Topologies and Modulations Strategies”.
- [9] Alepuz Menéndez, Salvador Simón, “Control del convertidor CC/CA de tres niveles, Universidad Politécnica de Catalunya, 2004.
- [10] B. Sush, G. Sinha, M. Manjrkar, T. Lipo, “Multilevel Power Conversion-An Overview Of Topologies and Modulations Strategies”, 6th International Conference On Optimization of Electrical and Electronic Equipments, Vol. 2, pp. AD11-AD24, 1998.
- [11] Lai J., Peng F. “Multilevel Converters – A New Breed of Power Converters”. IEEE Transactions On Industry Applications, Vol. 32, No. 3 May/June 1996.
- [12] X. Yuan e I. Barbi, “Fundamentals of a New Diode Clamped Multilevel Inverter” IEEE Transactions on Power Electronics, Vol. 15 No. 4, pp. 711-718, Jul. 2000.
- [13] L. Adriana Trejos, “Diseño e Implementación de un Inversor Trifásico Multinivel con Fijación por Diodos”, Universidad Tecnológica de Pereira, Maestría en Ingeniería Eléctrica, Pereira, 2010.
- [14] L. M. Tolbert, F.Z. Peng and T.G. Habetler, “Multilevel Converters for Large Electric Drives, ” IEEE Transactions on Industry Applications, Vol. 35, No. 1, pp. 36-44, Jan. 1999.
- [15] C. Hochgraf R.I. Asseter, D. Divan y T.A. Lipo, “Comparison of Multilevel Inverters for Static-Var Compesation,” registro de la Reunión Anual IEEF- IAS, pp. 921-928, 1994.
- [16] R. Loza, A. Palacios, “Propuesta de reducción del consumo eléctrico residencial mediante un Sistema Fotovoltaico conectado a la Red Eléctrica”, Tesis de ingeniería, ESIME, IPN, México, D.F., pp. 2-5, Marzo 2014.
- [17] D. J. González, “Prototipo de Energía Eléctrica Fotovoltaica, para el laboratorio de energía de la escuela colombiana de ingeniería”, Tesis de grado, Escuela Colombiana de Ingeniería, Bogotá Colombia, pp. 22-25, septiembre 2016.
- [18] Norma Oficial Mexicana NOM-001-SEDE-1999, Instalaciones Eléctricas (utilización), Artículo 690 – Sistemas Fotovoltaicos (1999).
- [19] Especificación CFE L0000-02 “Tensiones de Sistemas de Distribución, Subtransmisión y Transmisión” (1985).

- [20] Especificación Provisional CFE L0000-45 “Perturbaciones Permisibles en las Formas de Onda de Tensión y Corriente del Suministro de Energía Eléctrica”, (1995).
- [21] J. E Chito, D. A. Tovar, “Sistema Fotovoltaico de 8 Kw Interconectado a la Red”, Escuela de Ingeniería Eléctrica y Electrónica, Programa Académico de Ingeniería Eléctrica, Santiago de Cali, 2011.
- [22] F. Z. Peng, M. Shen, and Z. Qian “Maximum Boost Control of the Z-Source Inverter”, IEEE Trans. Power Electron., Vol. 20, No. 4, pp. 833–838, Jul., 2005.
- [23] M. Shen, J. Wang, A. Joseph, F. Z. Peng, L. M. Tolbert, and D. J. Adams, “Constant Boost Control of the Z-Source Inverter to Minimize Current Ripple and Voltage Stress”, IEEE Trans. Ind. Appl., Vol. 42, No. 3, pp. 770–778, May/June., 2006.
- [24] F. Bradaschia, “Convertidores Fuente Z para Sistemas Fotovoltaicos Monofásicos y Trifásicos”, Tesis de Doctorado, Universidad Federal de Pernambuco, Centro de Tecnología y Geociencias, Programa de Posgrado en Ingeniería Eléctrica, Feb. 2012.
- [25] J. A. Houldsworth and D. A. Grant, “The Use of Harmonic Distortion to Increase the Output Voltage of a Three-Phase PWM Inverter,” IEEE Trans. Ind. Appl., Vol. IA-20, No. 5, pp. 1224–1228, Sep./Oct., 1984.
- [26] D. A. Grant and J. A. Houldsworth, “PWM AC Motor Drive Employing Ultrasonic Carrier,” in Proc. Power Electron. And Var. Speed Drives – PE-VSD’84, London England., 1984, pp. 234–240.
- [27] A. M. Trzynadlowski, “Non-Sinusoidal Modulation Functions for Three-Phase Inverters,” in Proc. Power Electron. Spec. Conf. – PESC’88, Quioto, Japan, April 1988, pp. 477–484.
- [28] J. W. Kolar, H. Ertl, and F. C. Zach, “Minimizing the Current Harmonics RMS Value of Three-Phase PWM Converter Systems by Optimal and Suboptimal Transition Between Continuous and Discontinuous Modulation,” in Proc. Power Electron. Spec. Conf. – PESC’91, Cambridge, USA, June 1991, pp. 372–381.
- [29] D. G. Holmes and T. A. Lipo, “Pulse Width Modulation for Power Converters: Principles and Practice”, IEEE Press, ISBN 0471-20414-0, USA, 2003.
- [30] J. S. Lai and F. Z. Peng, “Multilevel Converters—A New Breed of Power Converters”. IEEE Transactions On Industry Applications, Vol. 32 No. 3, pp. 209-517, May. 1985.
- [31] L. M. Tolbert y T.G. Habetler, “Novel multilevel inverter carrier- based PWM method,” IEEE Transactions on Industry Applications, Vol. 35, No. 5 septiembre/octubre de 1999. Págs. 1098-1107.
- [32] R. Teodorescu, F. Blaabjerg, J. K. Pedersen, E. Cengelci, S. Sulistijo, B. Woo, And P. Enjeti, “Multilevel Converters-A Survey”, in Proc. Eur. Power Electron. Conf. 1999, Lausanne, Switzerland., pp. 477–484, 1999.
- [33] N. Mohan, T.M Undeland, and W.P. Robbins, Power Electronics; Converters, Applications, and Design., 3rd ed. Hoboken, NJ: Wiley, 2003.
- [34] J. Holtz, “Pulsewidth Modulation For Electronic Power Conversion”, Proc, IEEE, Vol. 82, No. 8., pp. 1194-1214, Aug. 1994.
- [35] Franquelo L., Rodríguez J., León J., Kouro S., Portillo R., Prats M. “The Age The Multilevel Converters Arrives”. IEEE Industrial Electronics Magazine, Junio 2008.
- [36] S. Fukuda, K. Suzuki, “Harmonic Evaluation of Carrier-Base PWM Methods Using Harmonic Distorsion Determining Factor”, Power Conversion Conference (PCC’97), pp. 259-264, 1997.
- [37] S. Halasz, “Analysis of Pulsewidth Modulation Techniques for Induction Motor Drives”, IEEE INT. Symp. On Industrial Electronics (ISIE’93), pp. 200-204, 1993.

- [38] G. Carrara, S. Gardella, M. Marchesoni, R. Salutati, and G. Sciotto, "A New Multilevel PWM Method: A Theoretical Analysis", *IEEE Trans. Power Electron.*, Vol. 7, No. 3, pp. 497–505, Jul., 1992.
- [39] B. P. McGrath; and D. G. Holmes, "Multicarrier PWM Strategies for Multilevel Inverters", *IEEE Trans. Power Electro.*, Vol. 7, No. 3, pp. 497–505, July, 1992.
- [40] K. E. Bornhardt, "Novel Modulation Techniques For DC-Side Commutated Inverters", in *Proc. 4 th Int. Conf. Power Electronics and Variable-Speed Drives*, July 1990, 1991, pp. 92-97.
- [41] Z. Du. L. M. Tolbert, and J. N. Chiasson, "Active Harmonic Elimination For Multilevel Converters" *IEEE Transactions on Power Electronics*, Vol. 21, No. 2, pp. 459-469, Mar.2006.
- [42] L. Li, D. Czarkowski, Y. Liu, and P. Pillay, "Multilevel Selective Harmonic Elimination PWM Technique In series-Connected Voltage Inverters", *IEEE Trans. Ind. Applications*, Vol. 36, No. 1, pp. 160-170, Jan. 2000.
- [43] B. Ozpineci, L. M. Tolbert, and J. N. Chiasson, "Harmonic Optimization Of Multilevel Converters Using Genetic Algorithms", *IEEE Power Electronics Lett.*, Vol. 3, No. 2, pp. 92-95, Sept. 2005.
- [44] Sourkounis Constantinos., Al-Diab A. "A Comprehensive Analysis and Comparison Between Multilevel Space-Vector Modulation and Multilevel Carrier-Based PWM".
- [45] M. Hagiwara., Akagi. H. "Control and Experiment of Pulse Width-Modulated Modular Multilevel Converters", *IEEE Trans. On Industry Applications*, Vol. 24, July. 2009.
- [46] B. Wu, *High Power Converters and AC Drives*, IEE Press, 2006.
- [47] J. D. Betanzos, "Implementación de un Inversor de tres niveles utilizando la Modulación por Vectores Espaciales", Tesis de Maestría en Ingeniería Eléctrica, Escuela Superior de Ingeniería Mecánica y Eléctrica, Instituto Politécnico Nacional, México, D.F, 2010.
- [48] F. Z. Peng, J. S. Lai, J. McKeever, J. VanCoevering, "A Multilevel Voltage-Source Inverter with Separate DC Sources for Static Var Generation". *IEEE Trans. On Industry Applications*, Vol. 32, No.5, September 1996.
- [49] P. C. Loh, F. Gao, F. Blaabjerg and S. W. Lim., "Operational Analysis And Modulation Control Of Three-Level Z-Source Inverters With Enhanced Output Waveform Quality", *IEEE Transactions Power Electronics*, Vol.24, No.7, pp.1767-1775, 2009.
- [50] S. Rajakaruna and Y.R.L Jayawickrama, "Steady-State Analysis and Designing Impedance Network of Z-Source Inverters", *Industrial Electronics, IEEE Transactions On*, Vol. 57, No. 7., pp. 2483-2491, 2010.
- [51] M. Shen and F. Z. Peng, "Operation Modes and Characteristics of the Z-Source Inverter with Small Inductance or Low Power Factor", *IEEE Trans. Ind.*, Vol. 55, No. 1, pp. 89–96, Jan, 2008.
- [52] S. Rajakaruna and Y.R.L Jayawickrama, "Designing Impedance Network of Z-Source Inverters", in *Proc. IPEC, Singapore*, 2005, pp. 962–967.
- [53] S. A. Seragi, "Review on Z-Source Inverter", *International Journal of Computer Applications (0975 – 8887)*, National Conference on Advances in Communication and Computing (NCACC, 2014)
- [54] Y. Firouz, M. T. Bina, and B. Eskandari, "Efficiency of Three-Level Neutral-Point Clamped Converters: Analysis and Experimental Validation of Power Losses, Thermal Modelling and Lifetime Prediction", *IET. Power Electron.ics*, Vol. 7, Iss.1 pp. 209-219., 2014.
- [55] P. C. Loh, F. Gao, F. Blaabjerg, S. Y. Feng, and K. N. Soon, "Pulsewidth Modulated Z-Source Neutral Point Clamped Inverter", *IEEE Trans. Ind. Appl.*, Vol. 43, No. 5, pp. 1295–1308, Sep/Oct., 2007.
- [56] F. B. Effah, "Three-Level Z-Source Hybrid direct AC-AC power converter Topology" Network," PhD thesis, University of Nottingham, 2014

- [57] P. C. Loh, D. G. Holmes, Y. Fukuta, and T. A. Lipo, "Reduced Common Mode Modulation Strategies for Cascaded Multilevel Inverters", *IEEE Trans. Ind. Appl.*, Vol. 39, No. 5, pp. 1386–1395, Sep/Oct., 2003.
- [58] B. P. McGrath and D. G. Holmes, "Multicarrier PWM Strategies for Multilevel Inverters", *IEEE Trans. Ind. Electron.*, Vol. 49, No. 4, pp. 858–867, Aug., 2002.
- [59] B. P. McGrath, D. G. Holmes, and T. A. Lipo, "Optimized Space Vector Switching Sequences for Multilevel Inverters", *IEEE Trans. Power Electron.*, Vol. 18, No. 6, pp. 1293–1301, Nov., 2003.
- [60] S. Panda, A. Mishra, B. Srinivas, "Control of Voltage Source Inverters using PWM/SVPWM for Adjustable Speed Drive Applications", the degree of Bachelor Of Technology In Electrical Engineering, National Institute Of Technology Rourkela, 2009.
- [61] S. Behera, "FPGA based PWM techniques for controlling Inverter", A Thesis for the degree of Bachelor of Technology National Institute of Technology Rourkela, 2010.
- [62] D. N. Sonawane, M. S. Sutaone, B. N. Choudhari and A. Badurkar, "FPGA Implementation of Simplified SVPWM Algorithm for Three Phase Voltage Source Inverter", *International Journal of Computer and Electrical Engineering*, Vol.2, No.6, pp. 1010-1017, 2010.
- [63] O. López, J. Álvarez, J. D. Gandoy, and F. D. Freijedo, "Multilevel Multi phase Space Vector PWM Algorithm", *IEEE Transactions On Industrial Electronics*, Vol. 55, NO. 5, pp. 1933-1942, 2008.
- [64] S. Mekhilef and A. Masaoud, "Xilinx FPGA Based Multilevel PWM Single Phase Inverter", *Electronic Journal of University Malaya (EJUM)*, Vol.1, No. 2, pp 40-45, 2006.
- [65] T. Sutikno, M. Facta, "An Efficient Strategy to Generate High Resolution Three-Phase Pulse Width Modulation Signal Based on Field Programmable Gate Array", *International Journal of Computer and Electrical Engineering*, No. 3, Vol. 2, 2010.
- [66] T. Sutikno, A. Jidin, and Mohd Farriz Basar, "Simple Realization of 5-Segment Discontinuous SVPWM Based on FPGA", *International Journal of Computer and Electrical Engineering*, No. 1 Vol. 2, pp. 147-157, 2010.
- [67] B. Rashidi and M. Sabahi, "FPGA based digital Space vector controller of voltage Source inverter", *Elixir online Journal, Power Electronics Engineering*, pp. 8710-8714, 2012.
- [68] R. Bharanikumar, R. Senthilkumar, A.C. Yazhini, and A. Nirmal Kumar, "FPGA Controller Based Z-Source Inverter for Wind Turbine Driven Permanent Magnet Generator", *IEEE Power India Conference Power System Technology*, pp. 1-5, 2008.
- [69] P. C. Loh, S. W. Lim, F. Gao, and F. Blaabjerg and D. M. Vilathgamuwa, "Dual Z-Source Inverter With Three-Level Reduced Common-Mode Switching", *IEEE Transactions On Industry Applications*, Vol. 43, No.6, pp. 1597-1608, 2007.
- [70] <http://software.altera.com/feedback/13.0/installer/>
- [71] "FPGA's: Field-Programmable Gate Arrays for Configurable Computing" written August, 2001 by D. Gaasterland for CMSC 411, Computer Systems Architecture, University of Maryland.
- [72] E. Babaei and T. Ahmadzadeh "A New N-Level Inverter Base on Z-NPC", *Iranian Journal of Electrical & Electronic Engineering*, Vol. 13, No. 4, December 2017
- [73] T. Ahmadzadeh, E. Babaei, and M. Sabahi, "Modified PWM Control Method for Neutral Point Clamped Multilevel Inverters", in *Proc. ECTI-CON, 2017, Thailand*.
- [74] X. P. Fang, Z. M. Qian, Q. Gao, B. Gu, F. Z. Peng, and X. M. Yuan, "Current mode Z-source inverter fed ASD system", in *Proc. IEEE PESC'04*, pp. 2805–2809, 2004.
- [75] E. Babaei, M. Hasan Babayi, E. Shokati Asl and S. Laali, "A new topology for Z-source inverter based on switched-inductor and boost Z-source inverter", *Journal of Operation and Automation in Power Engineering (JOAPE)*, Vol. 2, No. 2, pp. 167-184, Summer & Fall 2015.

- [76] E. Babaei and T. Ahmadzadeh, "A new structure of Buck-boost Z-source converter based on Z-H converter", *Journal of Operation and Automation in Power Engineering (JOAPE)*, in Press, 2016.
- [77] T. Ahmadzadeh and E. Babaei, "Z-H Buck converter: Analysis and simulation", in *Proc. PEDSTC*, pp. 436-441, 2015.
- [78] P.C. Loh, F. Gao and F. Blaabjerg, "Topological and modulation design of three-level Z-source inverters", *IEEE Trans. Power Electron.*, Vol. 23, No. 5, pp. 2268-2277, Sep. 2008.
- [79] E. Babaei, E. Shokati Asl, M. Hasan Babayi and S. Laali, "Developed Embedded switched-Z-source inverter", *IET Power Electronics*, in Press, 2016.
- [80] F. Gao, P.C. Loh, F. Blaabjerg, R. Teodorescu and D.M. Vilathgamuwa, "Five-level Z-source diode Clamped inverter", *IET Power Electron.*, Vol. 3, No. 4, pp. 500-510, Sep. 2009.
- [81] R. Strzelecki, and N. Strzelecka, "Simulation Investigation of the Z-source NPC inverter", *Doctoral School of energy- and geo-technology, Kuressaare, Estonia*, pp. 213-218, Jan. 2007.
- [82] <https://www.syscom.mx/producto/PROSE-25024-EPCOM-POWER-LINE-72358.html>
- [83] <https://www.batterymaster.com>
- [84] <https://www.steca.com/index.php?Steca-Solarix-PRS-es>
- [85] http://www.datasheetcatalog.com/datasheets_pdf/M/F/4/C/MF4CN-50.shtml
- [86] J.R. Contreras, "Inversor trifásico alimentado en tensión y regulado en corriente para aplicaciones en el acondicionamiento de un motor de inducción", *Tesis de maestría, CENIDET, Cuernavaca, Morelos, México*, febrero de 1997.
- [87] E. González, "Sistema Fotovoltaico con Mínimo Almacenamiento de energía en el Enlace de CD", *Tesis de maestría, CENIDET, Cuernavaca, Morelos, México*, Agosto 2008.
- [88] R. Ordoñez, "Aspectos Tecnológicos en el Diseño de Inversores Resonantes Aplicados al Calentamiento por Inducción", *Tesis de maestría, CENIDET, Cuernavaca, Morelos, México*, Diciembre 1998.
- [89] M. Jamil, "Carrier-based modulation strategies for a neutral point Clamped Inverter", *International Journal of Electronics*, No.12, Vol.95, pp.1293-1303, 2008.
- [90] S. M., Dehghan, M. Mohamadian and R. Gharekhani, "Analysis And Carrier-Based Modulation Of Z-Source NPC Inverters", *International Journal of Electronics*, No.8, Vol.99, pp.1075-1099, August 2012.
- [91] L. Hassaine, "Implementación de un control Digital de potencia Activa y Reactiva para Inversores. Aplicación a Sistemas Fotovoltaicos Conectados a Red", *Tesis Doctoral, Departamento de Tecnología Electrónica, Leganés*, pp. 67-68, 2010.
- [92] C. Cecati, A. Dell' Aquila, and M. Liserre, "A Novel Three-Phase Single-Stage Distributed Power Inverter", *IEEE Power Electron.*, Vol. 19, No. 5, pp. 1226-1233, Sep., 2004.
- [93] F. Z. Peng, A. Joseph, J. Wang, M. Shen, L. Chen, Z. Pan, E. Ortiz-Rivera, Y. Huang, "Z-Source Inverter for Motor Drives", *IEEE Trans. Power Electron.*, Vol. 20, No. 4, pp. 857-863, Jul., 2005.
- [94] Z. J. Zhou, X. Zhang, P. Xu, and W. X. Shen, "Single-Phase Uninterruptible Power Supply Based on Z-Source Inverter", *IEEE Trans. Ind. Electron.*, Vol. 55, No. 8, pp. 2997-3004, Aug., 2008.

- [95] Y. Huang, M. Shen, F. Z. Peng, and J. Wang, “Z-Source Inverter for Residential Photovoltaic Systems”, *IEEE Trans. Power Electron.*, Vol. 21, No. 6, pp. 1776–1782, Nov., 2006.
- [96] J. C. Rosas-Caro, F. Z. Peng, H. Ch, and C. Rogers “Z-Source Converter Based Energy-Recycling Zero-Voltage electronic Loads”, *IEEE Trans. Ind. Electron.*, Vol. 56, No. 12, pp. 4894–4902, Dec., 2009.
- [97] U. Supatti and F. Z. Peng, “Z-Source Inverter Based Wind Power Generation System”, in *Proc. IEEE ICSET*, 2008, pp. 634–638.
- [98] P. C. Loh, F. Gao. And F. Blaabjerg, “Embedded EZ-Source Inverters”, *IEEE Trans. Ind. Appl.*, Vol. 46, No. 1, pp. 256-267, Jan/Feb., 2010.
- [99] H. Xu, Z. Peng, L. Chen, and X. Wen, “Analysis and Design of Bidirectional Z-Source Inverter for Electrical Vehicles”, in *Proc. APEC*, 2008, pp. 1252–1257.
- [100] S. Rajakaruna and B. Zhang, “Designing and Control of Bidirectional Z-Source Inverter”, in *Proc. AUPEC*, 2009, pp. 1-6.
- [101] X. Ding, Z. Qian, S. Yang, B. Cui, and F. Z. Peng, “A High-Performance Z-Source Inverter Operating With Small Inductor at Wide-Range Load”, in *Proc. IEEE APEC*, 2007, pp. 615-620.
- [102] S. Yang, X. Ding, F. Zhang, F. Z. Peng, and Z. Qian “Unified Control Technique for Z-Source Inverter”, in *Proc. Power Electron., Spec. Conf.*, 2008, pp. 3236-3242.
- [103] R. Teichmann and S. Bernet, “A Comparison of Three-Level Converters Versus Two-Level Converters for Low-Voltage Drives, Traction and Utility Applications,” *IEEE Trans. Ind. Appl.*, Vol. 41, No. 3, pp. 855–865, May/Jun., 2005.
- [104] F. Z. Peng, M. Shen, and K. Holland, “Application of Z-Source Inverter for Traction Drive of Fuel Cell-Battery Hybrid Electric Vehicles”, *IEEE Trans. Power Electron.*, Vol. 22, No. 3, pp. 1054–1061, May., 2007.
- [105] M. Shen, A. Joseph, J. Wang, F. Z. Peng, and D. J. Adams, “Comparison of Traditional Inverters and Z-Source Inverter for Fuel Cell Vehicles”, *IEEE Trans. Power Electron.*, Vol. 22, No. 4, pp. 1453–1463, Jul., 2007.
- [106] Alarcón, G. I., “Filtro Activo Serie Trifásico Para Compensación de Armónicos de Tensión”, Tesis de maestría, Cenidet, México, Julio 2000, pp. 4 -12.
- [107] L. M. Tolbert, F.Z. Peng y T. G. Habetler, “Multilevel PWM Methods at Low Modulation Index,” *IEEE Transactions on Power Electronics*, Vol. 15, No. 4, Págs. 719-725, Jul. 2000.
- [108] J. H. Seo. C. H. Choi y D.S. Hyun. “A New Simplified Space-Vector PWM Method for Three-Level- Inverters,” *IEEE Transactions on Power Electronics*, Vol. 16, No. 4, julio de 2001, Págs. 545-550.
- [109] A. Suresh Kumar, G Mahanandeswara Gowd, “Simple Boost Control of Five-Level Z-Source Diode Clamped Inverter by Multicarrier PWM Methods”, *International Journal of Engineering Research and Application (IJERA)*, ISSN: 2245-9622, Vol. 3, Issue 4, Jul/Aug 2013.
- [110] F. Gao, P.C Loh, F. Blaabjerg, R. Teodorescu, Vilathgamuwa, D.M. “Five-level Z-source diode-clamped inverter” *Power Electronics, IET*, vol. 3, pp. 500 – 510,2010.
- [111] M. Nasiril, G. B. Gharehpetian1 and J. Milimonfared “Comparison of Multicarrier PWM Strategies for Five-level Z-Source Diode-Clamped Inverter.” *International Conference on Renewable Energies and Power Quality (ICREPQ’12)*
- [112] P. C. Loh; F. Gao; F. Blaabjerg, C. Charmaine, J. Soon, “Pulse Width-Modulated Z-Source Neutral-Point-Clamped Inverter,” *Industry Applications, IEEE Transactions on*, vol. 43, pp. 1295-1308, 2007.
- [113] D. Li; F. Gao; P. C. Loh; M. Zhu, F. Blaabjerg, “Cascaded Impedance Networks for NPC Inverter”, *IPEC*, 2010 Conference Proceedings, pp. 1176- 1180, 2010.

- [114] P. C. Loh, F. Blaabjerg, S. Y. Feng, and K. N. Soon, "Pulse-Width Modulated Z-Source Neutral-Point-Clamped Inverter", in proc. IEEE APEC'06, 2006, pp.431-437
- [115] P. C. Loh, F. Blaabjerg, and C. P. Wong, "Comparative Evaluation of Pulse-Width Modulation Strategies For Z-Source Neutral-Point –Clamped Inverter," in proc. IEEE APEC'06, 2006, pp.431-437
- [116] P. C. Loh, S. W. Lim, F. Gao, and F. Blaabjerg, "Three Level Z-Source Inverters Using A Single LC Impedance Network," IEEE Transactions. Power Electronics, Vol.22, No.2, pp.706-712, 2007.
- [117] F. B. Effah, P. Wheeler, J. Clare, A. Watson, "Space Vector Modulated Three-Level Inverters With a Single Z-source Network," IEEE Transaction Power Electronics, vol.28, no.6, pp. 2806-2815, 2013
- [118] S. M. Dehghan, M. Mohamadian, A. Yazdian and F. Ashrafzadeh, "A Dual Input–Dual-Output Z-Source Inverter", IEEE Transactions On Power Electronics, Vo l. 25, No. 2, pp. 360-368, 2010.

Anexo A

Anexo A: Publicaciones



SAN ANTONIO, TX
INFO@ACADEMIAJOURNALS.COM
ACADEMIAJOURNALS.COM

14 agosto 2018

AUTORES: Ing. Miguel Ángel Rodríguez Rodríguez
Dr. Rafael Ordoñez Flores
Dr. Roberto Morales Caporal
Dr. Jesús Aguayo Alquicira

ARTÍCULO: GANANCIA DE VOLTAJE DE UN INVERSOR MULTINIVEL NPC FUENTE-Z CON CONTROL DE ELEVACIÓN SIMPLE

ARTÍCULO Núm: Tux087

Estimados autores,

Con agrado les informamos que, con fecha de hoy, el artículo arriba citado ha sido aprobado para su presentación en el Congreso Internacional de Investigación Academia Journals Tuxpan 2018. El congreso tendrá lugar los días 25 al 27 de septiembre del año 2018, en Tuxpan, Veracruz, México.

El artículo será incluido en las publicaciones del congreso, que incluyen modalidades ISSN e ISBN. Le recordamos que la política del congreso es que para recibir su reconocimiento e incluir su artículo en las publicaciones, es necesario presentar el mismo en el congreso. Le rogamos que utilice su número de artículo en toda correspondencia con Academia Journals.

Saludos cordiales.



Dr. Rafael Moras, P.E.
Editor
Academia Journals
Info@academiajournals.com

Anexo A: Publicaciones

2/9/2018

RevistaIEEE-AL - Revista IEEE América Latina



Revista IEEE América Latina

Based on OpenConf Conference Management System. See Copyright notice at the bottom of the page.

[Site's Home](#) [Email Chair](#)

[Information for IEEE Transactions Authors](#)

Estado do artigo

Paper ID: 6175

Title: Simple Boost Control-Phase Disposition PWM Programed into FPGA for a Z-Source Multilevel Inverter

Submission data: 2018-02-12

Last update:

Authors: Miguel Ángel Rodriguez
Rafael Ordoñez
Jesús Aguayo
Leonardo Francisco Olan

Paper in Review.

Reviewer ID:	Reviewer assign:	Recommendation:	Editor Comments:	Editor Decision:
831	2018-05-07	Accept	No comments	Awaiting
1315	2018-05-07	Modify		

Powered by [OpenConf](#)
Copyright ©2001-2004 [Zakon Group LLC](#)

Anexo B

Anexo B: Carta de Liberación y Constancia de Satisfacción de Estancia en CENIDET



TECNOLÓGICO NACIONAL DE MÉXICO
Centro Nacional de Investigación y Desarrollo Tecnológico

Cuernavaca Mor., 10/enero/2018
OFICIO No. DIR/0022/2018
Asunto: Carta de Liberación

MTR. FELIPE PASCUAL ROSARIO AGUIRRE
DIRECTOR DEL INSTITUTO TECNOLÓGICO DE APIZACO
PRESENTE

La presente lleva el fin de informarle que el estudiante **Miguel Ángel Rodríguez Rodríguez**, con número de **control M09370531**, de la carrera de **Maestría en Ingeniería Mecatrónica**, de esa institución a su digno cargo, **realizó una Estancia académica de Investigación** en nuestro centro de acuerdo a nuestra normatividad vigente, en el **Departamento de Ingeniería Electrónica** con el asesoramiento del **Dr. Jesús Aguayo Alquicira**, en el proyecto **"Diseño e implementación de un inversor fuente Z-Multinivel para conversión CD-CA en energías renovables"** en un periodo comprendido del **01 de julio de 2017 al 31 de diciembre de 2017**, cubriendo un total de **500 horas**.

Sin otro particular quedo de usted.

ATENTAMENTE
"CONOCIMIENTO Y TECNOLOGÍA AL SERVICIO DE MÉXICO"

DR. VÍCTOR HUGO OLIVARES PEREGRINO
DIRECTOR.



S.E.P. - TecNM
CENTRO NACIONAL
DE INVESTIGACIÓN
Y DESARROLLO
TECNOLÓGICO
DIRECCIÓN

c.c.p. Dr. Jesús Aguayo Alquicira.- Departamento de Ingeniería Electrónica
c.c.p. Archivo.- Departamento de Gestión Tecnológica y Vinculación

VHOP/sss/rsp/necch



Interior Internado Palmira S/N, Col. Palmira, C.P. 62490, Cuernavaca, Mor.
Tels. (01) 777 362-77-70 Ext. 4106, e-mail: direccion@cenidet.edu.mx
www.cenidet.edu.mx



Anexo B: Carta de Liberación y Constancia de Satisfacción de Estancia en CENIDET



TECNOLÓGICO NACIONAL DE MÉXICO
Centro Nacional de Investigación y Desarrollo
Tecnológico

Cuernavaca, Mor., a 08 de enero de 2018

Asunto: Constancia de Satisfacción de Estancia.

MTRO. FELIPE PASCUAL ROSARIO AGUIRRE
DIRECTOR DEL INSTITUTO TECNOLÓGICO
DE APIZACO
PRESENTE

AT'N: DR. JOSÉ FEDERICO CASCO VÁSQUEZ
JEFE DE LA DIVISIÓN DE ESTUDIOS DE POSGRADO

Por medio de la presente le envié un cordial saludo y aprovecho para hacerle CONSTAR que posterior a la recepción del reporte del proyecto: **“Diseño e Implementación de un Inversor Fuente Z-Multinivel para Conversión CD-CA en Energías Renovables”**, realizado por el Ing. Miguel Ángel Rodríguez Rodríguez con número de control M09370531 y dirigido por el Dr. Rafael Ordoñez Flores, alumno y catedrático respectivamente de la Maestría en Ingeniería Mecatrónica, de la Institución que usted destacadamente dirige, **cumple y satisface las expectativas planteadas al inicio de la fase de este proyecto.**

Tenemos bien a dar constancia de que dicho trabajo fue realizado por el Ing. Miguel Ángel Rodríguez Rodríguez.

Agradeciendo sus atenciones a la presente, quedan a sus órdenes.

ATENTAMENTE

“Conocimiento y Tecnología al servicio de México”


Dr. Jesús Aguayo Alquicira. Profesor-Investigador del Departamento de Ingeniería Electrónica CENIDET.


Dr. Ricardo Fabricio Escobar Jiménez. Jefe del Departamento de Ingeniería Electrónica CENIDET.



Interior Internado Palmira S/N, Col. Palmira, C.P. 62490, Cuernavaca, Mor.
Tels. (01)777 362-77-70 EXT. 4106, e-mail: dir_cenidet@tecnm.mx
www.cenidet.edu.mx

