

Centro Nacional de Investigación y Desarrollo Tecnológico

Subdirección Académica

Departamento de Ingeniería Electrónica

TESIS DE MAESTRÍA EN CIENCIAS

**Convertidor CD/CD de Capacitores Conmutados tipo Fibonacci para
Cosecha de Energía a Potencias Reducidas**

presentada por
Ing. Genaro Jacinto Ixmatlahua Martínez

como requisito para la obtención del grado de
Maestro en Ciencias en Ingeniería Electrónica

Director de tesis
Dr. Jorge Hugo Calleja Gjumlich

Codirector de tesis
Dr. Carlos Aguilar Castillo

Cuernavaca, Morelos, México. Junio de 2017.



"Año del Centenario de la Promulgación de la Constitución Política de los Estados Unidos Mexicanos"

Cuernavaca, Mor., 26 de mayo de 2017.

OFICIO No. DIE/046/2017
Asunto: Aceptación de documento de tesis

DR. GERARDO VICENTE GUERRERO RAMÍREZ
SUBDIRECTOR ACADÉMICO
PRESENTE

Por este conducto, los integrantes de Comité Tutorial del **C. Genaro Jacinto Ixmattlahua Martínez** con número de control **M13CE075** de la Maestría en Ciencias en Ingeniería Electrónica, le informamos que hemos revisado el trabajo de tesis profesional titulado "**CONVERTIDOR CD/CD DE CAPACITORES CONMUTADOS TIPO FIBONACCI PARA COSECHA DE ENERGÍA A POTENCIAS REDUCIDAS**" y hemos encontrado que se han realizado todas las correcciones y observaciones que se le indicaron, por lo que hemos acordado aceptar el documento de tesis y le solicitamos la autorización de impresión definitiva.

DIRECTOR DE TESIS

Dr. Jorge Hugo Calleja Gjumlich
Doctor en Ciencias en Ingeniería Electrónica
Cédula profesional 4033213

CODIRECTOR DE TESIS

Dr. Carlos Aguilar Castillo
Doctor en Ciencias en Ingeniería Electrónica
Cédula profesional 3581040

REVISOR 1

Dr. Mario Ponce Silva
Doctor en Ciencias en Ingeniería Electrónica
profesional 3516427

REVISOR 2

Dr. Víctor Hugo Olivares Peregrino
Doctor en Ciencias en Ingeniería Electrónica
Cédula profesional 5999002

C.p. M.T.I. María Elena Gómez Torres- Jefa del Departamento de Servicios Escolares

Estudiante
Expediente
RFEJ/lrr.

SEP CENTRO NACIONAL DE INVESTIGACION
Y DESARROLLO TECNOLÓGICO



SEP

SECRETARÍA DE
EDUCACIÓN PÚBLICA



TECNOLÓGICO NACIONAL DE MÉXICO
Centro Nacional de Investigación y Desarrollo Tecnológico

"Año del Centenario de la Promulgación de la Constitución Política de los Estados Unidos Mexicanos"

Cuernavaca, Mor., 29 de mayo de 2017

OFICIO No. SAC/198/2017

Asunto: Autorización de impresión de tesis

ING. GENARO JACINTO IXMATLAHUA MARTÍNEZ
CANDIDATO AL GRADO DE MAESTRO EN CIENCIAS
EN INGENIERÍA ELECTRÓNICA
P R E S E N T E

Por este conducto, tengo el agrado de comunicarle que el Comité Tutorial asignado a su trabajo de tesis titulado "**CONVERTIDOR CD/CD DE CAPACITORES CONMUTADOS TIPO FIBONACCI PARA COSECHA DE ENERGÍA A POTENCIAS REDUCIDAS**", ha informado a esta Subdirección Académica, que están de acuerdo con el trabajo presentado. Por lo anterior, se le autoriza a que proceda con la impresión definitiva de su trabajo de tesis.

Esperando que el logro del mismo sea acorde con sus aspiraciones profesionales, reciba un cordial saludo.

ATENTAMENTE

"CONOCIMIENTO Y TECNOLOGIA AL SERVICIO DE MEXICO"

DR. GERARDO VICENTE GUERRERO RAMÍREZ
SUBDIRECTOR ACADÉMICO



SEP TecNM
CENTRO NACIONAL
DE INVESTIGACIÓN
Y DESARROLLO
TECNOLÓGICO
SUBDIRECCIÓN
ACADÉMICA

C.p. M.T.I. María Elena Gómez Torres- Jefa del Departamento de Servicios Escolares.
Expediente

GVGR/mcr



Interior Internado Palmira S/N, Col. Palmira, C.P. 62490, Cuernavaca, Mor.
Tels. (01) 777 362-77-70 Ext. 4106, e-mail: direccion@cenidet.edu.mx
www.cenidet.edu.mx



Dedicatoria

A Dios, por ser mi guía y fortaleza en cada etapa de mi vida.

A mi madre Cirila Modesta Ixmatlahua Ixmatlahua, por su amor y por su apoyo incondicional en todo momento.

“Dad gracias en todo, porque esta es la voluntad de Dios para con vosotros en Cristo Jesús.”(1 Tesalonicenses 5:18).

Agradecimientos

A mi asesor el Dr. Jorge Hugo Calleja Gjumlich y co-asesor el Dr. Carlos Aguilar Castillo, por su tiempo, paciencia y conocimientos aportados durante el desarrollo de este trabajo.

A mis revisores el Dr. Mario Ponce Silva, el Dr. Marco Antonio Oliver Salazar y el Dr. Víctor Hugo Olivares Peregrino por sus valiosos consejos y orientación.

A Berenice, por tu gran apoyo, confianza y por todas esas palabras de aliento que me han ayudado a culminar este trabajo. ¡Gracias por todo!

A mis compañeros de generación y amigos del CENIDET, por su amistad durante este ciclo de mi vida.

A mis amigos, Luis Alberto Muñoz, Paola Abrego, Rita Ávila, Alberto Vidal, Isai Moreno, Víctor López, Cesia Ojeda, Roger Cundapí, Jonathan y Alondra Morellano, Emmanuel e Israel Martínez, Susana Gámez, Natalia, Humberto Jiménez Grajales, Flor Sevilla, al pastor Noé San Martín y su esposa, a la familia Rodríguez Castro y a la familia Espíndola Ramírez por todo el apoyo brindado y por su gran amistad.

A Lorena Ruíz e Irma Bustamante, por su valioso apoyo en el proceso de titulación.

Al Consejo Nacional de Ciencia y Tecnología (CONACYT) por el apoyo económico proporcionado para la realización de esta tesis.

Al Tecnológico Nacional de México (TecNM), por ser parte del compromiso de la educación de calidad en México.

Al Centro Nacional De Investigación y Desarrollo Tecnológico (CENIDET) por la oportunidad de realizar mis estudios de posgrado.

Resumen

Los convertidores con la tecnología de capacitores conmutados (SC) de CD/CD, han tenido un interés cada vez mayor de investigación debido a sus características distintivas, una de las ventajas que presentan es que pueden ser integradas en chip, debido a que no requieren componentes magnéticos puesto que están diseñadas solo con capacitores e interruptores (mosfet) y por ende su volumen puede reducirse en gran medida.

El uso de estas topologías está enfocado en aplicaciones donde se emplea baja potencia. Por tal motivo pueden ser empleados en aplicaciones de recolección de energía a bajas potencias siendo el convertidor de SC quien administre la energía recolectada y así poder energizar dispositivos que consuman bajas potencias, de esta forma sustituir baterías recargables o intercambiables. Como resultado de los esfuerzos de investigación de este tipo de tecnología, muchas topologías de SC se han desarrollado, cada una con características diferentes buscando que la estructura del convertidor no afecte tanto en la eficiencia y se obtengan mayores ganancias en el convertidor.

En este trabajo de tesis, se realiza una investigación del estado de arte sobre las topologías con SC, para conocer las principales características que presentan y bajo qué condiciones operan. Se lleva a cabo un análisis al convertidor Fibonacci, y posteriormente se realiza un prototipo de la topología, se realizan pruebas de esfuerzos de conmutación en los mosfet y se evalúa la eficiencia del convertidor con una carga idónea para las especificaciones que presenta el prototipo.

En el capítulo uno se describe el planteamiento del problema, los objetivos, la justificación y la pertinencia. En el capítulo dos se describen de forma general la manera en la que operan los convertidores SC. En el capítulo tres se plantea una metodología para analizar una topología en particular y se muestra la implementación. En el capítulo cuatro se presentan los resultados obtenidos del convertidor implementado y en el capítulo cinco se describen las conclusiones y trabajos futuros.

Abstract

The converters with capacitors commutated technology (SC) of CD/CD, have had an increasing research interest due to its distinctive features, an advantage is presented that can be integrated on chip, due to magnetic components not being required since magnetic components are designed only with capacitors and switches (mosfet) and therefore its volume can be greatly reduced.

The use of these topologies is focused on applications where low power is used. Therefore, they can be used in energy collection applications at low power being the SC converter who manages the collected energy so we can energize low power consuming devices, thus replacing rechargeable or exchangeable batteries. As a result of the research efforts of this type of technology, many SC topologies have been developed, each with different characteristics ensuring that the structure converter does not affect both the efficiency and higher gaining are obtained in the converter.

In this thesis, a state of the art investigation is made into the topologies with SC, to know the main characteristics they present, and under what conditions they operate. An analysis is carried out on the Fibonacci converter, and subsequently a prototype topology is performed, realizing efforts (strain) test in the commutation mosfet and converter efficiency is evaluated with a suitable load to the specifications the prototype presents.

Chapter one describes the problem approach, objectives, justification and relevance. Chapter two describes in general the way in which the SC converters operate. In chapter three a methodology is proposed to analyze a particular topology and the implementation is shown. Chapter four presents the results obtained from the implemented converter and chapter five describes the conclusions and future work.

Contenido

Lista de figuras	IV
Lista de tablas	VI
Simbología	VII
Nomenclatura.....	IX
CAPÍTULO 1	1
Introducción	1
1.1 Planteamiento del problema.....	2
1.2 Propuesta de solución	4
1.3 Objetivos	4
1.3.1 Objetivo general	4
1.3.2 Objetivos específicos	5
1.4 Justificación	5
1.5 Pertinencia	5
CAPÍTULO 2	6
Marco conceptual	6
2.1 Convertidores CD/CD de capacitores conmutados	6
2.2 Modelo equivalente de los convertidores de capacitores conmutados	7
2.3 Topologías de convertidores con capacitores conmutados.....	8
2.3.1 Topología Dickson	8
2.3.2 Topología Dobladora.....	10
2.3.3 Topología Escalera	11
2.3.4 Topología Fibonacci.....	12
2.3.5 Topología Serie-Paralelo	14
2.4 Señales de control PWM para conmutar los SCC	16
2.5 Simulación de las topologías de SCC.....	17
2.5.1 Número de etapas y sus respectivas ganancias de los SCC.....	17

2.5.2 Simulación de topologías SCC con una ganancia $M = 2$	18
2.5.3 Simulación de topologías de SC a una ganancia igual a $M = 8$	20
2.6 Convertidores SCC en lazo cerrado para aplicaciones de cosecha de energía	21
2.7 Selección de la topología a implementar y la ganancia	23
2.7.1 Elección de la topología Fibonacci	23
2.7.2 Ganancia del convertidor	24
2.8 Conclusiones	24
CAPÍTULO 3	26
Diseño e implementación	26
3.1 Análisis del convertidor Fibonacci de ganancia 3 ($M = 3$)	26
3.1.1 Análisis de los circuitos equivalentes del convertidor Fibonacci	27
3.1.2 Determinación de valores óptimos para los capacitores	31
3.1.3 Filtrado para establecer los requisitos de C_O en relación con C_1 y C_2	32
3.1.4 Resistencia de carga R_L	33
3.1.5 Metodología del modelo del convertidor Fibonacci en $M = 3$	34
3.2 Etapa de control	35
3.2.1 Especificaciones del control	35
3.2.2 Señales PWM con el circuito integrado UC3825AN	35
3.2.3 Driver IR2110	36
3.2.4 Implementación del circuito integrado UC3825AN y el driver IR22110	37
3.2.5 Señales de control	38
3.3 Implementación del convertidor Fibonacci	39
3.3.1 Selección del mosfet para la implementación del convertidor	39
3.3.2 Diseño y construcción del convertidor Fibonacci	40
3.4 Etapa de control y etapa de potencia	42
3.4.1 Señales PWM de los interruptores	42
3.5 Conclusiones	43
CAPÍTULO 4	45
Resultados	45
4.1 Valores de capacitores y resistencia de carga	45
4.2 Esfuerzos en los mosfet	46

4.2.1 Esfuerzo en el interruptor Q_1	46
4.2.2 Esfuerzo en el interruptor Q_2	47
4.2.3 Esfuerzo en el interruptor Q_3	48
4.2.4 Esfuerzo en el interruptor Q_4	49
4.2.5 Esfuerzo en el interruptor Q_5	50
4.2.6 Esfuerzo en el interruptor Q_6	51
4.2.7 Esfuerzo en el interruptor Q_7	52
4.3 Intensidad y voltaje en los capacitores C_1 , C_2 y C_0	54
4.3.1 Intensidad y caída de voltaje en el capacitor C_1	54
4.3.2 Intensidad y caída de voltaje en el capacitor C_2	55
4.3.3 Intensidad y caída de voltaje en el capacitor C_0	55
4.4 Eficiencia del convertidor	56
4.5 Barrido de frecuencia en la topología Fibonacci	56
4.6 Caracterización del convertidor con diferentes valores de carga R_L	58
CAPÍTULO 5	61
Conclusiones y trabajos futuros	61
5.1 Conclusiones	61
5.2 Trabajos futuros	63
Bibliografía	64
ANEXO A	69
A.1 Forma de operación de la topología Dickson	69
A.2 Forma de operación de la topología Dobladora	70
A.3 Forma de operación de la topología Escalera	70
A.4 Forma de operación de la topología Fibonacci	71
A.5 Forma de operación de la topología Serie-Paralelo	72
ANEXO B	74
B.1 Análisis del convertidor escalera de ganancia 2 ($M = 2$)	74
B.1.1 Señales de control	75
B.1.2 SW1 y SW3 activados	76
B.1.3 SW2 y SW4 activados	77
B.1.4 Voltaje de salida	77

Lista de figuras

Figura 1.1 Circuito de bomba de carga.....	3
Figura 2.1 Modelo equivalente de un convertidor con capacitores conmutados.....	8
Figura 2.2 Topología Dickson.....	8
Figura 2.3 Circuitos equivalentes de la topología Dickson.....	9
Figura 2.4 Topología Dobladora.....	10
Figura 2.5 Circuitos equivalentes de la topología Dobladora.....	10
Figura 2.6 Topología Escalera.....	11
Figura 2.7 Celda básica de la topología Escalera.....	12
Figura 2.8 Topología Fibonacci.....	13
Figura 2.9 Circuitos equivalentes de la Topología Fibonacci.....	13
Figura 2.10 Topología Serie-Paralelo.....	15
Figura 2.11 Circuitos equivalentes de la topología Serie-Paralelo.....	15
Figura 2.12 Señales de control para SCC.....	17
Figura 2.13 Simulación de las topologías Dickson, Dobladora, Escalera, Fibonacci y Serie-Paralelo a una ganancia $M = 2$	19
Figura 2.14 Voltaje de salida de convertidores de SC a una frecuencia de 100 y 200kHz.....	21
Figura 2.15 Lazo de realimentación.....	23
Figura 3.1 Topología Fibonacci de ganancia 3 y sus circuitos equivalentes.....	27
Figura 3.2 Diagrama esquemático del C.I. UC3825AN.....	36
Figura 3.3 Diagrama esquemático del driver IR2110N.....	37
Figura 3.4 Tarjeta electrónica de la implementación del circuito de control.....	38
Figura 3.5 Salidas PWM del control UC3825AN.....	39
Figura 3.6 Esquema de la Topología Fibonacci de ganancia $M = 3$	40
Figura 3.7 Implementación de la Topología Fibonacci.....	41
Figura 3.8 Conexión de la etapa de control con la etapa de potencia.....	42
Figura 3.9 Señales PWM del convertidor tipo Fibonacci.....	43

Figura 4.1 Señales en el tiempo de Q_1	47
Figura 4.2 Señales en el tiempo de Q_2	48
Figura 4.3 Señales en el tiempo de Q_3	49
Figura 4.4 Señales en el tiempo de Q_4	50
Figura 4.5 Señales en el tiempo de Q_5	51
Figura 4.6 Señales en el tiempo de Q_6	52
Figura 4.7 Señales en el tiempo de Q_7	53
Figura 4.8 Voltaje e intensidad en el capacitor C_1	54
Figura 4.9 Voltaje e intensidad en el capacitor C_2	55
Figura 4.10 Voltaje e intensidad en C_0	56
Figura 4.11 Barrido de frecuencias.....	57
Figura 4.12 Resultados prácticos al variar la resistencia de carga R_L	60
Figura A.1 Secuencia de etapas para obtener diferentes ganancias en la Topología Dickson.	69
Figura A.2 Secuencia de etapas para obtener diferentes ganancias en la Topología Dobladora.	70
Figura A.3 Secuencia de etapas para obtener diferentes ganancias en la Topología Escalera.	71
Figura A.4 Secuencia de etapas para obtener diferentes ganancias en la Topología Fibonacci.	72
A.5 Secuencia de etapas para obtener diferentes ganancias en la Topología Serie-Paralelo. ..	73
Figura B.1 Celda básica de la topología Escalera, la ganancia es igual a 2 ($M = 2$).	74
Figura B.2 Circuitos equivalentes de la topología escalera a una ganancia igual a 2.	76

Lista de tablas

Tabla 2.1	Números de Fibonacci para $i \leq 8$	14
Tabla 2.2	Ganancias en topologías Dickson, Dobladora, Escalera, Fibonacci y Serie-Paralelo en sus primeras 8 etapas.	18
Tabla 2.3	Número de capacitores e interruptores para topologías de SC a una ganancia $M = 2$	20
Tabla 2.4	Número de capacitores e interruptores para topologías de SC a una ganancia $M = 8$	20
Tabla 2.5	Características de un panel solar	24
Tabla 3.1	Pasos de la metodología propuesta.....	34
Tabla 3.2	Selección de mosfet en empaque SO-8.	40
Tabla 4.1	Valores reales de los capacitores y resistencia de carga que conforman al convertidor Fibonacci.....	46
Tabla 4.2	Esfuerzo en cada dispositivo mosfet.....	53
Tabla 4.3	Resultados prácticos de la potencia de entrada y salida	56
Tabla 4.4	Valores de corriente al variar la frecuencia de operación.....	57
Tabla 4.5	Resultados experimentales al variar la resistencia de carga (R_L), del convertidor Fibonacci de ganancia 3.....	58

Simbología

C_n	Capacitor n
f	Frecuencia
$F1$	Fase 1
$F2$	Fase 2
F_i	Sucesión de Fibonacci
g_m	Amplificador de transconductancia
i_{cn}	Corriente en el tiempo de los capacitores
I_D	Corriente de drenaje
I_{DS}	Corriente de drenaje a fuente
I_{in}	Corriente de entrada
$I_{m\acute{a}x}$	Corriente máxima
i_{Qn}	Corriente en el tiempo de Q_n
I_O	Corriente de salida
M	Ganancia
N_{cap}	Número de capacitores
N_E	Número de etapas
N_{OP}	Número de etapas óptimo
N_Q	Número de interruptores
P_{in}	Potencia de entrada
$P_{m\acute{a}x}$	Potencia Máxima
P_O	Potencia de salida
p_{Qn}	Esfuerzo en el MOSFET Q_n
Q_n	Mosfet del convertidor Fibonacci de ganancia 3
$R_{DS(ON)}$	Resistencia de drenaje a fuente durante el tiempo de encendido
R_{eq}	La resistencia equivalente es la agregada de todas las pérdidas en las resistencias parasitas en un mosfet
ESR	Resistencia serie equivalente del capacitor

R_L	Resistencia de carga del convertidor Fibonacci de ganancia 3
s	Segundos
T_m	Tiempo muerto
V_{DS}	Voltaje de drenaje a fuente de los mosfet
V_{in}	Voltaje de entrada del convertidor Fibonacci de ganancia 3
$V_{m\acute{a}x}$	Voltaje de entrada del convertidor
V_{ref}	Voltaje de referencia
V_O	Voltaje de salida
V_{cn}	Voltaje en los capacitores
$V_{O(F1)}$	Voltaje de salida para el primer semiciclo
$V_{O(F2)}$	Voltaje de salida para el segundo semiciclo
v_{Qn}	Voltaje en el tiempo en Q_n
V_{GS}	Voltaje de compuerta a fuente de los mosfet
V_r	Voltaje de rizo
η	Eficiencia en t\u00e9rminos de potencia
η_V	Eficiencia en voltaje
ΔQ	Carga

Nomenclatura

CCO	Oscilador Controlado por Corriente
CD	Corriente directa
CENIDET	Centro Nacional de Investigación y Desarrollo Tecnológico
CMOS	Semiconductor Complementario de Óxido Metálico
MOSFET	Transistor de efecto de campo
PCB	Plaqueta de Circuito Impreso
PWM	Modulación por ancho de pulso
SC	Capacitores Conmutados
SCC	Convertidores de Capacitores conmutados
SCPC	Convertidor de potencia con capacitores conmutados
SEV	Sistema de Estructura Variable
SMD	Dispositivo de Montaje Superficial

CAPÍTULO 1

Introducción

El término “cosecha de energía” se refiere a la recuperación de la energía residual de un proceso, la cual usualmente se disipa sin desarrollar trabajo útil; se refiere también al proceso de extracción de una pequeña cantidad de energía a partir del entorno ambiental. La cosecha de energía se ha convertido en una opción viable y prometedora para la alimentación de sistemas de bajo consumo [1], [2], [3].

La cosecha de energía es, en la actualidad, un tema relevante debido a la reducción en las dimensiones de los componentes electrónicos, lo que se refleja en la disminución de los requerimientos de potencia, hasta llegar a escalas de miliwatts [4]. De esta manera, las técnicas de recolección de energía y su aprovechamiento son mucho más atractivas.

Se han propuesto distintas maneras de cosechar energía a pequeñas escalas. En primer lugar, un sistema cosechador de energía involucra una fuente de energía (vibración, calor, luz, flujo de aire, etc.) seguida de un convertidor de energía, como un elemento piezoeléctrico o una celda solar, que pueda transformar la energía capturada a energía eléctrica [5], [6], [7]. Como segunda etapa se emplea un convertidor electrónico de potencia, el que acondiciona la

energía de forma que pueda aprovecharlas algún aparato o proceso. Lo que se pretende es que esta etapa sea lo más eficiente posible; en este sentido, el reto que se enfrenta en el diseño del convertidor es que éste incorpora componentes que, a su vez, pueden consumir una cantidad significativa de energía.

Además, interviene también el problema del tamaño de algunos componentes, como es el caso de los inductores. Es por tanto deseable emplear configuraciones que permitan minimizar el consumo de energía en el convertidor sin recurrir a elementos magnéticos. Una de las alternativas se basa en el empleo de capacitores conmutados.

1.1 Planteamiento del problema.

En el desarrollo de sistemas para cosechar energías a bajas escalas, el elemento más complicado e importante es el convertidor que se emplea; Los convertidores suelen ser poco eficientes debido a las características de los componentes que lo forman. Una segunda dificultad es que, cuando se utilizan elementos magnéticos, el volumen del convertidor es mayor. En la cosecha de energía también se busca tener una salida acorde a la aplicación, lo cual generalmente implica aumentar la tensión de salida con respecto a la entrada del cosechador.

La ganancia de la configuración es entonces un parámetro relevante, el cual se puede expresar como el número de etapas óptimo de la configuración N_{OP} , en función del cociente entre la tensión de salida V_O y la tensión de entrada V_{in} .

Para una configuración particular, en la literatura se reportan las siguientes tres expresiones en [8], [9], [10]. Donde cada Convertidor de potencia de capacitores conmutados (SCPC) es una variante, tal y como se muestra en la figura 1.1, donde la expresión (1.1) es para un circuito como el que se muestra en la figura 1.1a, mientras que la expresión 1.2 se aplica a una configuración como la que se presenta en la figura 1.1b. Mientras que la expresión 1.3 es una aproximación de (1.1) y (1.2).

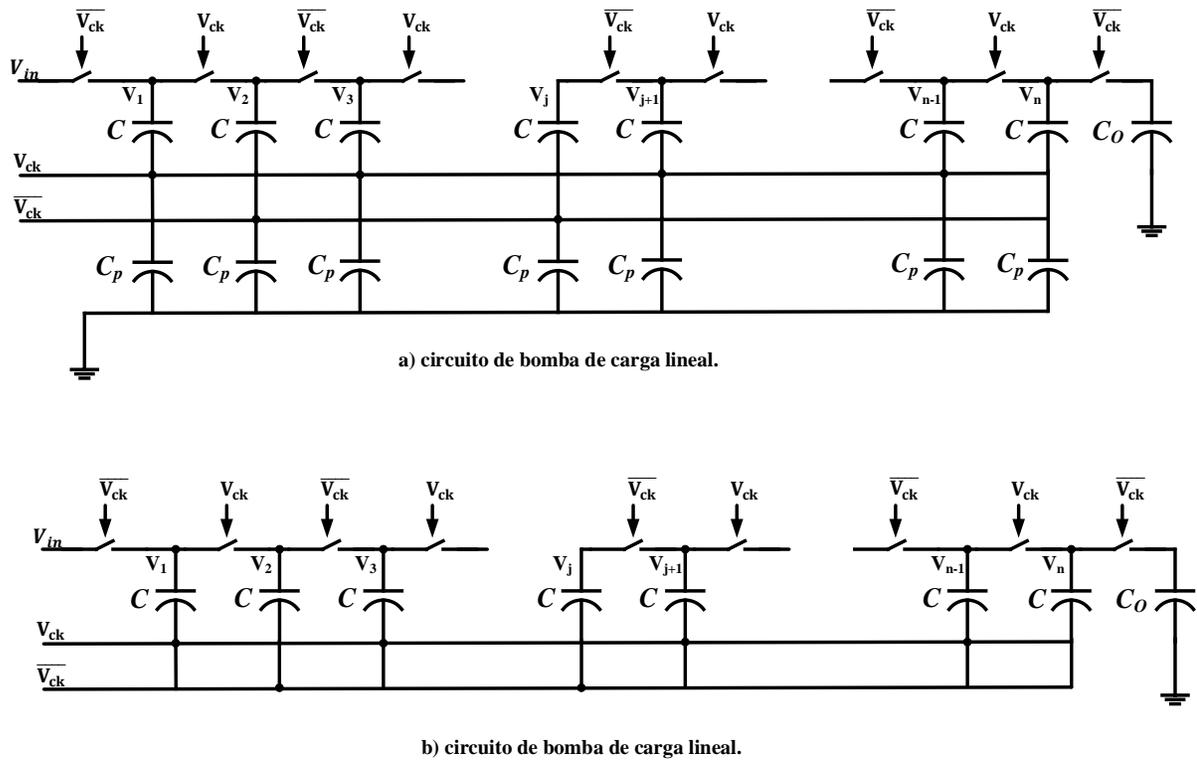


Figura 1.1 Circuito de bomba de carga.

$$N_{OP} = \left(1 + \sqrt{\frac{\alpha}{1 + \alpha}}\right) \left(\frac{V_O}{V_{in}} - 1\right) \quad (1.1)$$

$$N_{OP} = \left(\frac{1 + 4\alpha}{1 + 3\alpha}\right) \left(\frac{V_O}{V_{in}} - 1\right) \quad (1.2)$$

$$N_{OP} = \left(\frac{V_O}{V_{in}} - 1\right) \quad (1.3)$$

donde α es un parámetro que depende de la capacidad parasita de los condensadores que intervienen en la construcción. Lo anterior pone de manifiesto la dificultad que existe para implementar un convertidor de una configuración particular, utilizando la información disponible en la literatura técnica.

1.2 Propuesta de solución.

La solución se enfoca a la búsqueda de alternativas eficientes para cosechar energía a partir de fuentes de baja potencia, y con capacidad de elevar la tensión de entrada. Una de las técnicas que se ha explorado es la basada en capacitores conmutados [11]. Las ventajas que ofrece son una reducción de pérdidas, ausencia de elementos magnéticos, y capacidad de fabricarse a nivel de circuito integrado.

Como inconveniente está el hecho de que no se ha identificado una configuración dominante, cuyas características sean claramente superiores a las otras propuestas. Se pretende entonces identificar una configuración adecuada que eleve el voltaje de entrada del cosechador y, simultáneamente, ofrezca eficiencias elevadas. Para ello, se seguirá la siguiente metodología.

- Analizar las propuestas reportadas en la literatura técnica, valorando la completitud de los métodos de diseño que se propongan.
- Simular el comportamiento de los convertidores identificados, planteando una aplicación tipo.
- A partir de los resultados de las simulaciones, elegir la configuración que exhiba el mejor comportamiento en la aplicación tipo.
- Construir un prototipo para verificar de manera experimental el comportamiento de la configuración que se haya seleccionado. Los resultados permitirán identificar las correcciones y modificaciones que permitan maximizar la eficiencia.

1.3 Objetivos.

1.3.1 Objetivo general.

Cosechar energía mediante un sistema que permita obtener una salida de voltaje constante hacia un elemento de almacenamiento de energía, utilizando un convertidor basado en la técnica de capacitores conmutados.

1.3.2 Objetivos específicos.

- Explorar las diferentes alternativas para cosecha de energía a partir de fuentes de baja potencia, aplicando convertidores CD-CD con capacitores conmutados.

1.4 Justificación.

La cosecha de energía ha cobrado relevancia en los últimos tiempos ya que, en algunos casos, permite sustituir las baterías que usualmente se utilizan para alimentar dispositivos que consuman poca potencia (a niveles que van desde los μW hasta los mW). Estas características son muy atractivas en aplicaciones en las cuales resulta complicado, o muy caro, el cambio de baterías.

1.5 Pertinencia.

Existen aparatos electrónicos que demandan bajos niveles de potencia, instalados en sitios a los que no llega la red eléctrica convencional; como ejemplos típicos están las aplicaciones de telemetría meteorológica. Una alternativa viable para energizar estos aparatos, sin recurrir a baterías, es implementando la cosecha de energía. En el CENIDET se cultiva la especialidad de Electrónica de Potencia, e interesa incursionar en la tecnología de convertidores CD/CD del tipo con capacitores conmutados, para identificar sus ventajas y limitaciones. Por ello en esta investigación se muestran las topologías más frecuentes y sus características generales por su relación de conversión de voltaje CD/CD, y se implementa un prototipo discreto como medio para realizar pruebas de funcionamiento.

1.6 Alcances.

La técnica de capacitores conmutados se desarrolló para aprovechar las características de la tecnología CMOS, usada para construir circuitos integrados. En el presente trabajo de tesis, la configuración que se seleccione se implementará de manera discreta; el enfoque principal será hacia las pérdidas en los interruptores.

CAPÍTULO 2

Marco conceptual

El contenido en este capítulo se estructura en tres partes. En la primera sección se da una breve explicación general de los convertidores con capacitores conmutados. En la segunda sección se describe la revisión del estado del arte de los convertidores CD/CD de capacitores conmutados, con sus características principales. La tercera sección se dedica a la selección de topologías de prueba para que, a través de simulaciones, se comparen sus comportamientos de eficiencia bajo las mismas condiciones de operación. Esto tiene como finalidad seleccionar la topología más adecuada para el estudio a desarrollar en este trabajo de tesis.

2.1 Convertidores CD/CD de capacitores conmutados.

Los convertidores electrónicos son indispensables para adaptar a la carga la energía que se coseche desde una fuente. Un requisito esencial que deben satisfacer es el garantizar una buena eficiencia en el proceso de acondicionamiento y transferencia de la energía.

La tendencia en la fabricación de dispositivos electrónicos de dimensiones cada vez más reducidas ha empujado a la industria de la electrónica de potencia al desarrollo de

convertidores sin inductores ni transformadores [12]. Estos, de hecho, son los elementos que impactan en mayor medida en el peso y las dimensiones de las etapas de potencia. El empleo de configuraciones que sólo incluyan capacitores e interruptores ha llevado al desarrollo de los convertidores con capacitores conmutados (SCC), los que se caracterizan por su pequeño tamaño, bajo peso y alta densidad de potencia.

Los convertidores CD/CD de capacitores conmutados se identifican como un sistema de estructura variable (SEV). El funcionamiento de un SEV se caracteriza por el cambio repetitivo en la estructura del circuito. En contraste con los convertidores inductivos, los convertidores capacitivos utilizan sólo conmutadores y condensadores para la transferencia de carga entre la entrada y la salida.

Una característica general de los SCC es que sus capacitores se encuentran flotados dentro de la estructura del convertidor y que cuentan con un capacitor de salida con referencia a tierra. Los capacitores flotados son los que se encargan de realizar la transferencia de carga hacia la salida del convertidor. El capacitor de salida no participa en la transferencia y únicamente recibe la carga que transfieren los capacitores flotados.

2.2 Modelo equivalente de los convertidores de capacitores conmutados.

Los SCC van ganando popularidad, tanto en forma integrada [13], [14] como en circuitos discretos [15], [16]. De acuerdo a la figura 2.1, un modelo de régimen permanente típico de un convertidor SC incluye un transformador ideal [17], [18], con una relación de vueltas gobernada por la topología, seguida de una resistencia equivalente (R_{eq}) en serie.

La resistencia equivalente es la suma de todas las pérdidas en las resistencias parasitas: la resistencia de drenaje a fuente $R_{DS(ON)}$ en estado de encendido de los mosfet y la resistencia serie equivalente ESR del capacitor [19].

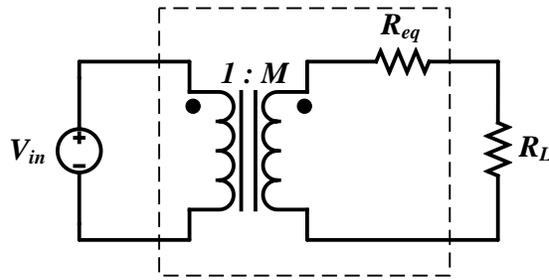


Figura 2.1 Modelo equivalente de un convertidor con capacitores conmutados.

2.3 Topologías de convertidores con capacitores conmutados.

En la actualidad existen diversas estructuras de convertidores con capacitores conmutados, los que están compuestos por interruptores (mosfet) y capacitores flotados. En esta sección se muestran las topologías más frecuentes y sus características generales, incluyendo la relación de conversión elevadoras de voltaje.

2.3.1 Topología Dickson.

La topología Dickson se muestra en la figura 2.2 [20], [21], [22], [23]. Este convertidor es una configuración elevadora, y la ganancia en voltaje depende del número de etapas que tenga la topología, (Anexo A.1).

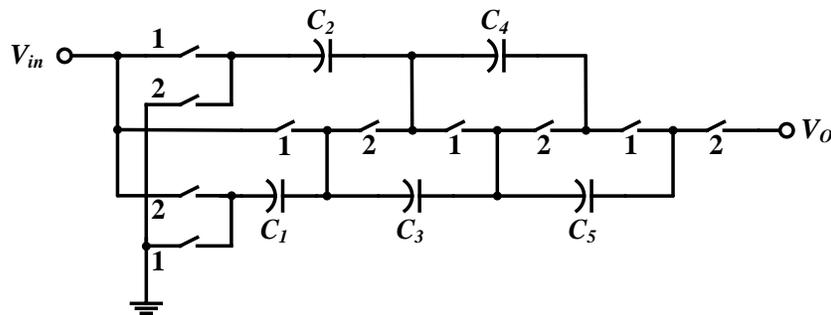


Figura 2.2 Topología Dickson.

La operación de este circuito se divide en dos fases. La primera fase *F1* empieza cuando se activan los interruptores impares (1), mientras los interruptores pares se mantienen desactivados; se obtiene así el circuito equivalente de la figura 2.3.a. En la segunda fase *F2* se

desactivan los interruptores impares y se activan los pares; el circuito equivalente es el de la figura 2.3.b.

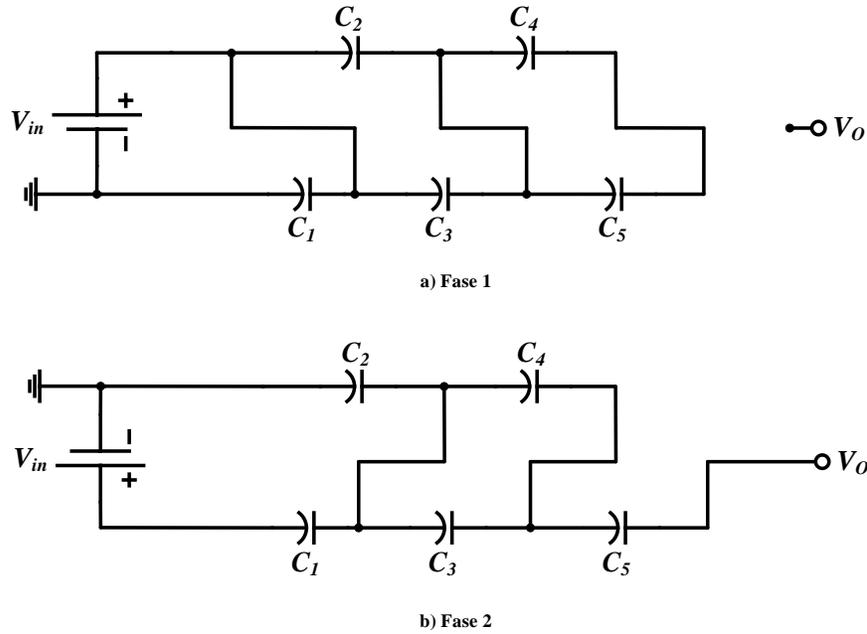


Figura 2.3 Circuitos equivalentes de la topología Dickson.

La ganancia del convertidor es: $M = n$, donde “ n ” es un número entero mayor a 2. De acuerdo a la ganancia que se pretenda obtener, se necesitarán cierta cantidad de capacitores e interruptores; por lo tanto, en la ecuación 2.1 se establece el número de capacitores N_{cap} que dependerá de la ganancia M del convertidor. De igual forma la ecuación 2.2, establece el número de interruptores N_Q . Cabe mencionar que la ecuación 2.1 sólo expresa la cantidad de capacitores flotados que contiene la topología Dickson de acuerdo a su ganancia, sin tomar en cuenta al capacitor de salida en el cual se ve reflejado el voltaje de salida.

$$N_{cap} = 2M - 2 \quad (2.1)$$

$$N_Q = N_{cap} + 5 \quad (2.2)$$

2.3.2 Topología Dobladora.

La topología Dobladora [24] consta de una o más etapas (Anexo A.2), cada etapa representa el doble del voltaje que la etapa anterior. Por ejemplo, el convertidor de la figura 2.4, se compone de dos etapas; por lo tanto, el voltaje de salida V_O idealmente será 4 veces el voltaje de entrada ($V_O = 4V_{in}$). Para cada etapa se necesitan un capacitor flotado (sin tomar en cuenta el capacitor de salida) y 4 interruptores.

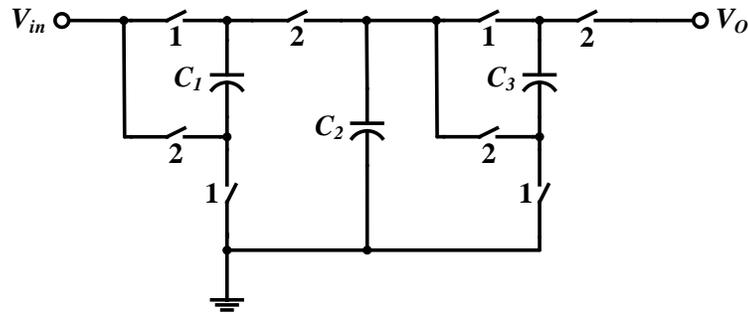


Figura 2.4 Topología Dobladora.

La topología Dobladora opera en dos fases. En la primera fase, los interruptores impares se activan dejando el capacitor C_1 en paralelo con la entrada V_{in} . En la fase 2 se activan los interruptores pares, teniendo un voltaje en C_2 igual a $V_{in} + VC_1$. Si se toma en cuenta que en la primera fase el capacitor C_1 se cargó a un voltaje V_{in} , entonces el voltaje en C_2 idealmente será igual a $2V_{in}$. Al tenerse nuevamente la primera fase, el capacitor C_3 quedará en paralelo con C_2 , cargándose ahora a $2V_{in}$. Al repetirse la segunda fase, el voltaje en la salida será igual a $V_O = 2V_{in} + VC_3 = 2V_{in} + 2V_{in} = 4V_{in}$. Los circuitos equivalentes se muestran en la figura 2.5.

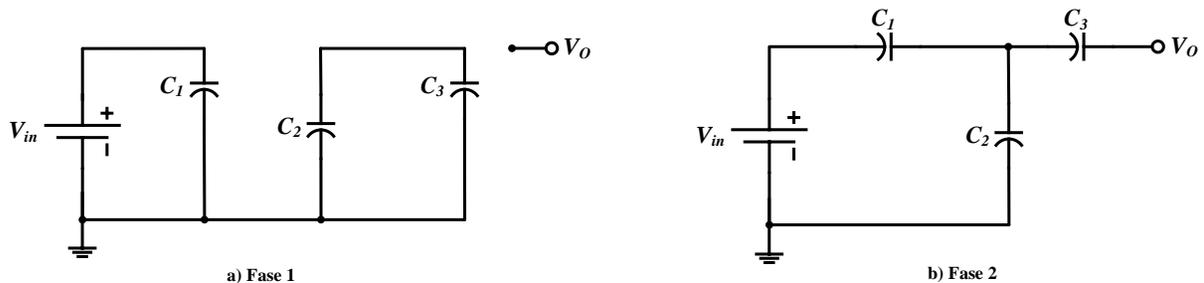


Figura 2.5 Circuitos equivalentes de la topología Dobladora.

La ganancia de la topología Dobladora se representa con la ecuación 2.3, donde M es igual a la ganancia en voltaje del convertidor y N_E representa la cantidad de etapas.

$$M = 2^{N_E} \quad (2.3)$$

El número de capacitores flotados está dado por:

$$N_{cap} = 2N_E - 1 \quad (2.4)$$

La cantidad de interruptores está dada por:

$$N_Q = 4N_E \quad (2.5)$$

2.3.3 Topología Escalera.

La topología Escalera, figura 2.6, [25], [26], es también una configuración elevadora cuya salida depende del número de etapas que la estructura contiene (Anexo A.3).

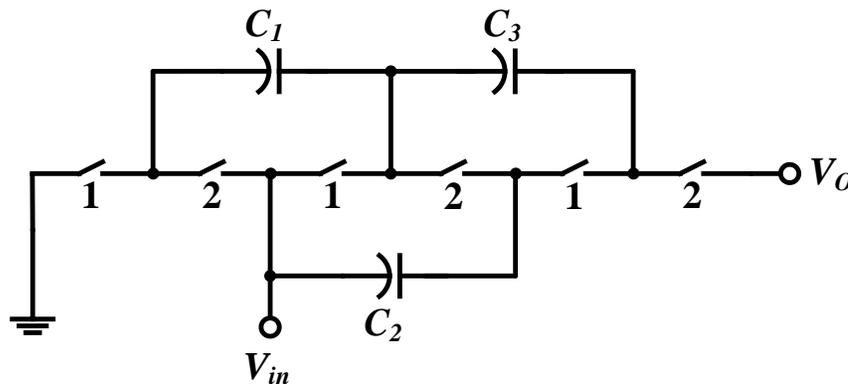


Figura 2.6 Topología Escalera.

La celda básica de la topología en Escalera se muestra en la figura 2.7a. consta de dos elementos capacitivos y cuatro componentes de conmutación. Esta topología opera en dos fases: en la primera fase, se activan los interruptores impares 1, cargándose el capacitor C_1 a V_{in} , figura 2.7b; en la siguiente fase se activan los interruptores pares 2 (figura 2.7c) y el capacitor C_1 carga al capacitor C_2 . En un caso ideal, el voltaje de salida será igual a $2V_{in}$ [27], [28]. En el anexo B, se muestra un análisis más detallado de principio básico de la topología Escalera descrito en [29].

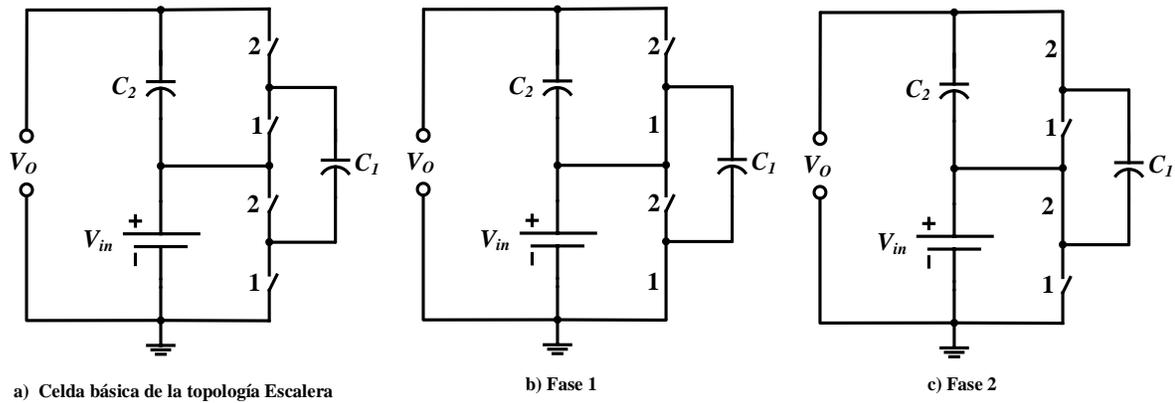


Figura 2.7 Celda básica de la topología Escalera.

La ganancia M de la topología Escalera se representa mediante la expresión 2.6, en donde N_E representa al número celdas del convertidor.

$$M = N_E + 1 \quad (2.6)$$

El número de capacitores flotados necesarios está dado por:

$$N_{cap} = 2N_E \quad (2.7)$$

El número de interruptores está dado por:

$$N_Q = 2N_E + 2 \quad (2.8)$$

2.3.4 Topología Fibonacci.

El convertidor tipo Fibonacci se basa en la sucesión que lleva el mismo nombre [30], [31], [32]. La topología realiza conversiones de voltaje CD/CD dependiendo del número de etapas que el convertidor tenga. En la figura 2.8 se observa la estructura típica del convertidor, cada etapa cuenta con tres interruptores y un capacitor flotado y cada etapa está en estado opuesto al anterior

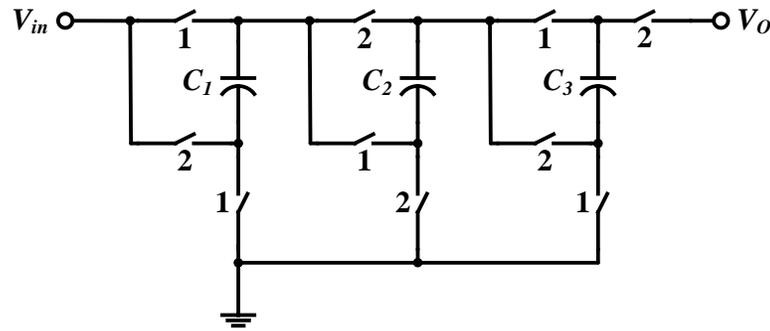


Figura 2.8 Topología Fibonacci.

El convertidor Fibonacci opera bajo dos fases de conmutación. Los interruptores “1” se activan en la primera fase, y los interruptores “2” se activan en la segunda fase. Se tienen así los circuitos equivalentes de la figura 2.9a, para la primera fase, y 2.9b para la segunda.

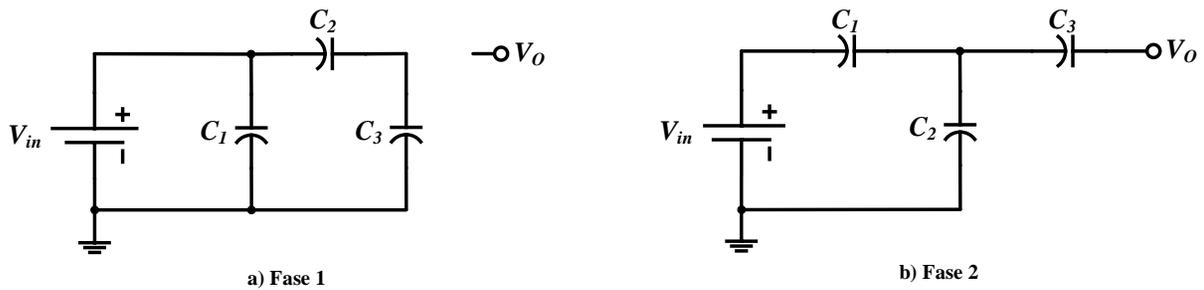


Figura 2.9 Circuitos equivalentes de la Topología Fibonacci.

Los números de Fibonacci se definen como:

$$F_i = F_{i-1} + F_{i-2} \quad (2.10)$$

donde:

- F_i es el término en posición “ i ”
- F_{i-1} es el término anterior ($i - 1$)
- F_{i-2} es el anterior a F_{i-1} ($i - 2$)

Los valores iniciales son $F_1 = F_2 = 1$. Los primeros ocho números de Fibonacci se muestran en la tabla 2.1.

Tabla 2.1 Números de Fibonacci para $i \leq 8$.

i	1	2	3	4	5	6	7	8
F_i	1	1	2	3	5	8	13	21

De acuerdo a la sucesión de Fibonacci podemos determinar la ganancia de este convertidor como:

$$M = F_i = F_{i-1} + F_{i-2} \quad (2.11)$$

Las ganancias que se obtienen en este convertidor van entonces de acuerdo a:

$$F_i = (1, 2, 3, 5, 8, 13, 21, \dots) \quad (2.9)$$

El número de capacitores flotados N_{cap} que se empleen será igual al número de etapas del convertidor como se muestra:

$$N_{cap} = N_E \quad (2.12)$$

A su vez, el número de interruptores N_Q dependerá del $N_{cap} + 1$, como se muestra:

$$N_Q = 3 N_{cap} + 1 \quad (2.13)$$

2.3.5 Topología Serie-Paralelo.

El convertidor de capacitores conmutados más sencillo es el Serie-Paralelo que se ilustra en la figura 2.10, [24]. La característica que lo define como un convertidor serie-paralelo es la estructura que adquiere en cada fase, teniendo en cuenta que opera en dos fases.

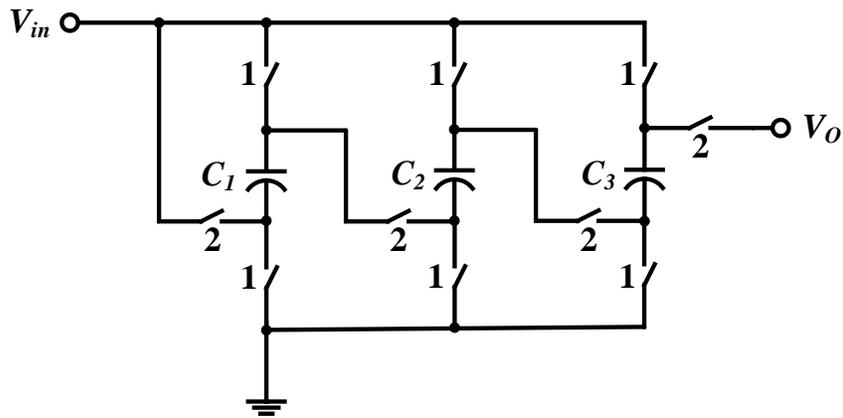


Figura 2.10 Topología Serie-Paralelo

Durante la primera fase, los interruptores impares se activan y los capacitores se colocan en paralelo con la entrada del convertidor, cargándose con un voltaje idéntico al de V_{in} . En la segunda fase, los interruptores pares se activan y los capacitores quedan en serie con la entrada V_{in} , de forma que el voltaje de salida es la suma de los voltajes en los capacitores individuales, más el de entrada. Los circuitos equivalentes para cada fase se muestran en la figura 2.11.

Dado que la ganancia de la conversión de voltaje es M , para lograr una ganancia en voltaje deseada son necesarios $M - 1$ capacitores flotados y $3M - 2$ interruptores; es decir:

$$N_{cap} = M - 1 \tag{2.14}$$

$$N_Q = 3M - 2 \tag{2.15}$$

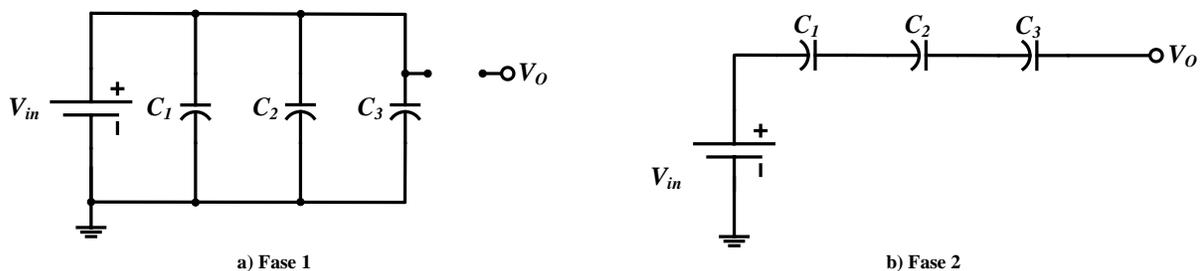


Figura 2.11 Circuitos equivalentes de la topología Serie-Paralelo.

2.4 Señales de control PWM para conmutar los SCC.

Los convertidores con capacitores conmutados generalmente operan bajo dos señales de control, con ciclo útil constante del 50% y su complemento [27], [29]. La primera señal de control se encarga de cargar a los capacitores flotados con los que cuenta una topología, mientras que la segunda señal de control se encarga de transferir hacia la salida V_O la energía que se almacena en los capacitores flotados.

La forma en la que operan las dos señales de control en un SCC se muestra la figura 2.12. En ésta, los interruptores impares se activan con la señal PWM1, mientras que los interruptores pares se activan con PWM2.

Cabe mencionar que no necesariamente las señales de control deben estar al 50% de su ciclo útil; sin embargo, si debe haber una separación T_m entre una señal y la otra (a dicha separación se le conoce como tiempo muerto). También debe mencionarse que no es necesario que el ciclo de trabajo opere bajo alguna condición de frecuencia, como es en el caso de los convertidores convencionales, ya que la ganancia de los SCC depende básicamente del número de etapas que contenga su estructura y no del ciclo de trabajo.

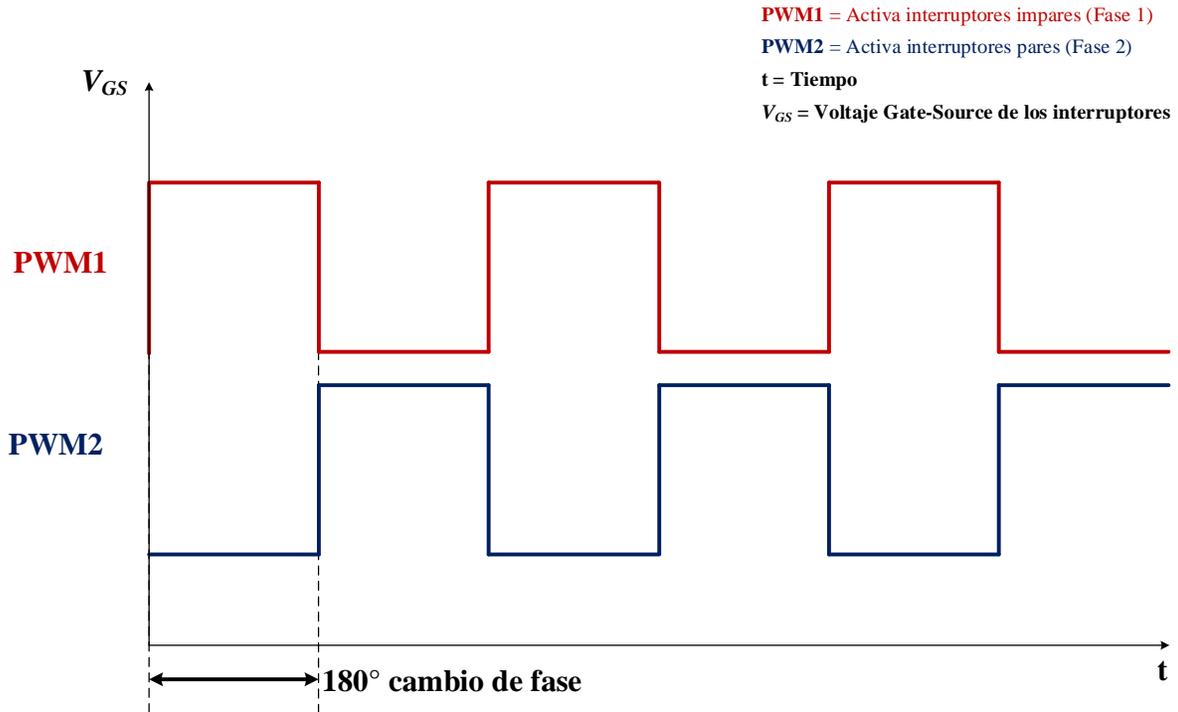


Figura 2.12 Señales de control para SCC.

2.5 Simulación de las topologías de SCC.

La comparación entre diversas topologías de convertidores de capacitores conmutados se lleva a cabo con los mismos valores de ganancia. La idea es observar el comportamiento de los 5 convertidores mostrados en este capítulo, bajo las mismas condiciones de operación.

2.5.1 Número de etapas y sus respectivas ganancias de los SCC.

Sus características particulares hacen que solamente en las topologías Dickson, Escalera y Serie-Paralelo se puedan obtener ganancias idénticas bajo el mismo número de etapas. En la topología Fibonacci la ganancia se obtiene de acuerdo a la secuencia que lleva el mismo nombre. En cuanto a la topología Dobladora, las ganancias se duplican con cada etapa que se le añade al convertidor. En la tabla 2.2, se muestra la secuencia de las ganancias que se pueden obtener en cada topología de acuerdo al número de etapas que contengan.

Tabla 2.2 Ganancias en topologías Dickson, Dobladora, Escalera, Fibonacci y Serie-Paralelo en sus primeras 8 etapas.

Número de etapas	Dickson	Dobladora	Escalera	Fibonacci	Serie-Paralelo
1	2	2	2	2	2
2	3	4	3	3	3
3	4	8	4	5	4
4	5	16	5	8	5
5	6	32	6	13	6
6	7	64	7	21	7
7	8	128	8	34	8

Al describir las siete primeras etapas de los convertidores SCC, se tiene que en convertidores como el tipo Fibonacci y Doblador, se pueden obtener ganancias altas con un menor número de etapas, lo que se traduce en un menor número de elementos como capacitores y principalmente interruptores que son los elementos que pueden provocar una menor eficiencia debido a sus resistencias parasitas.

Mientras que en topologías como el tipo Dickson, Escalera y Serie-Paralelo las ganancias que se obtienen se pueden expresar mediante el voltaje de entrada del convertidor más el número de etapa ($V_{in} + N_E$), por lo tanto, a ganancias altas estos convertidores serán poco eficientes debido a que son necesarias muchas etapas las cuales a su vez incluyen un mayor número de elementos (capacitores e interruptores).

2.5.2 Simulación de topologías SCC con una ganancia $M = 2$.

La ganancia en la cual coinciden las cinco topologías es en $M = 2$; por lo tanto, se lleva a cabo la simulación a esta ganancia. La frecuencia de operación es de 100 kHz y 200 kHz. Los capacitores flotados que lleva cada topología tienen un valor igual a 22 μ F, al igual que el capacitor de salida. La carga resistiva R_L es de 1.2 k Ω .

Los convertidores tipo Doblador, Fibonacci y Serie-Paralelo tienen voltajes de salida similares. El convertidor tipo Dickson es el que tiene el voltaje de salida con crecimiento más lento, seguido de la topología Escalera. La semejanza en los voltajes de salida de las topologías Dobladora, Fibonacci y Serie-Paralelo se debe a que tienen el mismo número de componentes, y en ganancia 2, su comportamiento es similar. Las topologías Dickson y Escalera tienen un mayor número de componentes.

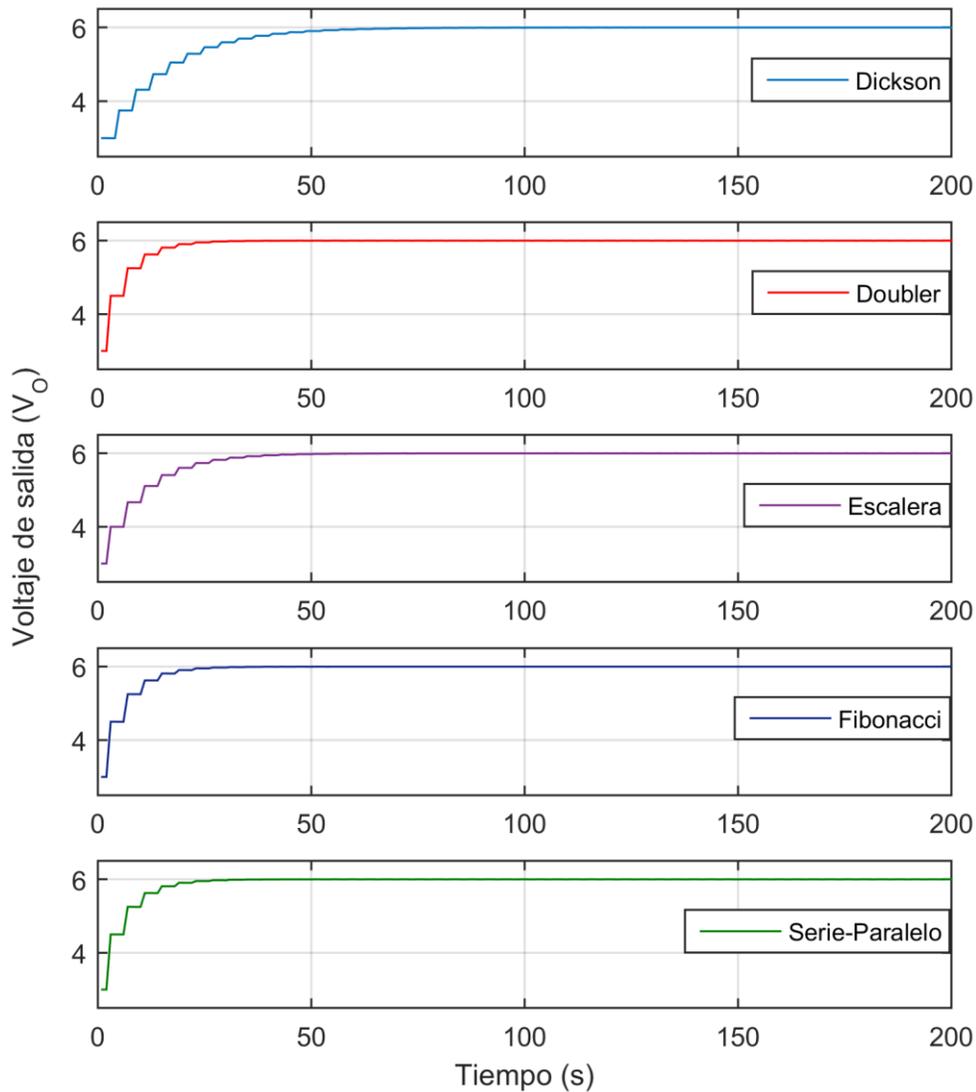


Figura 2.13 Simulación de las topologías Dickson, Dobladora, Escalera, Fibonacci y Serie-Paralelo a una ganancia $M = 2$.

En la tabla 2.3, se muestra el número de capacitores N_{cap} e interruptores N_Q empleados en cada topología para obtener una ganancia $M = 2$. Se advierte que los convertidores Doblador, Fibonacci y Serie-Paralelo tienen la misma cantidad de componentes en $M = 2$.

Tabla 2.3 Número de capacitores e interruptores para topologías de SC a una ganancia $M = 2$.

Descripción	Dickson	Dobladora	Escalera	Fibonacci	Serie-Paralelo
Ecuación para N_{cap}	$2M - 2$	$2N_E - 1$	$2N_E$	N_E	$M - 1$
Ecuación para N_Q	$N_{cap} + 5$	$4N_E$	$2N_E + 2$	$3N_{cap} + 1$	$3M - 2$
N_{cap}	2	1	2	1	1
N_Q	7	4	4	4	4

2.5.3 Simulación de topologías de SC a una ganancia igual a $M = 8$.

La ganancia en la cual coinciden nuevamente las cinco topologías es en $M = 8$; por lo tanto, se lleva a cabo la simulación a esta ganancia. Las frecuencias de operación son de 100 kHz y 200 kHz.

Los capacitores flotados que lleva cada topología tienen un valor de 22 μF , al igual que el capacitor de salida. La carga resistiva R_L es de 1.2 k Ω . En la tabla 2.4, se lista el número de capacitores e interruptores para cada topología. El voltaje V_{in} es igual a 3 V, por lo tanto, siendo topologías a una ganancia igual a 8, se espera que en voltaje de salida V_O sea igual a 24 V.

Tabla 2.4 Número de capacitores e interruptores para topologías de SC a una ganancia $M = 8$.

Descripción	Dickson	Dobladora	Escalera	Fibonacci	Serie-Paralelo
Ecuación para N_{cap}	$2M - 2$	$2N_E - 1$	$2N_E$	N_E	$M - 1$
Ecuación para N_Q	$N_{cap} + 5$	$4N_E$	$2N_E + 2$	$3N_{cap} + 1$	$3M - 2$
N_{cap}	14	5	14	4	7
N_Q	19	12	16	13	22

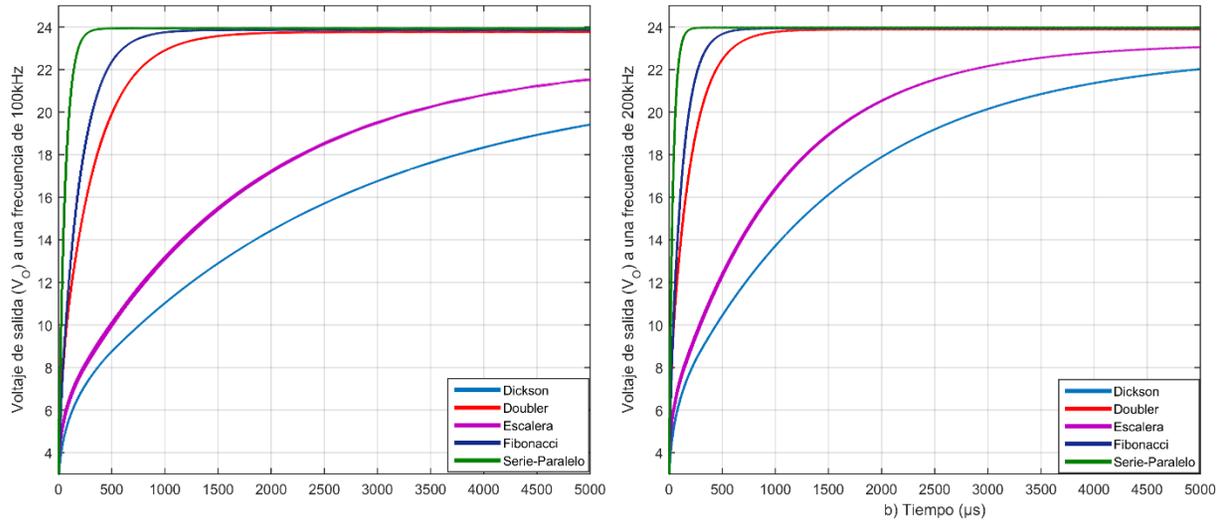


Figura 2.14 Voltaje de salida de convertidores de SC a una frecuencia de 100 kHz y 200 kHz.

De acuerdo con la figura 2.14, los convertidores que llegan al voltaje de salida esperado son los tipos Serie-Paralelo, Fibonacci y Doblador. Por el contrario, los convertidores tipo Dickson y Escalera no logran alcanzar el voltaje deseado. Los convertidores Dickson y Escalera tienen un problema en común, el cual es que a ganancias elevadas presentan una menor eficiencia, esto se debe a que emplean un mayor número de etapas lo cual conlleva a usar una mayor cantidad de interruptores y capacitores y debido a las resistencias parasitas de cada elemento provocan que el convertidor sea menos eficiente, una posible solución puede ser aumentando la frecuencia de operación como se muestra en la figura 2.14, el voltaje de las topologías Dickson y Escalera se aproximan al valor de voltaje deseado al incrementar la frecuencia de 100 kHz a 200 kHz.

2.6 Convertidores SCC en lazo cerrado para aplicaciones de cosecha de energía.

La cosecha de energía es una tecnología emergente para la alimentación de dispositivos de bajo consumo; por ejemplo, sensores inalámbricos en localidades remotas. Para lograr la alimentación por medio de la recolección de energía [33], [34], se necesita en primer lugar, un sensor de captación. Se requiere también un circuito de gestión de potencia que regule el

voltaje cosechado, el cual normalmente es variable; el circuito de gestión proporciona una salida constante, con el nivel adecuado para los dispositivos a los que se desee energizar.

El circuito de gestión de energía convierte la energía eléctrica generada por la etapa cosechadora a un voltaje regulado. Lo ideal es que los circuitos de administración para la obtención de energía de baja potencia satisfagan cuatro requisitos de diseño [35]:

- 1) capacidad de operar en todo el rango del voltaje de entrada,
- 2) alta eficiencia en todo el rango de operación,
- 3) regulación de salida con precisión, y
- 4) pequeño tamaño.

El circuito de gestión de potencia se puede implementar empleando un convertidor de capacitores conmutados (SC), ya que tienen una alta eficiencia a bajos niveles de corriente y pueden integrarse plenamente en los procesos de CMOS estándar [36].

Una problemática que se tiene al recolectar energía y obtener un voltaje de esa recolección, es que dicho voltaje será variable puesto que la recolección de energía no es constante. Por lo tanto, se debe considerar que el convertidor de SC debe soportar variaciones en el voltaje de entrada V_{in} , y ajustar su ganancia de voltaje y la frecuencia en base a la condición de funcionamiento del convertidor.

Un posible lazo de realimentación se muestra en la figura 2.15 [37]. El error en el voltaje de salida se procesa con un amplificador de transconductancia g_m , cuya corriente de salida comanda un oscilador controlado por corriente (CCO), el cual genera la señal de reloj para el convertidor CD/CD. Si el diseño de las ganancias es adecuado, el lazo es estable y permite ajustar la frecuencia de operación para regular el voltaje de salida.

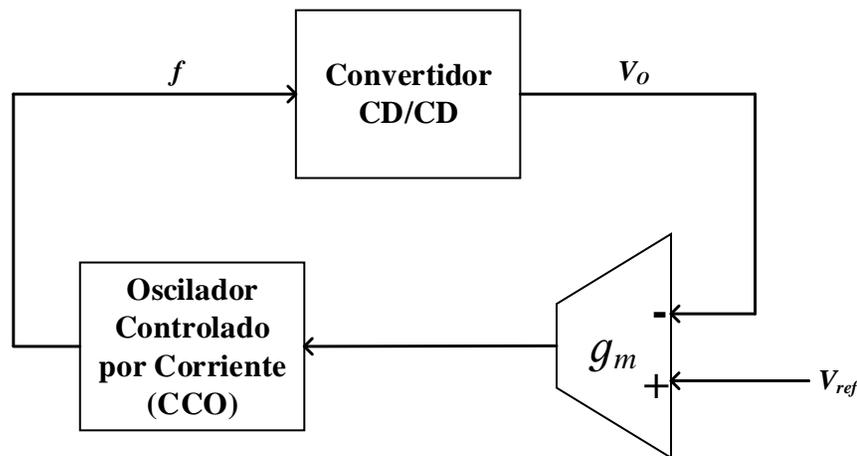


Figura 2.15 Lazo de realimentación.

2.7 Selección de la topología a implementar y la ganancia.

Dentro de las cinco topologías mostradas en este capítulo, con los convertidores Dickson, Escalera y Serie-Paralelo es posible obtener valores de ganancia continuos que dependen del número de etapas que contenga el convertidor. Lo anterior permite obtener cualquier ganancia que se desee. Por otro lado, las topologías tienen la desventaja de que, si se desean valores de ganancia elevados, se requiere un mayor número de elementos (principalmente interruptores), lo cual se refleja en mayores pérdidas por conmutación [38]. Como se explicó anteriormente, con la configuración Dobladora se duplica la ganancia en cada etapa, mientras que en la configuración Fibonacci la ganancia sigue una secuencia específica.

2.7.1 Elección de la topología Fibonacci.

En este trabajo se elige explorar la topología Fibonacci. El principal motivo es la cantidad de elementos necesarios para construirlo, los cuales tratándose de ganancias elevadas son pocos en comparación con las demás topologías. La disminución en el número de componentes en la topología hace que ésta sea más eficiente. Por lo tanto, se espera obtener una buena eficiencia.

Cabe mencionar que, en una aplicación específica, la elección del tipo de convertidor se hará de acuerdo a las necesidades que deban satisfacerse. La idea fundamental es que se tengan menos pérdidas por conmutación; con base en este criterio, las topologías Dobladora y Fibonacci son preferibles cuando se necesitan ganancias elevadas. Sin embargo, debe tenerse en cuenta que solamente es posible obtener ciertos valores de ganancia.

2.7.2 Ganancia del convertidor.

Se desea explorar la topología Fibonacci con ganancia igual a 3. La idea fundamental es analizar su comportamiento ante un voltaje de entrada fijo, aunque usando las características del panel solar que se describen en la tabla 2.5.

Tabla 2.5 Características de un panel solar.

Especificaciones	Símbolo	Valor
Potencia máxima	$P_{m\acute{a}x}$	0.8 W
Tensión máxima	$V_{m\acute{a}x}$	3.85 V
Corriente máxima	$I_{m\acute{a}x}$	0.21 A

2.8 Conclusiones.

Los convertidores CD/CD de capacitores conmutados presentan características que los hacen adecuados para aplicaciones de recolección de energía en bajas potencias. La ventaja principal es que sus dimensiones son considerablemente pequeñas; por lo tanto, pueden integrarse plenamente en los procesos de CMOS estándar. Otro punto fundamental que presentan es que suelen ser muy eficientes a corrientes de salida reducidas.

Una desventaja que presentan es que a ganancias elevadas suelen tener mayores pérdidas, porque se emplea un mayor número de componentes como es el caso de las topologías Dickson, Escalera y Serie-Paralelo. Sin embargo, se pueden buscar ganancias altas y menos pérdidas con las topologías Dobladora y Fibonacci, ya que con sus características particulares se logran ganancias altas con un menor número de componentes.

En la recolección de energía a bajas potencias se debe tener en cuenta que el voltaje de la fuente es variable. Una posible solución sería incorporar un algoritmo que pueda variar la ganancia del convertidor para mantener un voltaje de salida constante, tratando de mantener simultáneamente una buena eficiencia; en este caso es necesario idear la forma de implementar un SCC operando en lazo cerrado.

CAPÍTULO 3

Diseño e implementación

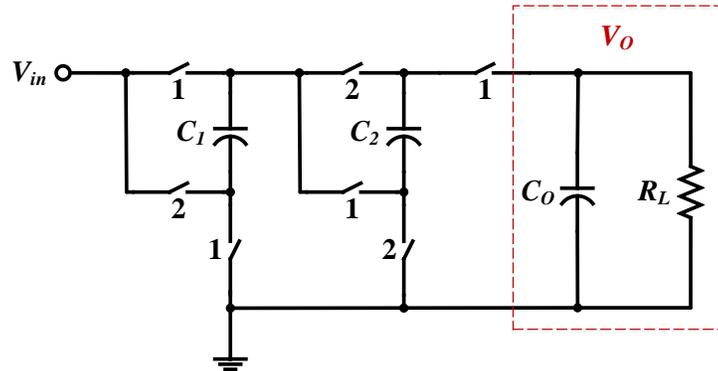
En este capítulo se describe un procedimiento para analizar la topología Fibonacci, aplicado a un caso de ganancia 3. Se eligen los componentes para la implementación del convertidor y se diseña un control para conmutar a los interruptores de la topología. Dentro de la etapa de control se elige un *driver* que ofrezca salidas PWM flotadas, para así conmutar a los interruptores que no tienen referencia a tierra.

3.1 Análisis del convertidor Fibonacci de ganancia 3 ($M = 3$).

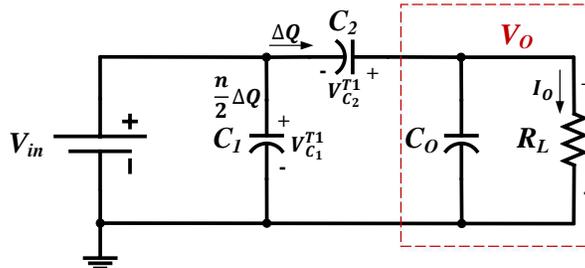
Una de las dificultades que presentan los convertidores con capacitores conmutados es la complejidad para modelarlos. Por este motivo, se exploran métodos para sustentar el prototipo. En la referencia [39] se reporta una metodología de análisis de los circuitos multiplicadores de tensión, la cual se aplica al convertidor Fibonacci.

3.1.1 Análisis de los circuitos equivalentes del convertidor Fibonacci.

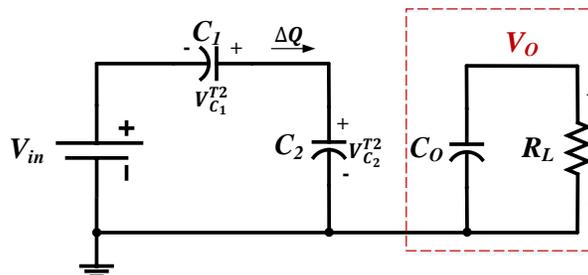
El convertidor Fibonacci de ganancia 3 cuenta con 7 interruptores (mosfet) los cuales conmutan en instantes distintos. Los interruptores impares conmutan en el primer semiciclo y los pares conmutando en el segundo. En la figura 3.1 se muestra el convertidor de ganancia 3 y sus circuitos equivalentes.



a) Topología Fibonacci de ganancia 3



b) Fase 1



c) Fase 2

Figura 3.1 Topología Fibonacci de ganancia 3 y sus circuitos equivalentes.

En la figura 3.1b se muestra la fase $F1$ del convertidor Fibonacci; en ella, se analiza la forma en que se lleva a cabo el proceso de carga de los capacitores flotados C_1 y C_2 .

$$V_{C_1}^{F1} = Vin \quad (3.1)$$

Dado que durante la primera fase $F1$ se toma de C_1 una carga $\left(\frac{n}{2}\right)\Delta Q$, entonces:

$$V_{C_1}^{F2} = V_{C_1}^{F1} - \frac{\frac{n}{2}\Delta Q}{C_1} = Vin - \frac{\frac{n}{2}\Delta Q}{C_1} \quad (3.2)$$

De acuerdo a la figura 3.1c, se tiene:

$$V_{C_2}^{F2} = Vin + V_{C_1}^{F2} = 2Vin - \frac{\frac{n}{2}\Delta Q}{C_1} \quad (3.3)$$

Después de otro medio ciclo:

$$V_{C_2}^{F1} = V_{C_2}^{F2} - \frac{\Delta Q}{C_2} = 2Vin - \frac{\frac{n}{2}\Delta Q}{C_1} - \frac{\Delta Q}{C_2} \quad (3.4)$$

Iterando la secuencia de pasos anterior, se obtienen valores para el primer semiciclo:

$$V^{F1} = V_{C_1}^{F1} + V_{C_2}^{F1} = Vin + \left[2Vin - \frac{\frac{n}{2}\Delta Q}{C_1} - \frac{\Delta Q}{C_2} \right] \quad (3.5)$$

$$V^{F1} = 3Vin - \left(\frac{\frac{n}{2}}{C_1} + \frac{1}{C_2} \right) \Delta Q \quad (3.6)$$

La tensión de salida se determina a partir de la suma:

$$V_{O(r1)} = V_{C_1}^{F1} + V_{C_2}^{F1} \quad (3.7)$$

$$V_{C_1}^{F1} = Vin \quad (3.8)$$

$$V_{C_2}^{F1} = 2Vin - \frac{\frac{n}{2}\Delta Q}{C_1} - \frac{\Delta Q}{C_2} \quad (3.9)$$

$$V_{O(F1)} = nVin - \frac{\frac{n}{2}\Delta Q}{C_1} - \frac{\Delta Q}{C_2} \quad (3.10)$$

Una corriente existe en un punto cuando una carga neta se transporta desde ese punto a otro en dicha región. Si la carga ΔQ se transporta a través de una sección transversal dada de la salida, en un tiempo t , entonces la intensidad de corriente I_o , a través de la carga de salida es:

$$I_o = \frac{\Delta Q}{t} = \Delta Q f \quad (3.11)$$

$$f = \frac{I_o}{\Delta Q} \quad (3.12)$$

$$\Delta Q = \frac{I_o}{f} \quad (3.13)$$

Por lo tanto:

$$V_{O(F1)} = nVin - \left[\frac{n}{C_1} + \frac{1}{C_2} \right] \frac{I_O}{f} = nVin - \left[\frac{n}{2C_1} + \frac{1}{C_2} \right] \frac{I_O}{f} \quad (3.14)$$

Puesto que $M = n = 3$:

$$V_{O(F1)} = 3Vin - \left[\frac{3}{2C_1} + \frac{1}{C_2} \right] \frac{I_O}{f} \quad (3.15)$$

Iterando la secuencia de pasos anterior, se obtienen valores para el segundo semiciclo:

$$V^{F2} = V_{C_1}^{F2} + V_{C_2}^{F2} \quad (3.16)$$

$$V^{F2} = Vin - \frac{\frac{n}{2}\Delta Q}{C_1} + 2Vin - \frac{\frac{n}{2}\Delta Q}{C_1} \quad (3.17)$$

$$V^{F2} = nVin - \left[\frac{n}{C_1} \right] \Delta Q \quad (3.18)$$

La tensión de salida en 3b, se determina a partir de la suma:

$$V_{O(F2)} = V_{C_1}^{F2} + V_{C_2}^{F2} \quad (3.19)$$

$$V_{C_1}^{F2} = Vin - \frac{\frac{n}{2}\Delta Q}{C_1} \quad (3.20)$$

$$V_{C_2}^{F2} = 2Vin - \frac{\frac{n}{2}\Delta Q}{C_1} \quad (3.21)$$

$$V_{O(F2)} = nVin - \left[\frac{\frac{n}{2}}{C_1} + \frac{\frac{n}{2}}{C_1} \right] \Delta Q = nVin - \left[\frac{n}{2C_1} + \frac{n}{2C_1} \right] \Delta Q \quad (3.22)$$

$$V_{O(F2)} = nVin - \frac{n}{C_1} \Delta Q \quad (3.23)$$

$$V_{O(F2)} = nVin - \left[\frac{n}{C_1} \right] \frac{I_o}{f} \quad (3.24)$$

Como $M = n = 3$:

$$V_{O(F2)} = 3Vin - \left[\frac{3}{C_1} \right] \frac{I_o}{f} \quad (3.25)$$

Si todos los capacitores son de igual valor C , se simplifican las ecuaciones 3.15 y 3.25 respectivamente:

$$V_{O(F1)} = 3Vin - \left[\frac{5}{2} \right] \frac{I_o}{Cf} \quad (3.26)$$

$$V_{O(F2)} = 3Vin - [3] \frac{I_o}{Cf} \quad (3.27)$$

El voltaje de salida V_o del convertidor de ganancia $M = n = 3$ es entonces igual a:

$$V_{O(n=3)} = 3Vin - [3] \frac{I_o}{Cf} \quad (3.28)$$

3.1.2 Determinación de valores óptimos para los capacitores.

Dentro de los convertidores con capacitores conmutados se busca obtener una buena regulación de voltajes. Por lo tanto, se busca una forma óptima de distribuir los capacitores dentro de la topología Fibonacci.

De la ecuación 3.14 se obtiene lo siguiente:

$$R_{eq} = \frac{1}{f} \left[\frac{3}{2C_1} + \frac{1}{C_2} \right] \quad (3.29)$$

Para C_1 se tiene entonces:

$$C_1 = 4C_2 \quad (3.30)$$

Para C_2 se tiene:

$$C_2 = \frac{C_1}{4} \quad (3.31)$$

La eficiencia del convertidor se define como la relación de la potencia de salida y la potencia de entrada.

$$\eta = \left(\frac{P_o}{P_{in}} \right) * 100\% \quad (3.32)$$

La potencia de salida siempre es menor a la potencia de entrada, debido a la pérdida de energía en los elementos que conforman al convertidor.

3.1.3 Filtrado para establecer los requisitos de C_o en relación con C_1 y C_2 .

Se considera el capacitor de filtrado con la finalidad de establecer los requisitos de C_o en relación a los capacitores multiplicadores. El porcentaje de ondulación r es:

$$r = \frac{\Delta Q}{C_o V_o} = \frac{I_o}{C_o V_o f} \quad (3.33)$$

De acuerdo a la ecuación 3.28 la pendiente en la tensión de salida debido a la corriente de carga es igual a $(3) \frac{I_o}{C_f}$. De acuerdo a [39] Si el multiplicador ha de ser eficaz, este término debe ser menor o igual a una mitad de V_{in} .

$$\frac{n}{C_f} I_o \leq \frac{1}{2} V_{in} \quad (3.34)$$

Combinando las ecuaciones (3.33) y (3.34), y suponiendo que $V_o \cong nV_{in}$, la desigualdad da:

$$\frac{C}{C_o} \geq 2rn^2 \quad (3.35)$$

Por lo tanto, para C_o :

$$C_o \leq \frac{C}{2rn^2} \quad (3.36)$$

La ecuación 3.36 muestra que el capacitor de salida debe ser más pequeño que los capacitores flotados en la topología.

3.1.4 Resistencia de carga R_L .

Se emplean los parámetros de diseño y lo que se espera en la salida del convertidor para calcular la R_L que proporcione la máxima potencia; para esto se emplea la siguiente ecuación:

$$\frac{V_o^2}{R_L} = P_o \quad (3.37)$$

Puesto que el voltaje de entrada es 3.85 V y la corriente máxima es de 0.21 mA, en la salida V_o se esperaría que el voltaje fuera de 11.55 V, teniendo una corriente y un voltaje de entrada, la potencia es igual a 800 mW, si se espera tener la máxima transferencia de potencia en la salida. Por lo tanto, se puede calcular la resistencia de carga R_L de la siguiente forma:

$$\frac{V_o^2}{P_o} = R_L \quad (3.38)$$

3.1.5 Metodología del modelo del convertidor Fibonacci en $M = 3$.

En la tabla 3.1, se muestran las ecuaciones de diseño obtenidas del modelado matemático. Se muestran también las descripciones de cada expresión y las observaciones.

Tabla 3.1 Pasos de la metodología propuesta.

Símbolo	Expresión	Observaciones
C_1	$C_1 = 4C_2$	El valor de C_1 es cuatro veces mayor al de C_2
C_2	$C_2 = \frac{C_1}{4}$	El valor de C_2 depende del capacitor C_1
C_o	$C_o = \frac{C}{2rn^2}$	El filtro de salida se establece en relación con C_1 y C_2
f	$f = \frac{I_o}{\Delta Q}$	En este caso, se define la frecuencia a 100kHz, así que no es dependiente de ΔQ e I_o
I_o	$I_o = rC_o nV_{in}f$	Depende de r , C_o , n , V_{in} y f
M	$M = \frac{V_o}{V_{in}}$	En este convertidor la ganancia es igual a 3
R_{eq}	$R_{eq} = \frac{1}{f} \left(\frac{3}{2C_1} + \frac{1}{C_2} \right)$	La R_{eq} depende de la frecuencia y de los valores de C_1 y C_2
$V_{O(F1)}$	$V_{O(T1)} = nV_{in} - \left[\frac{n}{2} + 1 \right] \frac{I_o}{Cf}$	Es la tensión de salida en el primer semiciclo cuando todos los capacitores son iguales.
$V_{O(F2)}$	$V_{O(T2)} = nV_{in} - [n] \frac{I_o}{Cf}$	Es la tensión de salida en el segundo semiciclo cuando todos los capacitores son iguales.
V_o	$V_o = 3V_{in} - [3] \frac{I_o}{Cf}$	Voltaje que se espera en la salida del convertidor
r	$r = \frac{\Delta Q}{C_o V_o} = \frac{I_o}{C_o V_o f}$	Este valor depende del capacitor de salida C_o
η	$\eta = \frac{P_o}{P_{in}}$	Eficiencia en potencia.
η_V	$\eta_V = \frac{V_o}{V_{in}}$	Es la eficiencia que se espera que el convertidor

Símbolo	Expresión	Observaciones
		produzca.
ΔQ	$\Delta Q = \frac{I_o}{f}$	Depende de la frecuencia y la corriente de salida

3.2 Etapa de control.

Para conmutar los interruptores es necesario generar señales de control. En este caso es necesario que dichas señales sean salidas PWM superiores e inferiores puesto que el convertidor tiene 2 interruptores con referencia a tierra y 5 flotados. Existen circuitos integrados que pueden generar una señal PWM (por ejemplo, el TL494), y *drivers* que pueden flotar dichas señales de control, como el IR2110 que se muestra en [27], aplicado a la implementación de un SCC tipo Escalera. Por lo tanto, la idea fundamental es crear un sistema de control capaz de proporcionar salidas superiores e inferiores para la conmutación de cada mosfet flotado y con referencia a tierra.

3.2.1 Especificaciones del control.

La etapa de control solo actuará como medio para probar el funcionamiento del convertidor Fibonacci; por este motivo, no se toma en cuenta el tamaño como restricción en el diseño. De esta manera, las especificaciones que debe cumplir la etapa de control solo son trabajar en un ciclo de trabajo aproximadamente igual al 50% a una frecuencia de 100 kHz.

3.2.2 Señales PWM con el circuito integrado UC3825AN.

El regulador PWM es el circuito integrado que permite configurar tanto la frecuencia y el ciclo de trabajo del tren de pulsos, como el arranque del sistema. Un dispositivo que reúne estas características es el UC3825AN. En la figura 3.2, se muestra su diagrama esquemático, indicando una de sus características principales que es generar dos señales de control sincronizadas y acondicionadas para la presente aplicación.

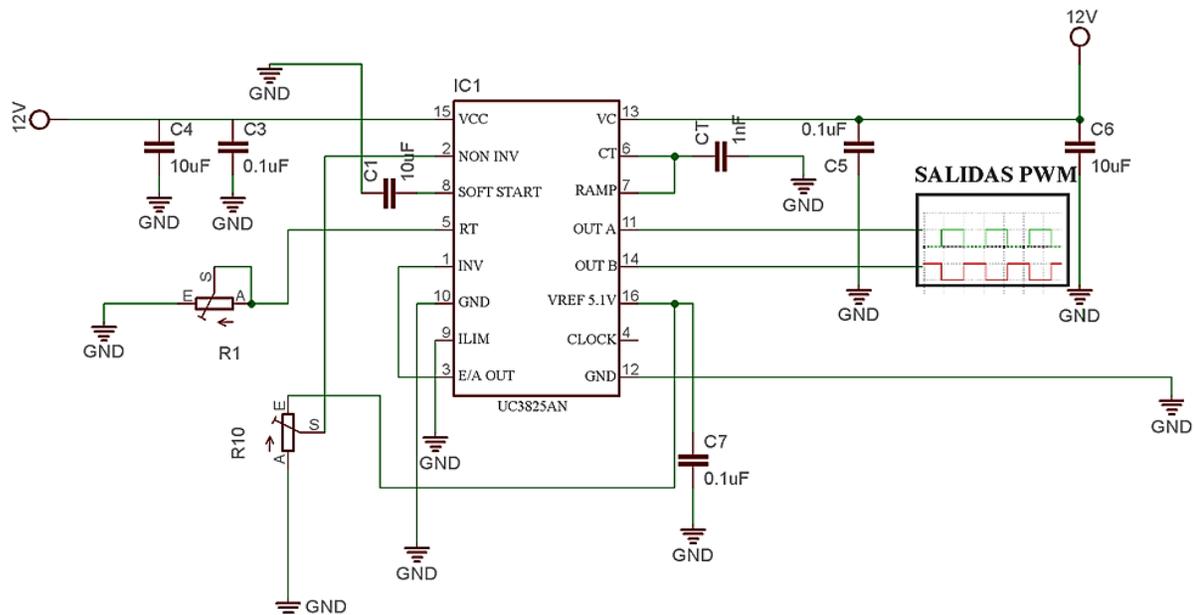


Figura 3.2 Diagrama esquemático del C.I. UC3825AN.

3.2.3 Driver IR2110.

El *driver* IR2110 es un dispositivo empleado comúnmente para el acondicionamiento del disparo de cada mosfet, es robusto y, con la configuración que se presenta en la figura 3.3, es capaz de sincronizar la conmutación de dos interruptores complementarios en un sistema. Necesita de circuitería exterior para abastecer de suficiente corriente a la compuerta del mosfet, de manera que se garantice su conmutación confiable. El motivo de emplear este *driver* es la necesidad de tener una salida PWM superior para conmutar a los interruptores flotados.

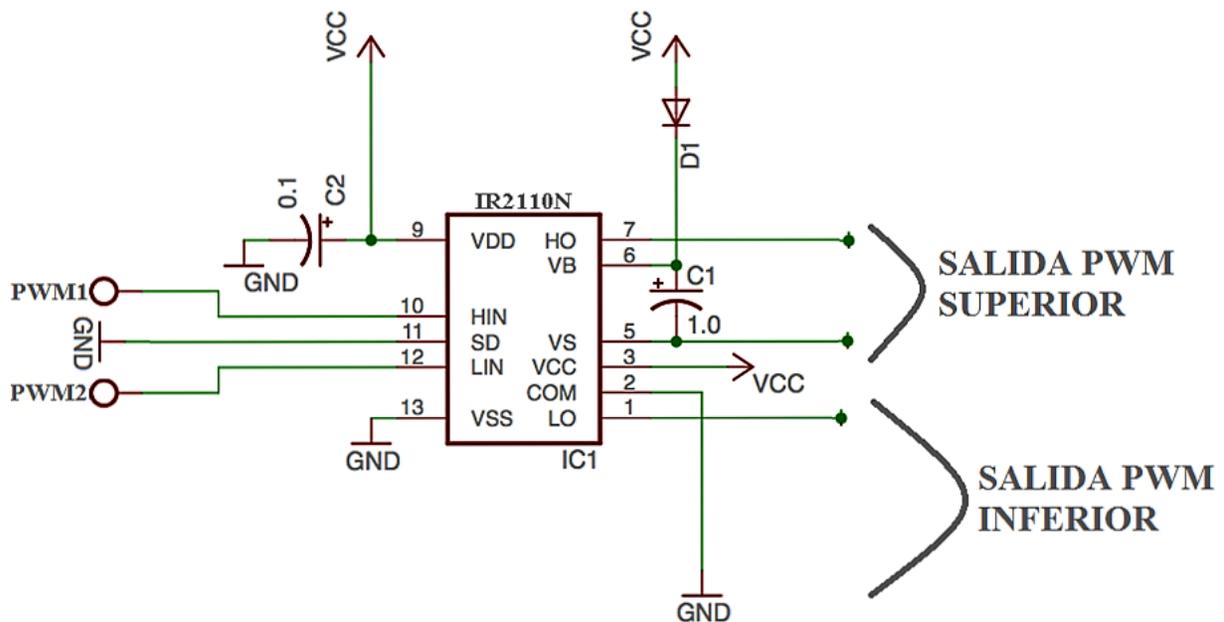


Figura 3.3 Diagrama esquemático del driver IR2110N.

3.2.4 Implementación del circuito integrado UC3825AN y el driver IR22110.

Una vez elegido el circuito que genera la señal PWM de control y el *driver* que se encargará de las conmutaciones superior e inferior, se lleva a cabo el diseño y la implementación del control completo en PCB. En la figura 3.4, se muestra el prototipo de control el cual incluye un C.I. UC3825AN y cinco *drivers* IR2110.

El motivo de emplear cinco *drivers* es porque es necesario generar siete señales de control, de las cuales cinco son señales flotadas, y cada driver solo cuenta con una salida con referencia superior y otra con referencia a tierra.

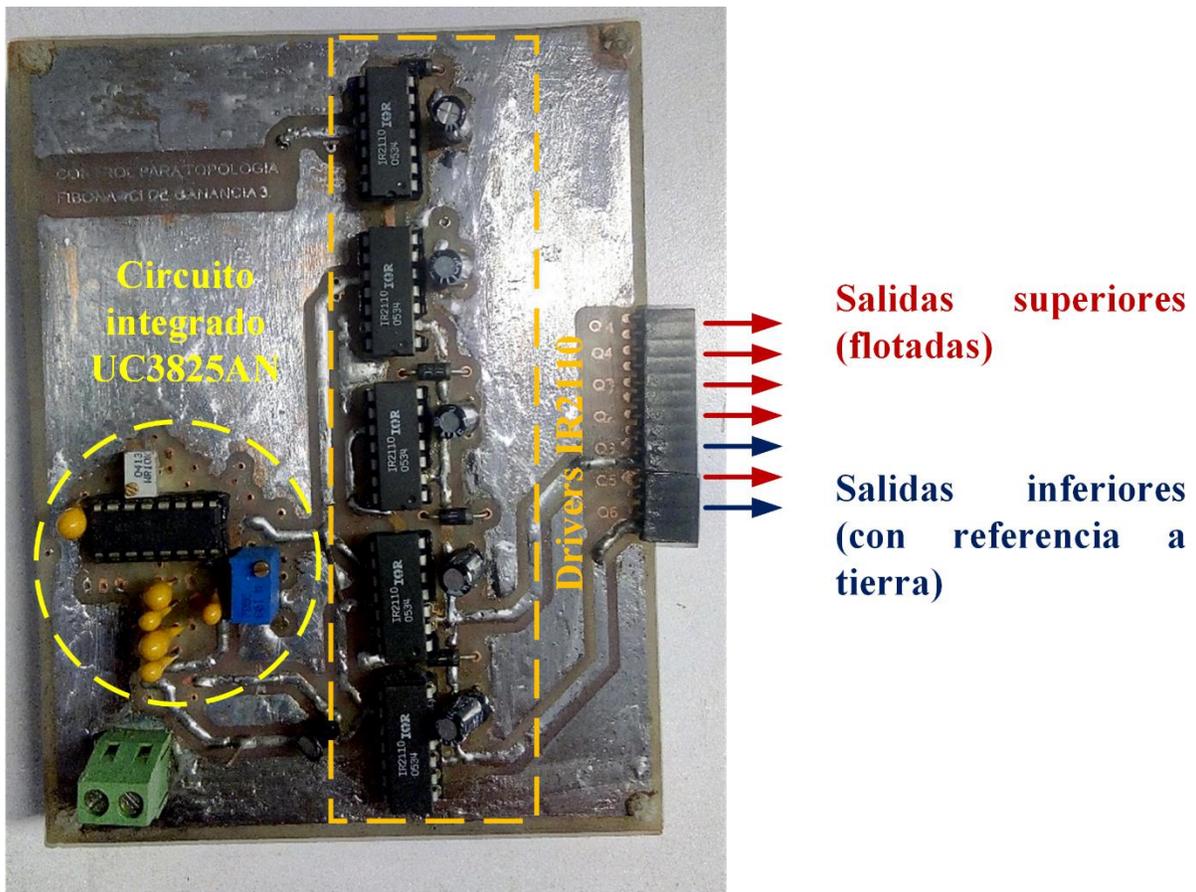


Figura 3.4 Tarjeta electrónica de la implementación del circuito de control.

3.2.5 Señales de control.

En la implementación del convertidor se fija una frecuencia de 100 kHz y se opera a un ciclo de trabajo del 45%, de esta forma se tiene un 10% de tiempo muerto entre una señal y su complemento. En la figura 3.5, se muestran las dos salidas obtenidas del circuito de control UC3825AN, necesarios para conmutar en diferentes tiempos a los interruptores del convertidor Fibonacci.

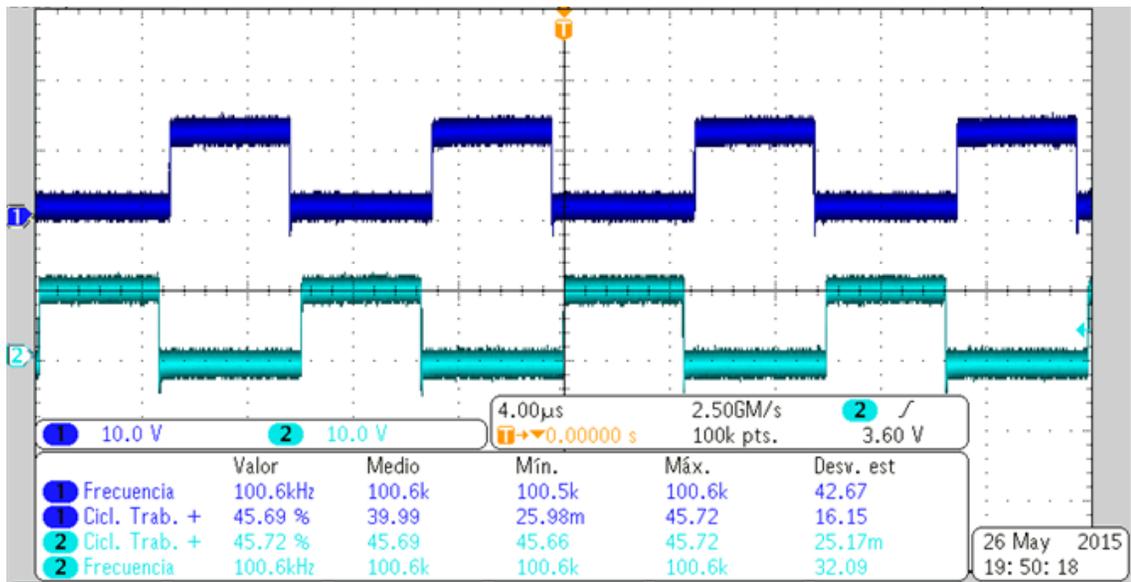


Figura 3.5 Salidas PWM del control UC3825AN.

3.3 Implementación del convertidor Fibonacci.

Se implementa un prototipo del convertidor Fibonacci para observar su funcionamiento y obtener resultados del mismo. La topología está compuesta por interruptores (mosfet) y capacitores flotados, sin tomar en cuenta el capacitor de salida.

3.3.1 Selección de mosfet para la implementación del convertidor.

La selección de semiconductores tiene un gran peso en la eficiencia de un convertidor, por ende, se busca que el mosfet que se seleccione tenga una $R_{DS(ON)}$ muy baja, para minimizar pérdidas. También se busca que tengan un tiempo de encendido y apagado lo más corto posible, para conmutaciones más rápidas.

El interruptor que se empleará debe entrar en zona de saturación con un voltaje de compuerta a fuente (V_{GS}) igual a 12 V, debido a que se conmutarán con un control que trabaja en un rango de 8 a 12 V. En la tabla 3.2, se muestra una matriz de evaluación de tres elementos de conmutación que se analizaron para seleccionar el más apropiado. Con sus especificaciones más comunes. Condiciones para tiempo de subida y tiempo de bajada: $V_{DD} = 15$ V, $I_D = 1$ A, $V_{GS} = 10$ V, $R_{GEN} = 6 \Omega$.

Tabla 3.2 Selección de MOSFET en empaque SO-8.

Modelo	$R_{DS(ON)}$ Máx	$R_{DS(ON)}$ Mín	I_D Máx	V_{DS} Máx	P_d @ 25°C	P_d @ 75°C	Tiempo de subida	Tiempo de bajada
FDS6612A	30mΩ 4.5V	22mΩ 10V	8.4A	30V	2.5W	1W	5ns	3ns
FDS6630A	53mΩ 4.5V	38mΩ 10V	6.5A	30V	2.5W	1.2W	8ns	13ns
FDS6930B	50mΩ 4.5V	38mΩ 10V	5.5A	30V	2W	0.9W	6ns	2ns

Al comparar las características de los 3 diferentes mosfet, se opta por emplear el FDS6612A debido a que su resistencia en modo de conducción es más baja con respecto a la resistencia de los mosfet FDS6630A y FDS6930B. Lo cual llega a representar menos pérdidas en modo de conducción.

3.3.2 Diseño y construcción del convertidor Fibonacci.

Para realizar las pruebas experimentales, se lleva a cabo la construcción del convertidor. La figura 3.6 muestra el diseño esquemático hecho en el software Eagle 7.5.0.

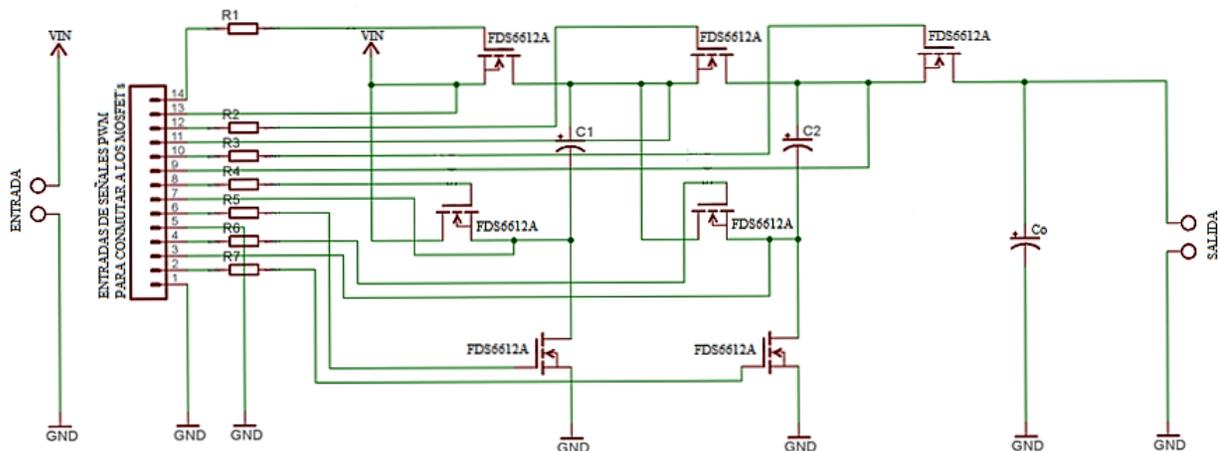


Figura 3.6 Esquema de la Topología Fibonacci de ganancia $M = 3$.

Cada capacitor flotado es un capacitor cerámico con matrícula GRM155C80J106ME11D de 22 μF , mientras que el capacitor de salida C_0 es de 10 μF , matrícula GRM31CR71E106KA12L.

En la figura 3.7 se muestra el PCB que se implementó. El prototipo se desarrolló con un volumen mucho mayor al que debería ser, puesto que fue necesario poner puntos de prueba. En la figura 3.7a se comparan los componentes de montaje superficial (SMD) empleados con una moneda, mientras que en la figura 3.7b se muestra la implementación de convertidor.

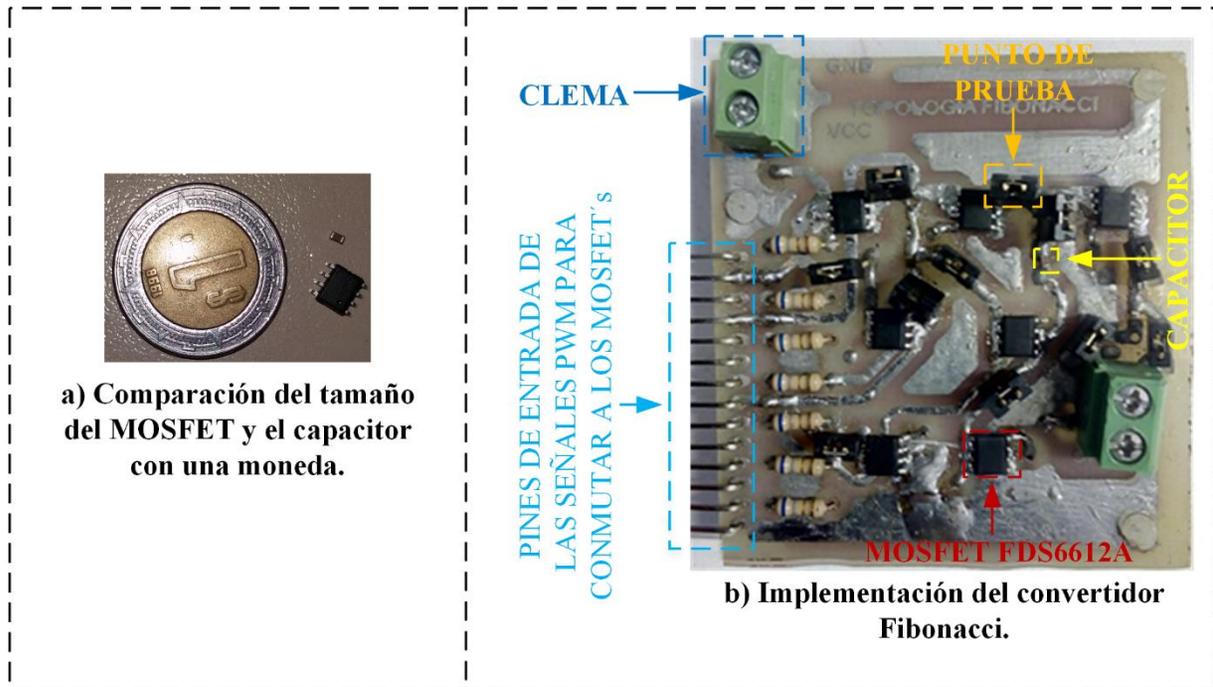


Figura 3.7 Implementación de la Topología Fibonacci.

En cada punto de prueba hay un *jumper*, el cual se colocó para poder abrir el circuito y hacer mediciones de corriente. En este circuito se utilizan 8 jumpers, de los cuales 7 sirven como puntos de medición de la corriente de drenaje a fuente (I_{DS}), de los interruptores (mosfet). El octavo se utiliza para medir la corriente de salida del convertidor.

También se colocaron dos clemas, una en la entrada para el voltaje V_{in} , y otra de salida para medir el voltaje V_O , y colocar una carga resistiva. Los pines que se muestran en la figura 3.7b son las entradas de las señales PWM para las conmutaciones de cada MOSFET.

3.4 Etapa de control y etapa de potencia.

Las etapas de control y de potencia se muestran en la figura 3.8. Como se mencionó en este capítulo, la etapa de control es robusta debido a que solo será útil para la conmutación de los interruptores.

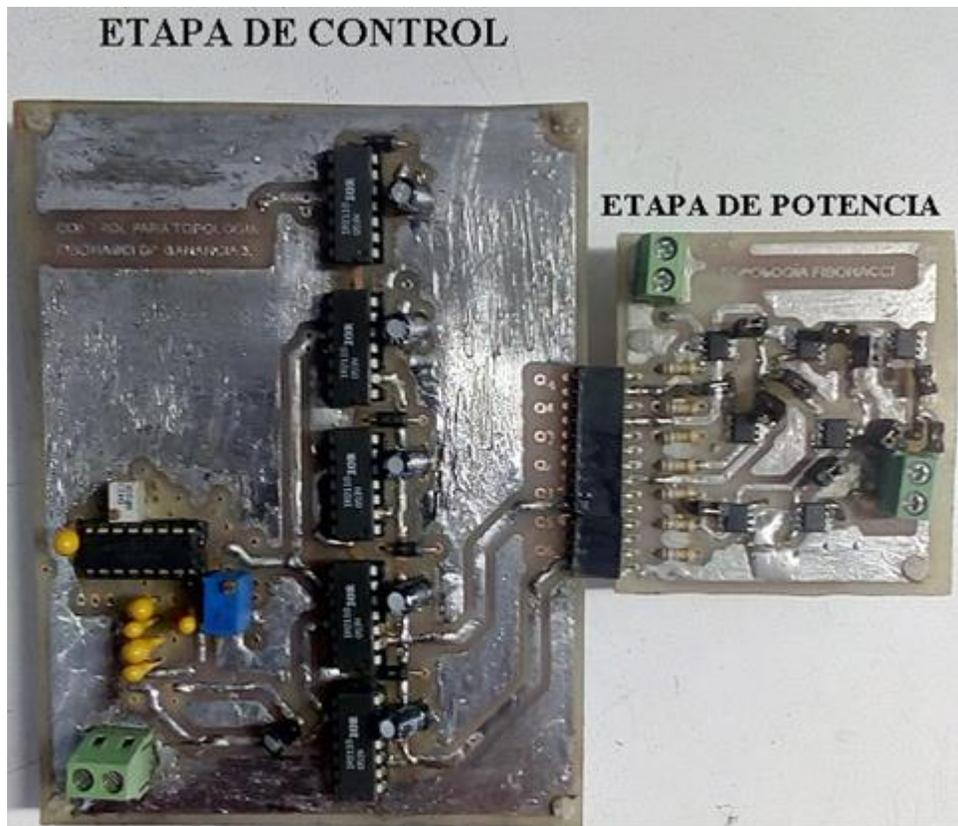


Figura 3.8 Conexión de la etapa de control con la etapa de potencia.

3.4.1 Señales PWM de los interruptores.

Se realizan pruebas de funcionamiento para verificar el correcto funcionamiento del control sobre el convertidor. En la figura 3.9a, se muestra al convertidor, en este caso cada interruptor lleva una etiqueta (Q_1 , Q_2 , Q_3 , Q_4 , Q_5 , Q_6 , y Q_7), las que se utilizan para identificar las señales de control que se aplican a cada interruptor. A continuación, se muestran las señales de conmutación de los interruptores, a una frecuencia de 100 kHz, con un ciclo de trabajo del 45%. Se observa el correcto funcionamiento de las conmutaciones superior e

inferior del controlador PWM aplicado a los 7 interruptores; las formas de onda medidas en cada mosfet se muestran en la figura 3.9b.

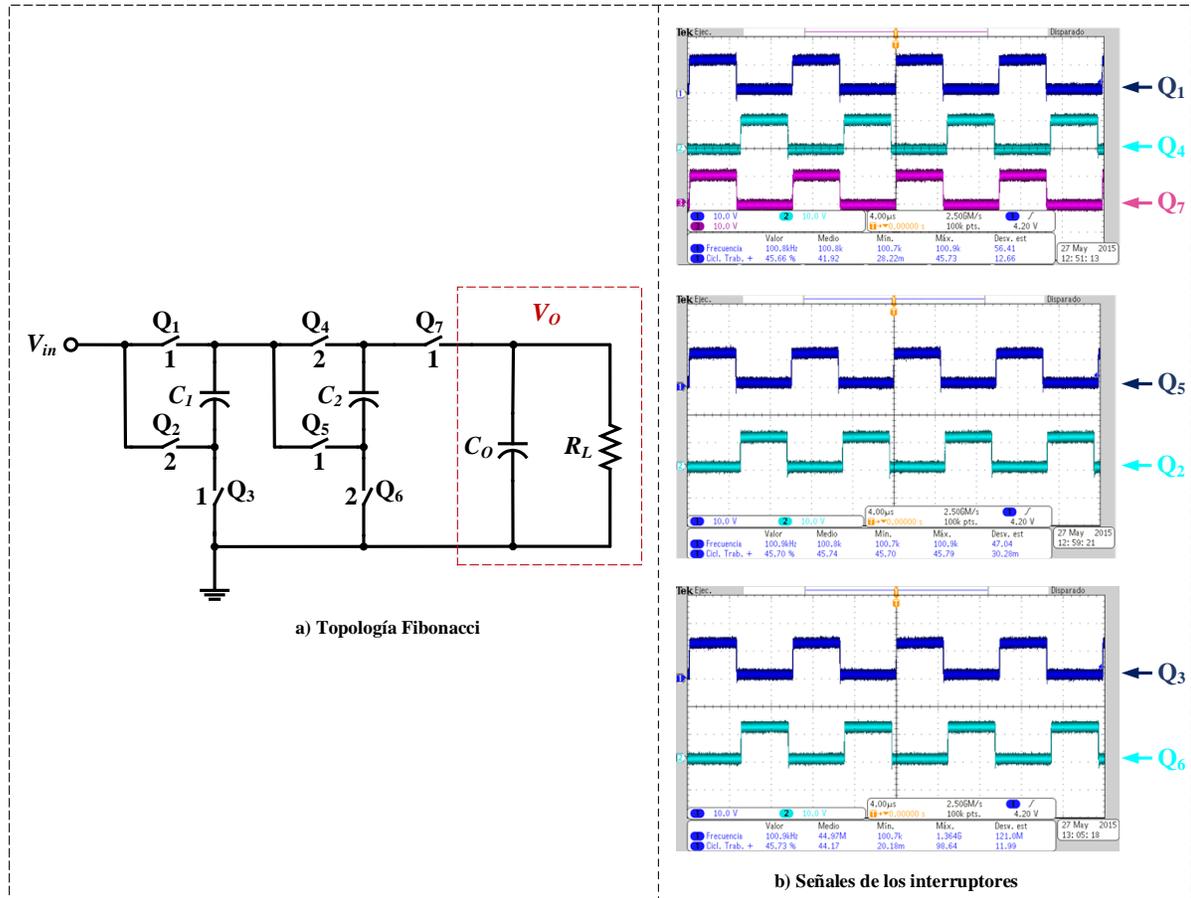


Figura 3.9 Señales PWM del convertidor tipo Fibonacci.

3.5 Conclusiones.

La ventaja de la topología Fibonacci sobre otras topologías, es que se pueden obtener ganancias grandes con un número menor de elementos, principalmente interruptores.

En este capítulo se plantea un método de análisis del convertidor Fibonacci, y se propone una etapa de control para la conmutación de los interruptores que componen al convertidor Fibonacci de ganancia $M = 3$. Cabe mencionar que el control propuesto construido con elementos como el UC3825AN y el *driver* IR2110, solo actuará como medio para realizar pruebas al convertidor y caracterizar su funcionamiento, por tal motivo el control es robusto.

Se seleccionaron mosfet que tienen una resistencia de drenaje a fuente (R_{DS}) baja, de tal forma que se espera que la eficiencia del convertidor sea alta, aunque la idea principal es realizar pruebas al convertidor y observar su nivel de eficiencia.

CAPÍTULO 4

Resultados

En este capítulo se presentan los resultados obtenidos en el laboratorio al realizar pruebas del funcionamiento en el convertidor Fibonacci en ganancia 3 ($M = 3$). Se realizan pruebas de esfuerzos en cada interruptor electrónico, puesto que son los elementos en los cuales se tienen mayores pérdidas debido a las conmutaciones.

Se obtienen las caídas de tensión en cada capacitor que conforma la topología y se comparan los resultados prácticos con los teóricos. Se lleva a cabo una variación de la frecuencia en la etapa de control para analizar el comportamiento del voltaje de salida a tres diferentes frecuencias.

4.1 Valores de capacitores y resistencia de carga.

Los resultados obtenidos para el caso de evaluación práctica de los esfuerzos en los interruptores, corrientes, voltajes en los capacitores y, posteriormente, eficiencia en el convertidor, se basan en los valores de los capacitores y de la resistencia de carga R_L . Estos valores se muestran en la tabla 4.1, y se debe tener en cuenta que C_1 y C_2 son de igual valor,

mientras que el valor de C_O cambia de acuerdo a la ecuación (3.37). Para la resistencia de carga se emplea la ecuación (3.39).

Tabla 4.1 Valores reales de los capacitores y resistencia de carga que conforman al convertidor Fibonacci.

Descripción	Símbolo	Valor
Capacitor 1	C_1	22 μ F
Capacitor 2	C_2	22 μ F
Capacitor de salida	C_O	10 μ F
Resistencia de carga	R_L	166 Ω

4.2 Esfuerzos en los MOSFET.

Los interruptores mosfet, son los elementos que en un convertidor de capacitores conmutados (SC) provocan mayores pérdidas por conmutación, por ello se realizaron pruebas de esfuerzos en cada Mosfet y se reportan a continuación las pérdidas correspondientes. Dentro de la topología, se nombran a los interruptores de la siguiente forma: (Q_1 , Q_2 , Q_3 , Q_4 , Q_5 , Q_6 , y Q_7), como se muestra en la figura 3.9a.

4.2.1 Esfuerzo en el interruptor Q_1 .

El interruptor Q_1 es uno de los que se encuentran flotados. Se miden la tensión v_{Q1} , (figura 4.2a), la intensidad del interruptor i_{Q1} (figura 4.2b) y se obtiene el esfuerzo en potencia en el dispositivo (figura 4.2c). El esfuerzo promedio experimental en el interruptor Q_1 es de 25 mW.

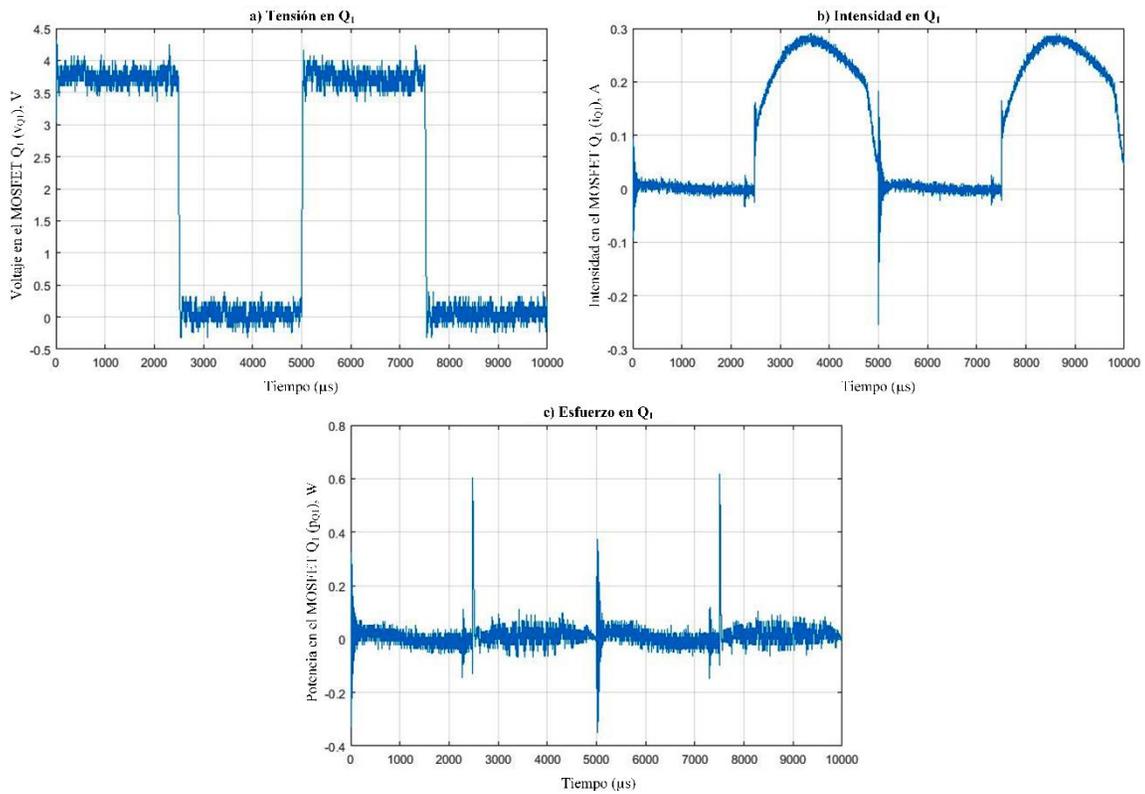


Figura 4.1 Señales en el tiempo de Q_1 .

4.2.2 Esfuerzo en el interruptor Q_2 .

El mosfet Q_2 es otro de los interruptores flotados. La figura 4.2 muestra las formas de onda del voltaje y de la corriente, para obtener la potencia que disipa el dispositivo. En la figura 4.2a se muestra la tensión v_{Q2} , mientras que la figura 4.2b muestra la corriente en el interruptor i_{Q2} . La potencia resultante se muestra en la figura 4.2c. En el interruptor Q_2 se tiene un esfuerzo promedio igual a 19 mW; en este caso las pérdidas por conmutación en Q_2 son inferiores a las de Q_1 .

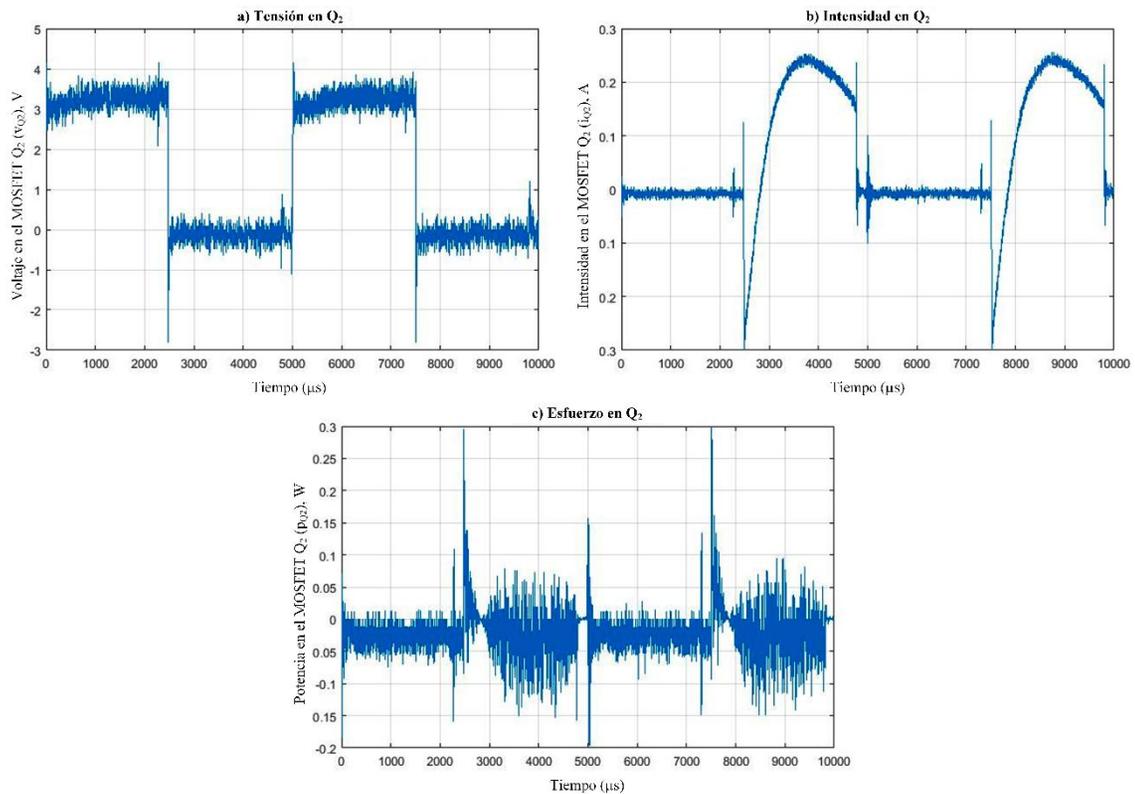


Figura 4.2 Señales en el tiempo de Q_2 .

4.2.3 Esfuerzo en el interruptor Q_3 .

Dentro de la topología se encuentran dos interruptores con referencia a tierra; uno de estos dispositivos es el interruptor Q_3 . Para obtener el esfuerzo que hay en este dispositivo se obtienen las formas de onda en voltaje, corriente y posteriormente el esfuerzo como se muestra en la figura 4.3. En la figura 4.3a, se muestra el comportamiento del voltaje v_{Q3} , mientras que en la figura 4.3b, se muestra el comportamiento de la intensidad i_{Q3} . El resultado experimental de la potencia promedio en este interruptor es igual a 5 mW, teniéndose un esfuerzo mucho menor que en los interruptores Q_1 y Q_2 .

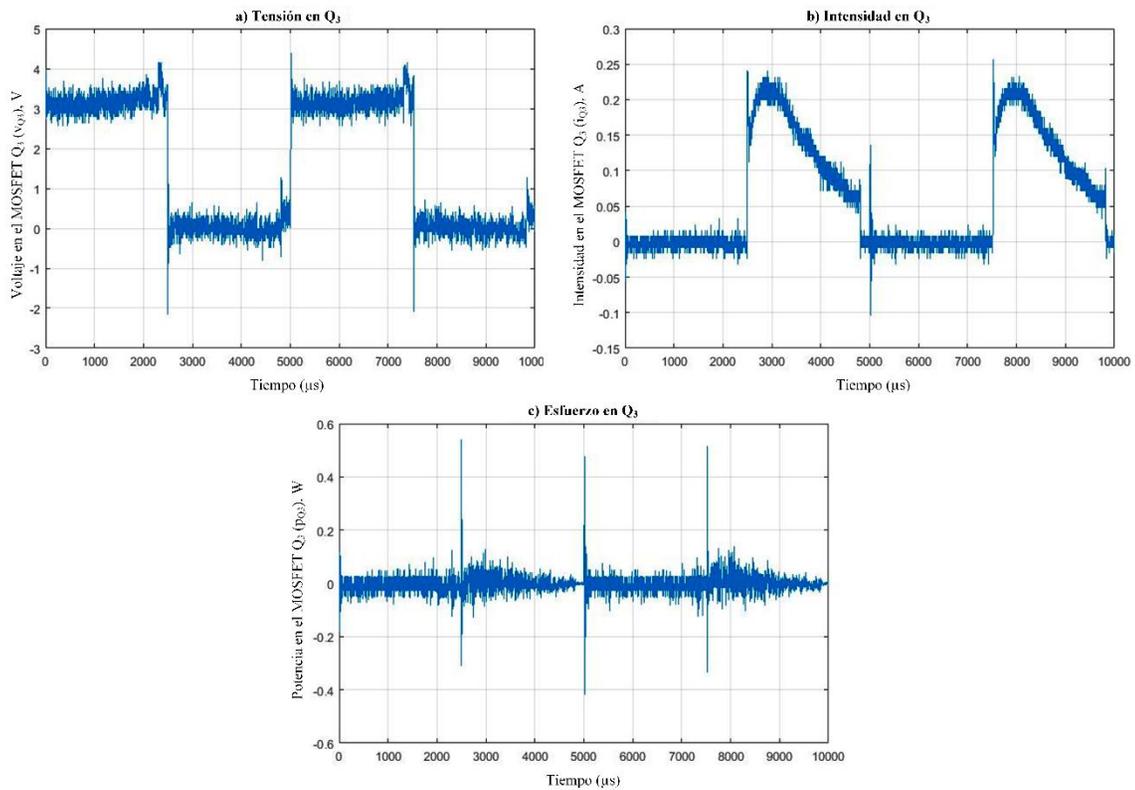


Figura 4.3 Señales en el tiempo de Q_3 .

4.2.4 Esfuerzo en el interruptor Q_4 .

El interruptor Q_4 , es un MOSFET que se encuentra flotado dentro del convertidor. En la figura 4.4 se muestran las formas de onda para obtener el esfuerzo en Q_4 . En la figura 4.4a se muestra el voltaje que es necesario para conmutar al interruptor, en la figura 4.4b se muestra la forma de corriente que pasa por el MOSFET, mientras que en la figura 4.4c, se observa el esfuerzo que existe en dispositivo. En este interruptor la potencia promedio obtenida de forma experimental es igual a 21 mW.

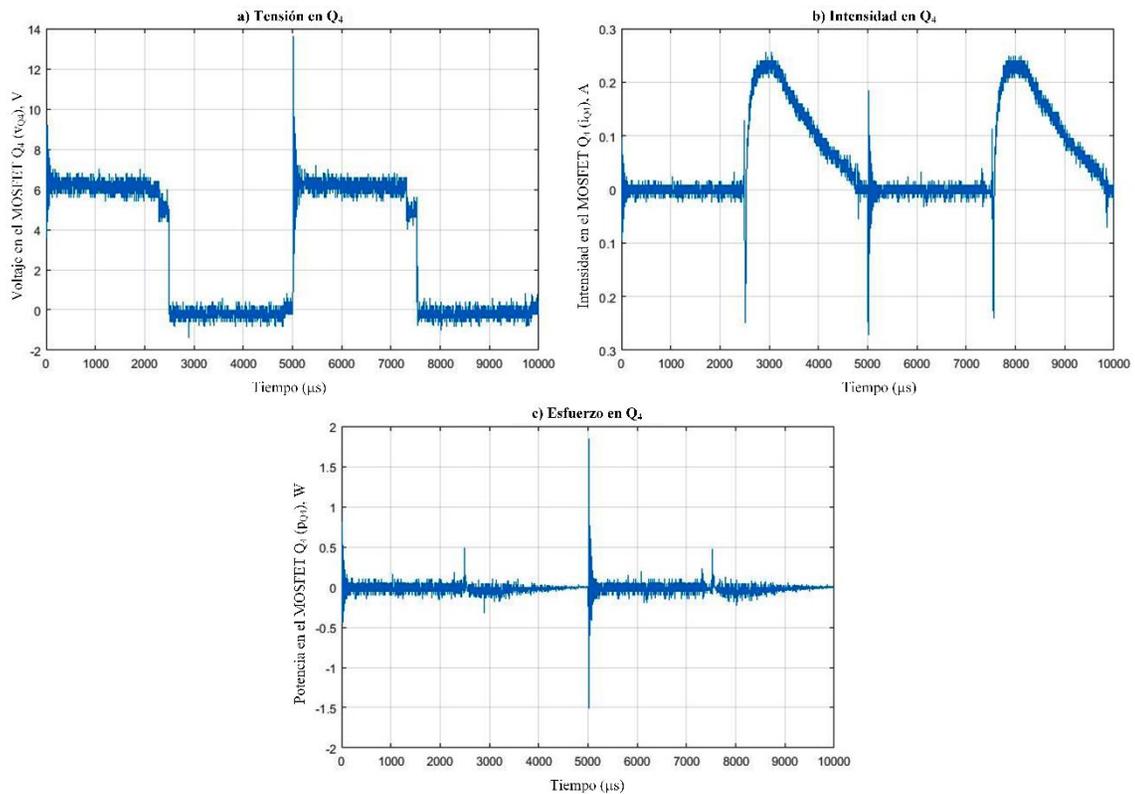


Figura 4.4 Señales en el tiempo de Q_4 .

4.2.5 Esfuerzo en el interruptor Q_5 .

En la figura 4.5 se muestran las formas de onda del voltaje y de la corriente del interruptor Q_5 que se encuentra flotado. La figura 4.5a, muestra la tensión, mientras que en la figura 4.5b, se observa el comportamiento de la corriente.

Al obtener la corriente y la tensión de forma experimental se encuentra la potencia en el interruptor, como se muestra en la figura 4.5c. La potencia promedio en este interruptor es igual a 4 mW.

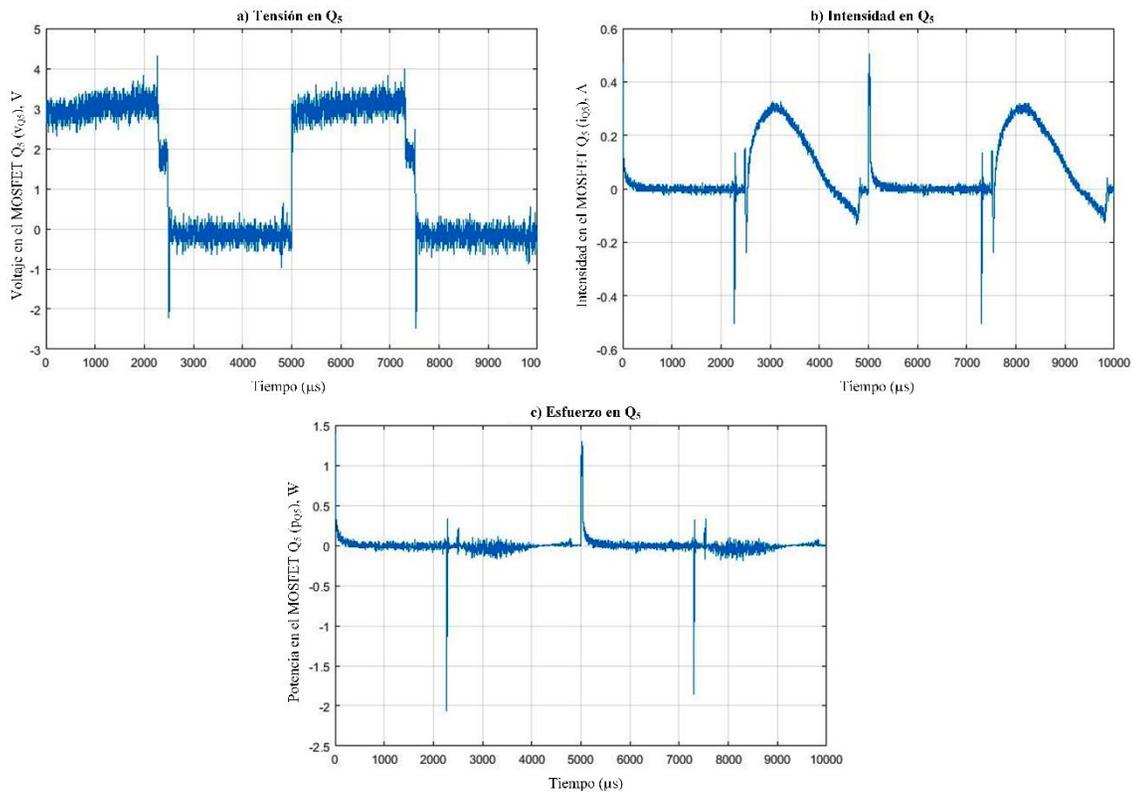


Figura 4.5 Señales en el tiempo de Q_5 .

4.2.6 Esfuerzo en el interruptor Q_6 .

El interruptor Q_6 , es el segundo interruptor que se encuentra referenciado a tierra. En la figura 4.6 se muestran las formas de onda de voltaje y de corriente, y el comportamiento de la potencia en el interruptor. La figura 4.6a, muestra el voltaje en Q_6 , mientras que la figura 4.6b, muestra la intensidad. La figura 4.6c, muestra el comportamiento de la potencia en Q_6 . La potencia promedio del interruptor Q_6 es igual a 21 mW, lo cual representa una pérdida de potencia similar a la de los interruptores a Q_1 , Q_2 y Q_4 .

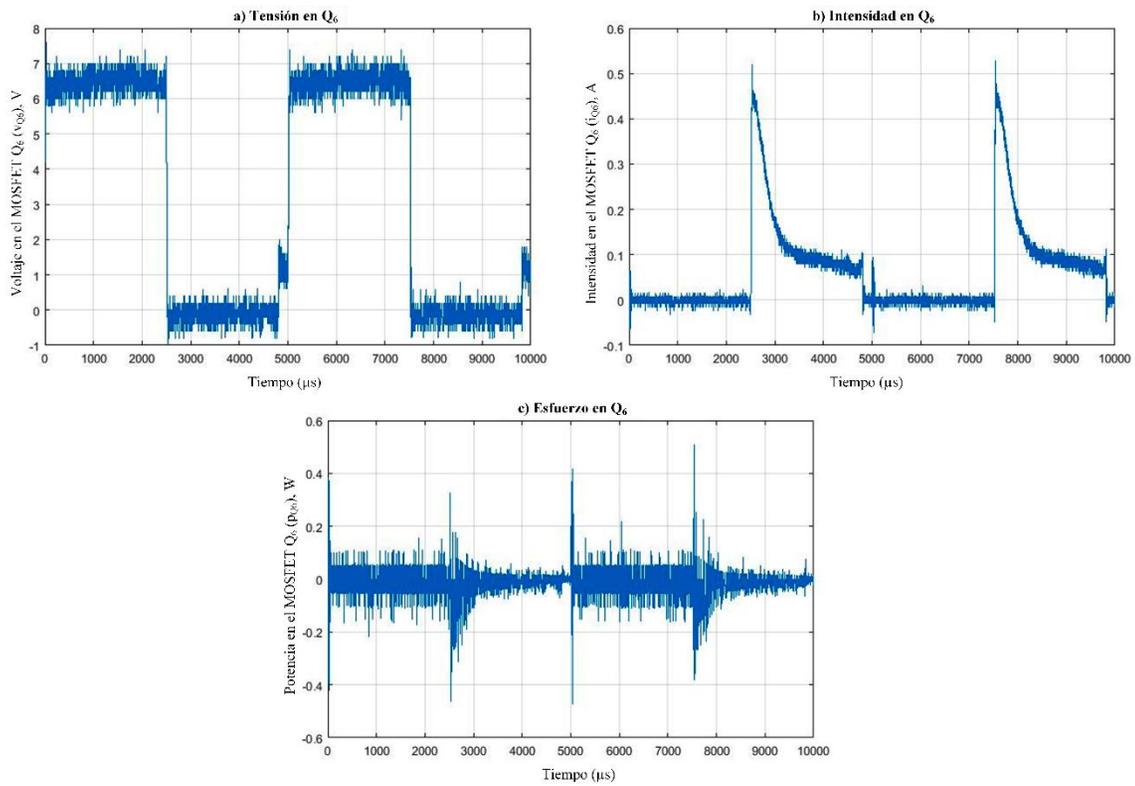


Figura 4.6 Señales en el tiempo de Q_6 .

4.2.7 Esfuerzo en el interruptor Q_7 .

El interruptor Q_7 es el MOSFET que, al activarse, permite que se realice la transferencia de carga de los capacitores C_1 y C_2 hacia el capacitor C_0 , ya que éste está en serie con la salida. Puesto que éste es el dispositivo que permite la transferencia de las cargas de voltaje en los capacitores, la corriente que pasa por el interruptor es mucho mayor, lo que se refleja en pérdidas también mayores. En la figura 4.7 se muestra el comportamiento de las formas de onda de voltaje y corriente: en la figura 4.7a el voltaje en Q_7 ; en la figura 4.7b la intensidad, y en la figura 4.7c la potencia. El esfuerzo medido de manera experimental en el interruptor Q_7 es de 51 mW.

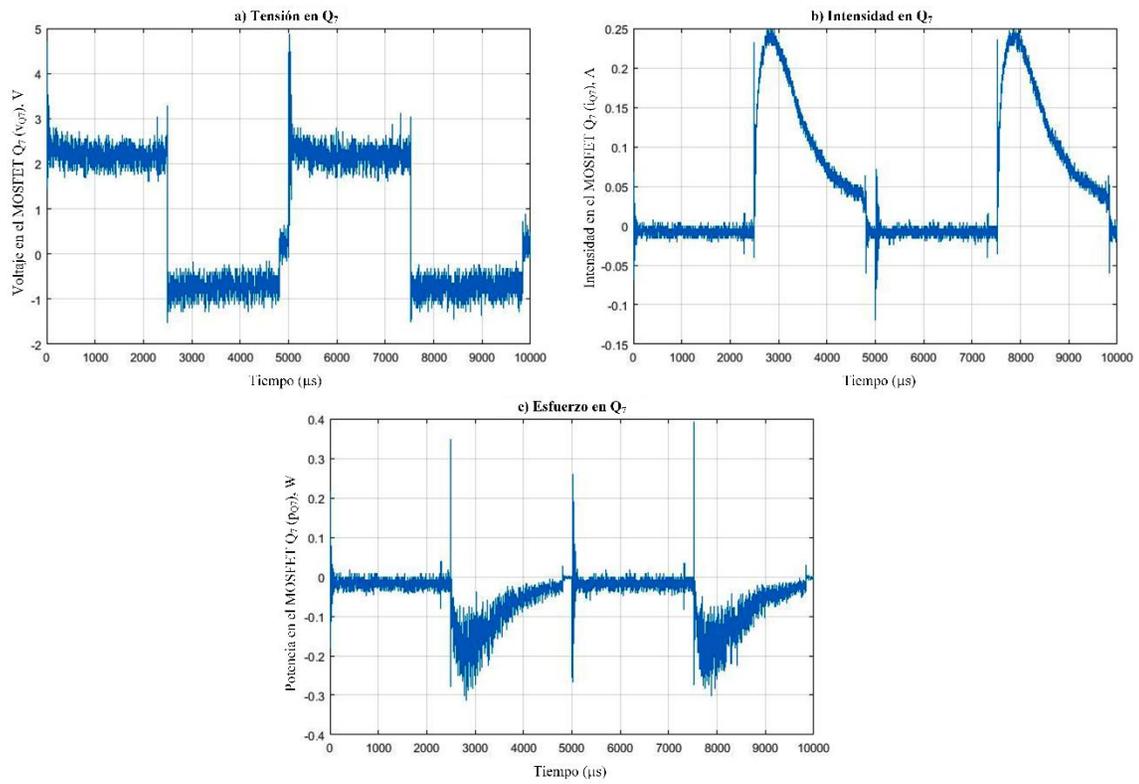


Figura 4.7 Señales en el tiempo de Q₇.

En la tabla 4.2 se resumen las pérdidas que se midieron en cada interruptor.

Tabla 4.2 Esfuerzo en cada dispositivo MOSFET.

Interruptor	POTENCIA PROMEDIO (mW)
Q ₁	25
Q ₂	19
Q ₃	5
Q ₄	21
Q ₅	4
Q ₆	21
Q ₇	51

4.3 Intensidad y voltaje en los capacitores C_1 , C_2 y C_0 .

Los voltajes en los capacitores de la topología Fibonacci son de vital importancia para verificar el correcto funcionamiento del convertidor; por tal motivo, se miden la forma de onda de corriente en cada capacitor y su respectiva caída de voltaje.

4.3.1 Intensidad y caída de voltaje en el capacitor C_1 .

En la figura 4.8 se muestran los resultados obtenidos de forma experimental de la intensidad y el voltaje en el capacitor C_1 . Tomando en cuenta que las ganancias que se obtienen en el convertidor Fibonacci se basan en la secuencia del mismo nombre, el voltaje esperado en el capacitor será aproximadamente igual al voltaje de la fuente de entrada, el cual es de 3.85V. En este caso, el voltaje en el capacitor C_1 resulta igual a 3.6 V (figura 4.8).

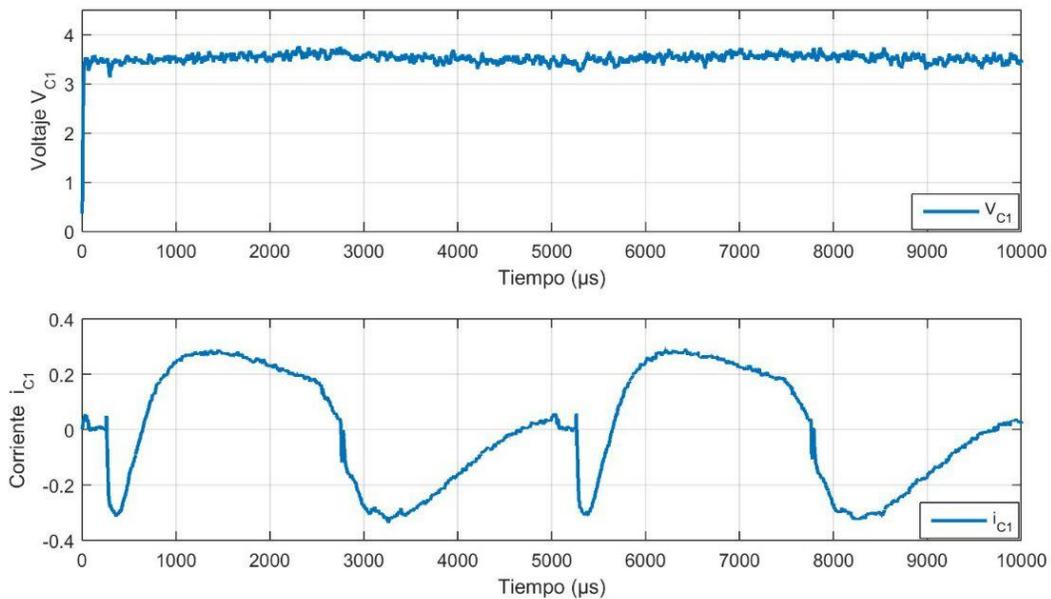


Figura 4.8 Voltaje e intensidad en el capacitor C_1 .

4.3.2 Intensidad y caída de voltaje en el capacitor C_2 .

La tensión teórica en el capacitor C_2 es el doble del voltaje de entrada (7.7 V). De forma experimental, el voltaje V_{C2} es igual a 7.5 V. Las formas de onda de voltaje y corriente se muestran en la figura 4.9.

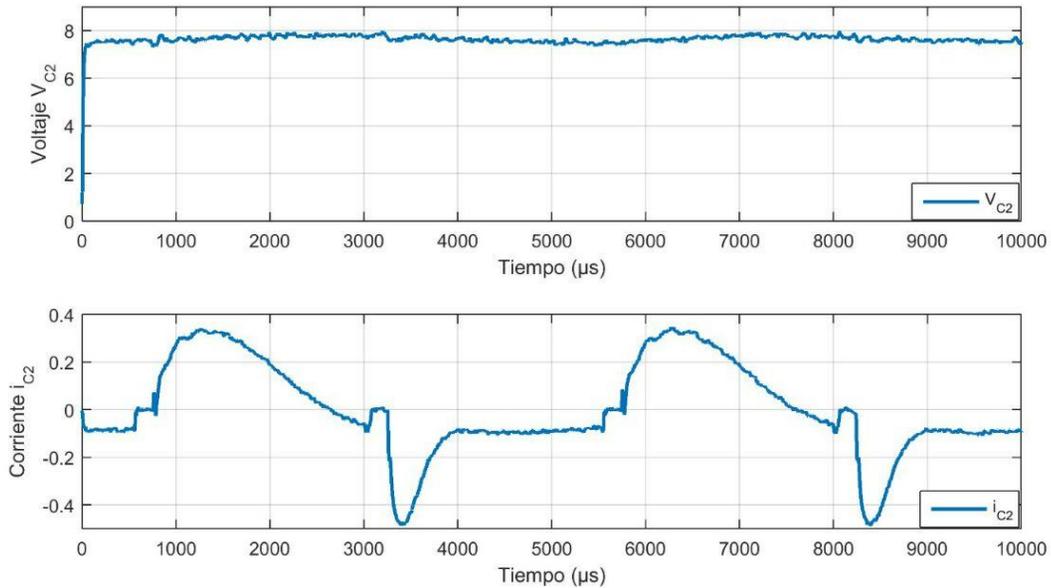


Figura 4.9 Voltaje e intensidad en el capacitor C_2 .

4.3.3 Intensidad y caída de voltaje en el capacitor C_O .

El capacitor C_O , representa el capacitor de salida del convertidor en el cual se debe reflejar el voltaje de C_1 sumado al voltaje C_2 ; de esta forma, el voltaje en C_O debe ser $3V_{in}$, e igual a 11.55 V.

De forma experimental, el voltaje en C_O es igual a 10 V ($V_{CO} = 10$ V), lo cual representa una diferencia de 1.55V con respecto al voltaje teórico esperado en la salida del convertidor. También se muestra la corriente C_O , la cual afecta ya que se tienen pérdidas debido a la resistencia serie equivalente (ESR) del capacitor; en este apartado no se muestra esa pérdida en el capacitor pues se considera que es un esfuerzo mínimo en el dispositivo, sin embargo, se muestra la forma de onda de la corriente. En la figura 4.10, se muestran las formas de onda de corriente y tensión obtenidas de forma experimental en el capacitor.

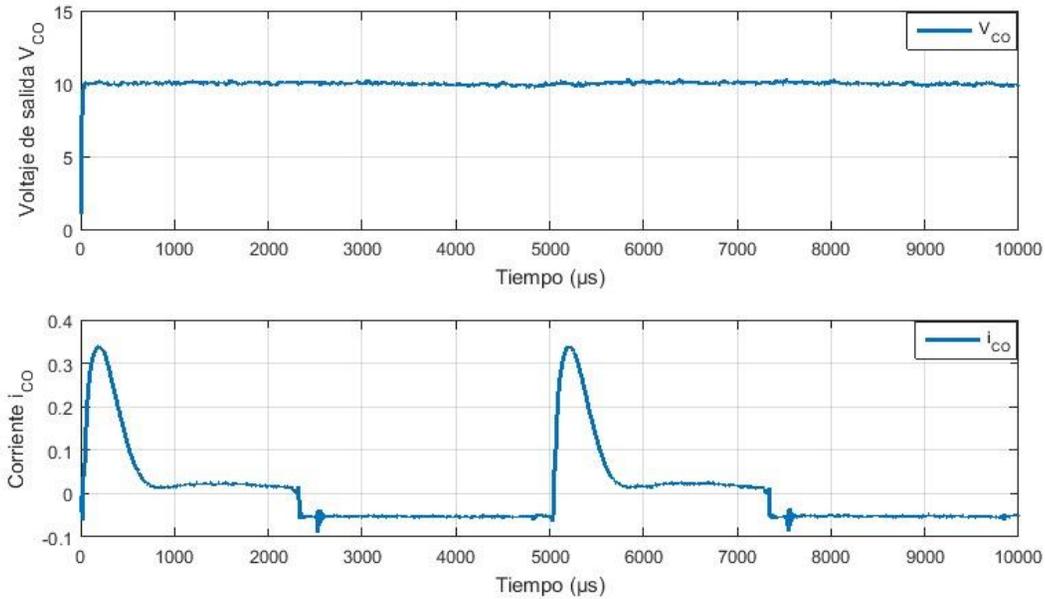


Figura 4.10 Voltaje e intensidad en C_o .

4.4 Eficiencia del convertidor.

La eficiencia del convertidor se obtiene midiendo las potencias de salida y de entrada. En la tabla 4.3 se muestran los valores correspondientes

Tabla 4.3 Resultados prácticos de la potencia de entrada y salida

Descripción	Símbolo	Valor experimental
Potencia de entrada	P_{in}	770 mW
Potencia de salida	P_o	595.98 mW
Eficiencia	η	77.33%

4.5 Barrido de frecuencia en la topología Fibonacci.

En los convertidores convencionales se regula el voltaje de salida variando el ciclo de trabajo. Para convertidores del tipo capacitores conmutados, variar el ciclo de trabajo tiene poco efecto sobre la tensión de salida, ya que el voltaje de salida está determinado fundamentalmente por la topología del convertidor [38]. No obstante, en este apartado se muestra de manera experimental el afecto que tiene al variar la frecuencia de operación.

La figura 4.11, muestra el voltaje de salida. El efecto que causa el variar la frecuencia es que el voltaje va aumentando al igual que la corriente lo que puede significar una mayor eficiencia en el convertidor.

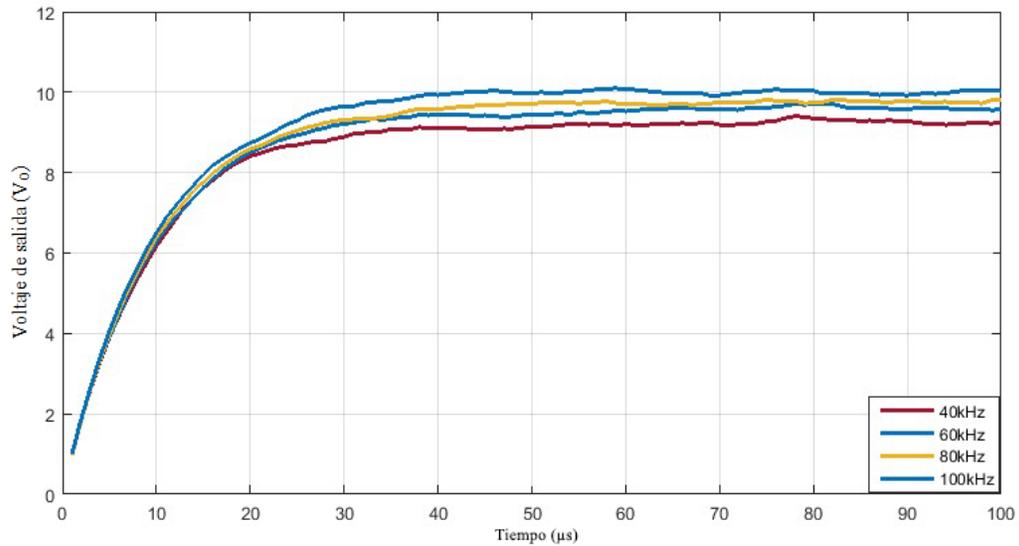


Figura 4.11 Barrido de frecuencias.

En la tabla 4.4 se muestra los resultados obtenidos de forma experimental al variar la frecuencia del convertidor de 40 kHz a 100 kHz.

Tabla 4.4 Valores de corriente al variar la frecuencia de operación.

Frecuencia (kHz)	Corriente de salida (A)
100	0.063
80	0.061
60	0.058
40	0.056

Se puede comprobar de forma experimental que al variar la frecuencia también el voltaje de salida se aproxima a la ganancia a la que está diseñado el convertidor.

4.6 Caracterización del convertidor con diferentes valores de carga R_L .

Se hicieron distintas pruebas para analizar el comportamiento de la corriente de salida I_o , el voltaje de salida V_o y la máxima transferencia de potencia en la carga R_L . De esta manera se obtienen las curvas de regulación del convertidor y se puede observar el comportamiento del convertidor expuesto a distintas cargas en su salida.

En el análisis experimental se notó que, conforme aumenta R_L , el voltaje de salida también aumenta; sin embargo, la corriente de salida disminuye, lo que provoca que fluya más corriente por los mosfet y se tengan mayores pérdidas en conducción. De esta manera el convertidor se vuelve ineficiente ya que no hay una máxima transferencia de potencia a la carga R_L .

La tabla 4.5, muestra los valores de corriente de entrada, y los de corriente, voltaje y potencia de salida, ante 38 valores distintos en la resistencia de carga. Las pruebas se hicieron con un voltaje de entrada de 3.85 V.

Tabla 4.5 Resultados experimentales al variar la resistencia de carga (R_L), del convertidor Fibonacci de ganancia 3.

R_L (Ω)	I_{in} (A)	V_o (V)	I_o (A)	P_o (W)
148.7	0.2	9.41	0.063	0.595
156	0.191	9.44	0.060	0.571
163	0.184	9.45	0.057	0.547
166.7	0.181	9.47	0.056	0.537
178.1	0.171	9.49	0.053	0.505
188.5	0.162	9.52	0.050	0.480
203.1	0.152	9.54	0.046	0.448
213.5	0.137	9.01	0.042	0.380
235.2	0.134	9.6	0.040	0.391
249.6	0.127	9.62	0.038	0.370
264.2	0.121	9.64	0.036	0.351
274.8	0.111	9.11	0.033	0.302
285.7	0.113	9.66	0.033	0.326
300.4	0.109	9.68	0.032	0.311

R_L (Ω)	I_{in} (A)	V_o (V)	I_o (A)	P_o (W)
325.4	0.095	9.16	0.028	0.257
351.4	0.089	9.19	0.026	0.240
384.4	0.088	9.74	0.025	0.246
391	0.087	9.74	0.024	0.242
420.2	0.077	9.23	0.021	0.202
433.8	0.075	9.24	0.021	0.196
459	0.077	9.78	0.021	0.208
462.8	0.071	9.25	0.019	0.184
482.4	0.069	9.27	0.019	0.178
498.7	0.072	9.8	0.019	0.192
523.8	0.069	9.81	0.018	0.183
545.5	0.063	9.3	0.017	0.158
574	0.065	9.83	0.017	0.168
607.8	0.058	9.33	0.015	0.143
621.3	0.061	9.84	0.015	0.155
646.4	0.059	9.85	0.015	0.150
662	0.058	9.85	0.014	0.146
704	0.052	9.37	0.013	0.124
745	0.051	9.38	0.012	0.118
802	0.05	9.88	0.012	0.121
852	0.048	9.89	0.011	0.114
903	0.047	9.9	0.010	0.108
946	0.042	9.44	0.009	0.094
1000	0.04	9.46	0.009	0.089

Los resultados prácticos se muestran en la figura 4.12; en la figura 4.12a se muestran los valores de la resistencia R_L , mientras que en la figura 4.12b, se observa el voltaje obtenido. En la figura 4.12c se muestra la corriente de salida del convertidor y en la figura 4.12d se muestra la potencia obtenida al variar la resistencia de carga.

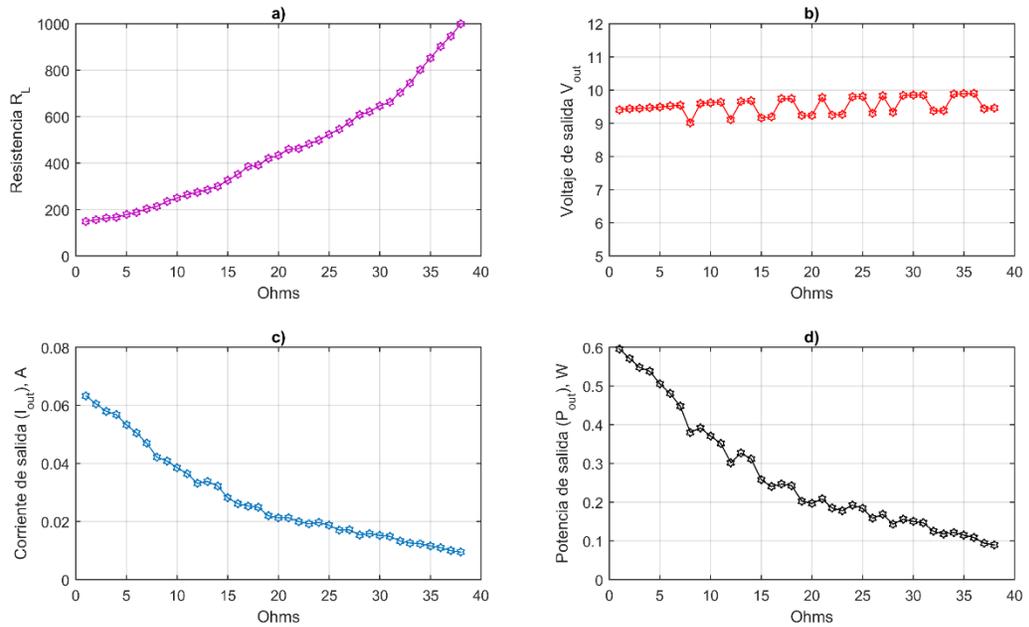


Figura 4.12 Resultados prácticos al variar la resistencia de carga R_L .

Los resultados experimentales muestran que, al aumentar la resistencia de salida, el voltaje también tiende a aumentar, sin embargo, la corriente disminuye y de igual forma la potencia de salida tiende a disminuir. Al aumentar la R_L , el voltaje de salida se puede aproximar a la ganancia a la cual se diseñó el convertidor, pero tiende a ser menos eficiente.

CAPÍTULO 5

Conclusiones y trabajos futuros

Este capítulo se divide en dos partes. En primer lugar, se describen las conclusiones obtenidas del desarrollo del presente trabajo de tesis. En segundo lugar, se proponen trabajos futuros para continuar con la investigación de los convertidores con capacitores conmutados SCC.

5.1 Conclusiones.

En la actualidad existe un gran interés por desarrollar convertidores que sean de bajo volumen y que trabajen a bajas potencias. La intención es emplearlos en aplicaciones de cosecha de energías, para sustituir baterías en sensores, o en diferentes dispositivos que trabajen a bajas potencias (dentro de un intervalo de μW - mW). El desarrollo de esta investigación es entonces de importancia ya que se muestran diferentes convertidores que cumplen con las características que se buscan en un convertidor para aplicaciones de cosecha de energía. En particular, el desarrollo de esta investigación se enfoca en reportar el funcionamiento, los resultados y las conclusiones obtenidos en el diseño e implementación de un convertidor Fibonacci con ganancia $M = 3$.

Los convertidores presentan características particulares, por lo tanto, algunos son viables a bajas ganancias, mientras que otros lo son a ganancias elevadas. En algunos convertidores de SC se emplean menos interruptores a ganancias altas, lo cual los hace más atractivos ya que, entre menos interruptores se tengan, menos pérdidas por conmutación se tienen.

Una desventaja en los convertidores con capacitores conmutados es que no se tiene un método de análisis estándar; por tal motivo, el análisis en este convertidor se basa en la teoría de circuitos multiplicadores [39]. Los siguientes puntos indican las conclusiones obtenidas en cada prueba realizada.

- Dentro de las pruebas realizadas al convertidor Fibonacci, se pudo obtener como resultado que al aumentarse la frecuencia de operación, el voltaje y la corriente van aumentando y por lo tanto la eficiencia mejora. De esta forma se puede concluir que la frecuencia es fundamental para la eficiencia del convertidor Fibonacci.
- Al aumentar la resistencia de carga, la corriente tiende a disminuir y el voltaje aumenta. Se puede llegar a la conclusión de que mientras mas grande sea la carga la ganancia se aproxima más al valor teórico. Sin embargo, la eficiencia del convertidor tiende a ser disminuir debido a que disminuye la potencia de salida.
- Si se pretende emplear en aplicaciones de cosecha de energías, se debe contemplar que el voltaje de entrada va a variar; por lo tanto, se debe buscar algún algoritmo que permita al convertidor operar a una ganancia variable de tal forma que en la salida se tengan el voltaje y la corriente deseadas, ante variaciones del voltaje de entrada.
- Este trabajo se enfocó principalmente al estudio del convertidor Fibonacci. Es por este motivo que se implementa un control relativamente robusto, el cual solo se emplea para conmutar los interruptores del convertidor sin tomar en cuenta su dimensión.
- El prototipo del convertidor se dimensionó con el fin de permitir medir el comportamiento de los interruptores que lo forman y las caídas de voltaje en cada capacitor.

5.2 Trabajos futuros.

Este trabajo finaliza con la implementación del convertidor Fibonacci y con los resultados obtenidos al realizarse diferentes pruebas en el convertidor. Si se pretende seguir la línea de investigación de los convertidores de capacitores conmutados, es necesario mejorar el convertidor e implementar otras topologías, para compararlas de manera experimental. Por tal motivo a continuación se presentan sugerencias para nuevos:

- El control que se planteó en el trabajo de tesis tiene la desventaja de que es bastante voluminoso. Se propone reducir el volumen del control buscando algunas alternativas para llevarlo a cabo, principalmente en los *drivers* que se encargan de flotar las señales PWM, puesto que son los elementos que hacen muy voluminosa la etapa de control.
- La mayoría de los estudios relacionados con este tipo de convertidores se basa en la idea de que se usarán para sustituir baterías. Se sugiere poner en funcionamiento el prototipo alimentando una carga de bajo consumo de potencia; ejemplo un chip o un sensor, para así comprobar si es viable para alimentar este tipo de cargas.
- Se sugiere buscar nuevos métodos de análisis de estas topologías y definir metodologías de diseño para cada tipo de convertidor de capacitores conmutados.
- Realizar un estudio teórico y simulado del prototipo en lazo cerrado, y posteriormente llevarlo a la implementación para poder obtener resultados reales que sirvan como fundamento para determinar de viabilidad en este tipo de convertidores.
- Desarrollar algoritmos que permitan un voltaje de salida constante ante variaciones en el voltaje de entrada en un convertidor de SC.

Bibliografía

- [1] J. A. Paradiso and T. Starner, "Energy Scavenging for Mobile and Wireless Electronics," *IEEE Pervasive Computing*, vol. 4, no. 1, pp. 18-27, Jan.-March 2005.
- [2] A. Khaligh, P. Zeng and C. Zheng, "Kinetic Energy Harvesting Using Piezoelectric and Electromagnetic Technologies—State of the Art," *IEEE Transactions on Industrial Electronics*, vol. 57, no. 3, pp. 850-860, March 2010.
- [3] V. Raghunathan and P. H. Chou, "Design and Power Management of Energy Harvesting Embedded Systems," in *ISLPED'06 Proceedings of the 2006 International Symposium on Low Power Electronics and Design*, Tegernsee, October, 2006.
- [4] R. Vullers, R. Van Schaijk, I. Doms, C. V. Hoof and R. Mertens, "Micropower energy harvesting," *Solid-State Electronics*, vol. 53, no. 7, pp. 684-693, April 2009.
- [5] M. Duffy and D. Carroll, "Electromagnetic generators for power harvesting," *Power Electronics Specialists Conference, 2004. PESC 04. 2004 IEEE 35th Annual*, vol. 3, pp. 2075-2081, 2004.
- [6] M. R. Mhetre, N. S. Nagdeo and H. K. Abhyankar, "Micro Energy Harvesting for Biomedical Applications: A Review," *Electronics Computer Technology (ICECT), 2011 3rd International Conference on*, vol. 3, pp. 1-5, 2011.
- [7] C. Park and P. H. Chou, "AmbiMax: Autonomous Energy Harvesting Platform for Multi-Supply Wireless Sensor Nodes," *2006 3rd Annual IEEE Communications Society on Sensor and Ad Hoc Communications and Networks*, vol. 1, pp. 168-177, 2006.
- [8] G. Palumbo, . D. Pappalardo and M. Gaibotti, "Charge-Pump Circuits: Power-Consumption Optimization," *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, vol. 49, no. 11, pp. 1057-1122, November 2002.
- [9] G. Palumbo and D. Pappalardo, "Charge Pump Circuits With Only Capacitive Loads: Optimized Design," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol.

- 53, no. 2, pp. 128-132, February 2006.
- [10] C. Lu, S. P. Park, V. Raghunathan and K. Roy, "Stage Number Optimization for Switched Capacitor Power Converters in Micro-Scale Energy Harvesting," in *2011 Design, Automation & Test in Europe*, Grenoble, 2011.
- [11] G. Zhu and A. Ioinovici, "Switched-capacitor power supplies: DC voltage ratio, efficiency, ripple, regulation," in *Circuits and Systems, 1996. ISCAS '96., Connecting the World., 1996 IEEE International Symposium on*, Atlanta, GA, May, 1996.
- [12] A. Ioinovici, "Switched-Capacitor Power Electronics Circuits," *IEEE Circuits and Systems Magazine*, vol. 1, no. 3, pp. 37-42, 2001.
- [13] G. Thiele and E. Bayer, "Voltage Dobladora/Tripler Current-Mode Charge Pump Topology with simple "Gear Box"," in *2007 IEEE Power Electronics Specialists Conference*, Orlando, FL, June, 2007.
- [14] M. H. Huang, P. C. Fan and K. H. Chen, "Low-Ripple and Dual-Phase Charge Pump Circuit Regulated by Switched-Capacitor-Based Bandgap Reference," *IEEE Transactions on Power Electronics*, vol. 24, no. 5, pp. 1161-1172, May 2009.
- [15] F. Zhang, L. Du and Z. Qian, "A new Design Method for High Efficiency DC-DC Converters with Flying Capacitor Technology," in *Twenty-First Annual IEEE Applied Power Electronics Conference and Exposition, 2006. APEC '06.*, Dallas, TX, March, 2006.
- [16] F. Zhang, L. Du, F. Z. Peng and Z. Qian, "A New Design Method for High-Power High-Efficiency Switched-Capacitor DC-DC Converters," *IEEE Transactions on Power Electronics*, vol. 23, no. 2, pp. 832-840, March 2008.
- [17] H.-P. Le, S. R. Sanders and E. Alon, "Design Techniques for Fully Integrated Switched-Capacitor DC-DC Converters," *IEEE Journal of Solid-State Circuits*, vol. 46, no. 9, pp. 2120-2131, September 2011.
- [18] J. De Vos, D. Flandre and D. Bol, "A Sizing Methodology for On-Chip Switched-Capacitor DC/DC Converters," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 61, no. 5, pp. 1597-1606, May 2014.

- [19] M. S. Makowski and D. Maksimovic, "Performance Limits of Switched-Capacitor DC-DC Converters," in *Power Electronics Specialists Conference, 1995. PESC '95 Record., 26th Annual IEEE*, Atlanta, GA, 1995.
- [20] D. Baderna, A. Cabrini, M. Pasotti and G. Torelli, "Power efficiency evaluation in Dickson and voltage doubler charge pump topologies," *Microelectronics Journal* 37, p. 1128–1135, 2006.
- [21] L. Corradini and B. B. Tchodjie, "Realizzazione di un convertitore DC-DC a capacità commutate per applicazioni di energy harvesting da sorgenti fotovoltaiche a bassissima potenza," 2013.
- [22] A. Sarafianos and M. Steyaert, "Fully Integrated Wide Input Voltage Range Capacitive DC-DC Converters: The Folding Dickson Converter," *IEEE Journal of Solid-State Circuits*, vol. 50, no. 7, pp. 1560-1570, July 2015.
- [23] J. F. Dickson, "Voltage Generation in MNOS Integrated Circuits Using an Improved Voltage Multiplier Technique," *IEEE Journal of Solid-State Circuits*, vol. 11, no. 3, pp. 374-378, June 1976.
- [24] M. D. Seeman, "A Design Methodology for Switched-Capacitor DC-DC Converters," No. UCB/EECS-2009-78, Electrical Engineering and Computer Sciences University of California at Berkeley, 2009.
- [25] M. D. Seeman and S. R. Sanders, "Analysis and Optimization of Switched-Capacitor DC-DC Converters," in *2006 IEEE Workshops on Computers in Power Electronics*, Troy, NY, July, 2006.
- [26] J. M. Henry and J. W. Kimball, "Switched-Capacitor Converter State Model Generator," *IEEE Transactions on Power Electronics*, vol. 27, no. 5, pp. 2415-2425, May 2012.
- [27] J. A. Castaño, G. Perilla, R. Diez and D. Patiño, "Small Scale Prototype of a DC/DC Multilevel Converter for High Voltage Applications," in *ANDESCON, 2010 IEEE*, Bogota, 2010.
- [28] A. Lopez, R. Diez, G. Perilla and D. Patino, "Analysis and Comparison of Three Topologies of the Ladder Multilevel DC/DC Converter," *IEEE Transactions on Power*

- Electronics*, vol. 27, no. 7, pp. 3119-3127, July 2012.
- [29] A. M. López Cañón, R. F. Díez Medina, G. Perilla Galindo and D. A. Patiño Guevara, "Convertidor multinivel DC/DC de alto voltaje en topología escalera," *Ingeniería y Universidad*, vol. 16, no. 1, pp. 117-133, 2012.
- [30] A. Kushnerov and S. Ben-Yaakov, "Algebraic Synthesis of Fibonacci Switched Capacitor Converters," in *Microwaves, Communications, Antennas and Electronics Systems (COMCAS), 2011 IEEE International Conference on*, Tel Aviv, November, 2011.
- [31] A. Kushnerov and S. Ben-Yaakov, "The best of both worlds: Fibonacci and binary Switched Capacitor Converters combined," in *Power Electronics, Machines and Drives (PEMD 2012), 6th IET International Conference on*, Bristol, March, 2012.
- [32] A. Kushnerov and S. Ben-Yaakov, "Unified Algebraic Synthesis of Generalized Fibonacci Switched Capacitor Converters," in *2012 IEEE Energy Conversion Congress and Exposition (ECCE)*, Raleigh, NC, September, 2012.
- [33] I. Chowdhury and D. Ma, "Design of Reconfigurable and Robust Integrated SC Power Converter for Self-Powered Energy-Efficient Devices," *IEEE Transactions on Industrial Electronics*, vol. 56, no. 10, pp. 4018-4028, October 2009.
- [34] I. Doms, P. Merken, R. Mertens and C. Van Hoof, "Integrated Capacitive Power-Management Circuit for Thermal Harvesters with Output Power 10 to 1000 μ W," in *2009 IEEE International Solid-State Circuits Conference - Digest of Technical Papers*, San Francisco, CA, February, 2009.
- [35] M. Dongsheng and B. Rajdeep, *Reconfigurable Switched-Capacitor Power Converters*, New York: Springer, 2013.
- [36] I. Vaisband, M. Saadat and B. Murmann, "A Closed-Loop Reconfigurable Switched-Capacitor DC-DC Converter for Sub-mW Energy Harvesting Applications," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 62, no. 2, pp. 385-394, February 2015.
- [37] G. Eirea, P. Castro and F. Silveira, "Modelado de un Conversor DC/DC Completamente Integrado con Condensadores Conmutados," pp. 1-6, 2013.

- [38] M. D. Seeman, "Analytical and Practical Analysis of Switched-Capacitor DC-DC Converters," (No. UCB/EECS-2006-111). *California Univ Berkeley Dept of Electrical Engineering and Computer Science*, 2006.
- [39] J. S. Brugle, "Theoretical Performance of Voltage Multiplier Circuits," *IEEE Journal of Solid-State Circuits*, vol. 6, no. 3, pp. 132-135, June 1971.

ANEXO A

Los convertidores CD/CD de capacitores conmutados presentan características generales y particulares en cuanto a su funcionamiento. Algunas configuraciones presentan ventajas en ganancias reducidas, mientras que con otras topologías ocurre lo contrario. Por tal motivo, en este apartado se expone cada topología y la forma en la que se pueden obtener mayores ganancias.

A.1 Forma de operación de la topología Dickson.

La topología Dickson se caracteriza por incrementar su ganancia dependiendo del número de etapas que contenga, las ganancias a obtener van en el orden 2, 3, 4, 5, 6, 7, etc. En la figura A.1, se muestra como, dependiendo de sus etapas, se van obteniendo diferentes ganancias. El término N_E , representa el número de etapas de la topología.

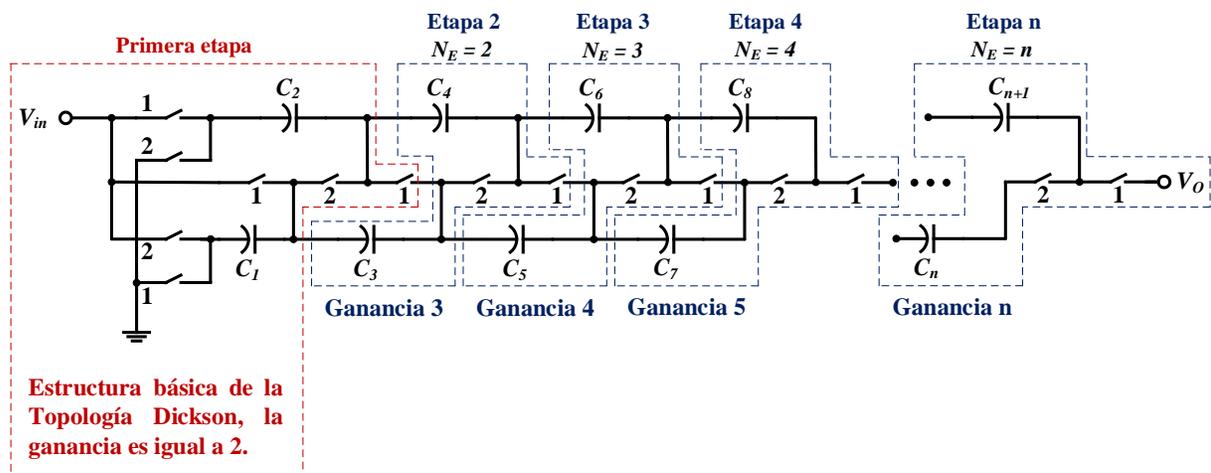


Figura A.1 Secuencia de etapas para obtener diferentes ganancias en la Topología Dickson.

La ventaja que ofrece este convertidor es que se pueden obtener ganancias consecutivas, Su principal desventaja radica en la cantidad de componentes que conlleva su implementación, lo que puede provocar una eficiencia muy baja, debido a las resistencias parasitas de los elementos.

A.2 Forma de operación de la topología Dobladora.

La topología dobladora se caracteriza principalmente porque cada etapa consecutiva puede doblar la tensión de la etapa anterior. Por lo tanto, con esta topología se pueden alcanzar ganancias elevadas sin necesidad de recurrir a muchas etapas; además, se reduce considerablemente el número de elementos lo cual se refleja en menos pérdidas. En la figura A.2, se presenta la estructura del convertidor con diferentes números de etapas (N_E).

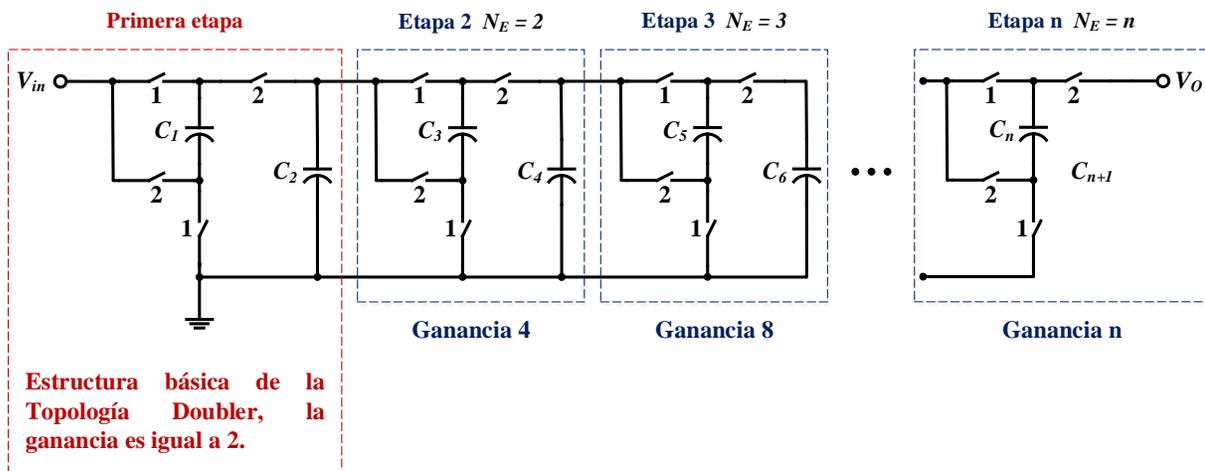


Figura A.2 Secuencia de etapas para obtener diferentes ganancias en la Topología Dobladora.

La desventaja principal que tiene este convertidor es que las ganancias son potencias de 2: 2, 4, 8, 16, 32,...

A.3 Forma de operación de la topología Escalera.

Con la topología Escalera se pueden obtener ganancias sucesivas en sucesión unitaria (2, 3, 4, 5, 6, 7,...), partiendo de la primera etapa que representa una ganancia igual a 2 ($M = 2$). A bajas ganancias es un convertidor viable; sin embargo, a ganancias elevadas la eficiencia disminuirá debido a la cantidad de elementos que emplea.

La figura A.3 muestra la topología Escalera, y la estructura que va tomando al aumentarle un número de etapa (N_E).

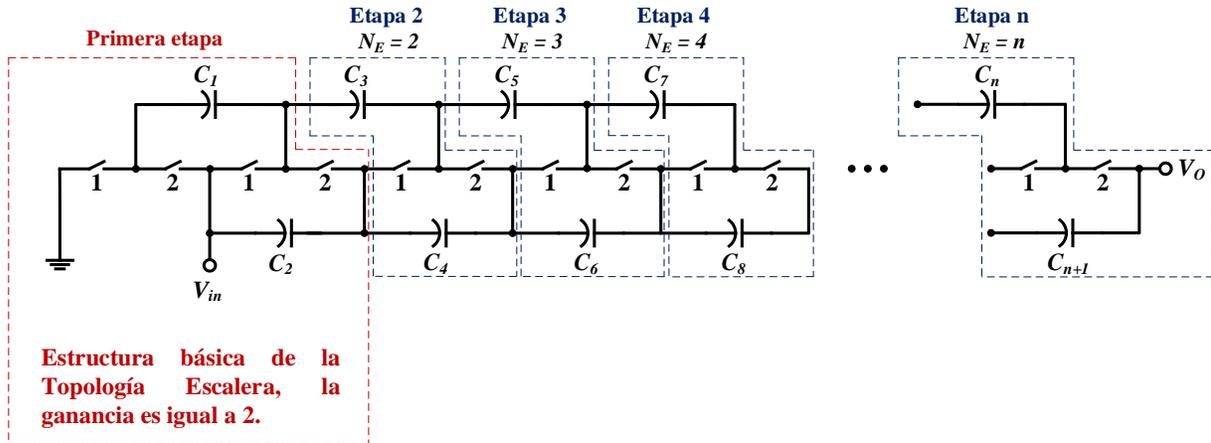


Figura A.3 Secuencia de etapas para obtener diferentes ganancias en la Topología Escalera.

A.4 Forma de operación de la topología Fibonacci.

En la topología Fibonacci las ganancias que se obtienen son similares a la serie de números con el mismo nombre: 1, 2, 3, 5, 8, El primer término representa al voltaje de entrada del convertidor y, la ganancia de la primera etapa es 2; a partir de ahí, la ganancia de una etapa es la suma de las ganancias de las dos etapas anteriores.

La figura A.4, representa la estructura que sigue la topología Fibonacci; en la figura N_E representa al número de etapas del convertidor y se muestran las ganancias que se pueden obtener de acuerdo a N_E .

La principal ventaja que ofrece es que se pueden obtener ganancias altas con un número mínimo de elementos, lo que permite minimizar las pérdidas. En cuanto a las desventajas, para ganancias bajas hay convertidores que operan con un menor número de elementos; además, emplea interruptores flotados, lo que vuelve necesario el empleo de drivers que operen en conmutación superior.

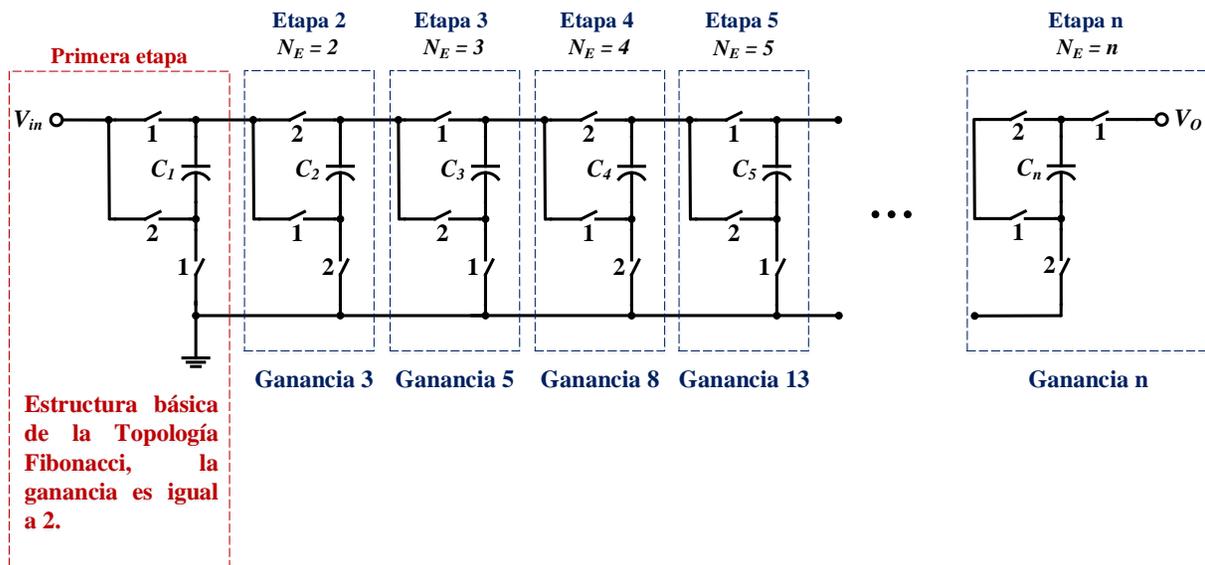


Figura A.4 Secuencia de etapas para obtener diferentes ganancias en la Topología Fibonacci.

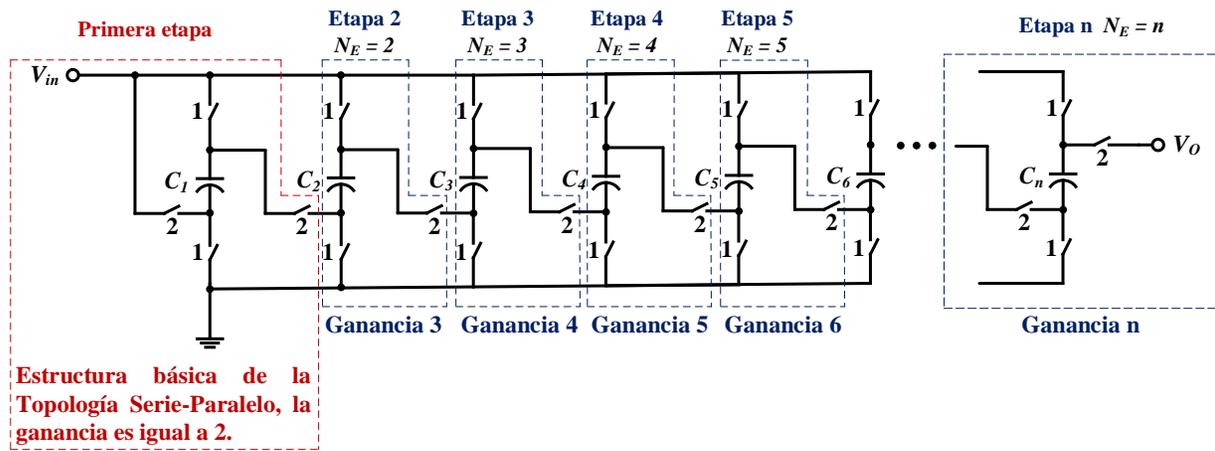
A.5 Forma de operación de la topología Serie-Paralelo.

La característica principal del convertidor Serie-Paralelo es que, en la primera fase de operación, se forma un circuito paralelo en el cual los capacitores se cargan a la tensión de entrada. En la segunda fase de la operación se forma un circuito equivalente en serie, en el cual la carga que adquirieron los capacitores flotados durante la primera fase se transfiere directamente a la salida del convertidor.

Se pueden obtener ganancias elevadas; sin embargo, mientras más grande sea la ganancia deseada, más pérdidas se tendrán en el convertidor. Esto se debe a la cantidad de interruptores que son necesarios para obtener mayores ganancias.

La figura A.5 muestra la estructura del convertidor Serie-Paralelo. Si se le compara con los demás convertidores, se advierte que, a pesar de que se pueden obtener cualquier ganancia entera, el número de interruptores para lograrlo es bastante grande y la mayoría de ellos son flotados.

La estructura muestra el número de etapas N_E y las ganancias que se pueden obtener para el convertidor Serie-Paralelo.



A.5 Secuencia de etapas para obtener diferentes ganancias en la Topología Serie-Paralelo.

ANEXO B

Uno de los convertidores de capacitores conmutados más investigados y analizados es el tipo Escalera, el cual tiene como característica principal que se puede obtener cualquier valor entero de ganancia. Sin embargo, mientras más grande sea la ganancia menor será la eficiencia que se obtenga, debido a que el número de interruptores aumenta.

B.1 Análisis del convertidor escalera de ganancia 2 ($M = 2$).

Debido a las ventajas y sencillez de la topología en escalera para aplicaciones de conversión DC/DC, se muestra en este anexo un análisis para un convertidor de ganancia $M = 2$, realizado en [29]. La figura B.1, muestra la estructura que se analiza.

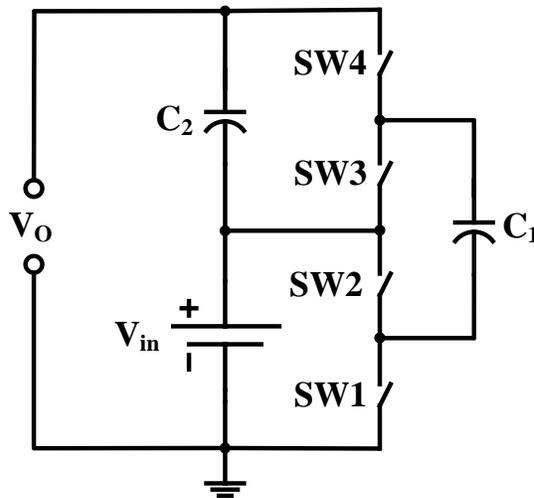


Figura B.1 Celda básica de la topología Escalera, la ganancia es igual a 2 ($M = 2$).

En esta topología, el voltaje de salida está en función del número de celdas N_c , donde N_c representa la celda básica del convertidor Escalera; idealmente:

$$V_O = V_{in}(N_c + 1) \quad (\text{B.1})$$

El número de condensadores N_{cap} necesario es:

$$N_{cap} = 2N_c \quad (\text{B.2})$$

En cuanto al número de interruptores N_S :

$$N_S = N_{cap} + 2 \quad (\text{B.3})$$

B.1.1 Señales de control.

Para esta topología solo son necesarias dos señales de control, con un ciclo de trabajo constante al 50% y frecuencia constante; por lo tanto, para poder controlar el voltaje de salida solamente es necesario variar V_{in} .

Las señales de control deben ser complementarias, tal cual se muestra en la figura 2.12 del capítulo 2. De esta forma SW1 y SW3 se activarán con una señal PWM1, mientras que SW2 y SW4 se activarán con una señal PWM2.

En la figura B.2 se muestran los estados de encendido y apagado de SW1, SW2, SW3 y SW4. En B.2a se muestran a los interruptores SW1 y SW3 activados con su resistencia de conducción R_S (la que corresponde a la resistencia de drenaje a fuente R_{DS}); en este estado SW2 y SW4 se encuentran apagados. en la figura B.2b se muestran a los interruptores SW2 y SW4 en estado de encendido e igualmente se muestra a la resistencia R_S de cada interruptor encendido; en este estado SW1 y SW3 se encuentran apagados.

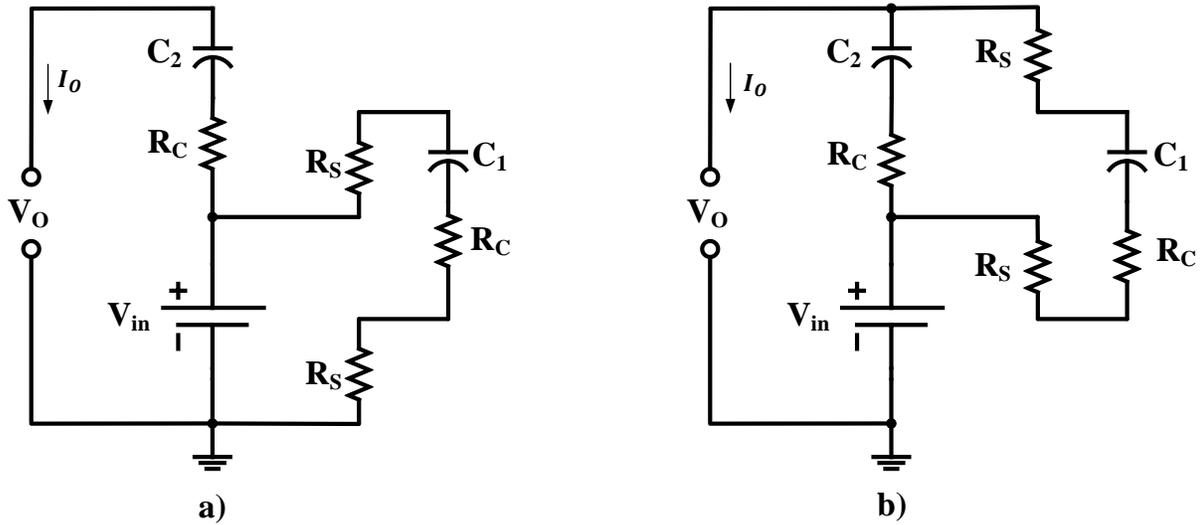


Figura B.2 Circuitos equivalentes de la topología escalera a una ganancia igual a 2.

B.1.2 SW1 y SW3 activados.

Se propone una forma de calcular el voltaje de salida del convertidor para cada uno de los semiciclos, en función de la corriente de salida I_o y del número de celdas N_c . Es necesario calcular el voltaje del condensador C_1 de una forma distinta a la de los demás condensadores, ya que la corriente por los interruptores de la primera celda es distinta a la de las demás celdas. Por lo tanto, aplicando las leyes básicas de circuitos, el voltaje V_{C1} queda expresado de la siguiente forma:

$$V_{C1} = V_{in} - 2N_c I_o R_C - 2N_c I_o R_S - 2I_o R_S \quad (\text{B.4})$$

donde N_c es el número de celdas del convertidor. En general, el voltaje del condensador C_{2n+1} se puede expresar en términos del condensador C_{2n} de la siguiente manera:

$$V_{C_{2n+1}} = V_{C_{2n}} - (2N_c + 1 - 2n)I_o R_C - (2N_c - 2n)I_o R_C \quad (\text{B.5})$$

donde $n \in [1, N_c - 1]$. El voltaje de salida V_{out} es la suma del voltaje en cada uno de los condensadores con subíndice par en la ecuación B.5, más la caída en cada una de las resistencias ESR de cada condensador. Teniendo en cuenta lo dicho, el voltaje de salida puede expresarse durante este semiciclo como:

$$V_{out1} = V_{in} + \left[\sum_{n=1}^{N_C-1} (V_{C_{2n}} - (2N_C + 1 - 2n)I_{out}R_C) \right] + V_{C_{2N_C}} - I_{out}R_C \quad (B.6)$$

B.1.3 SW2 y SW4 activados.

En este caso es necesario calcular el voltaje del condensador C_2 de forma distinta. Este voltaje puede expresarse en términos de V_{C_1} de la siguiente forma:

$$V_{C_2} = V_{C_1} - 2N_C I_o R_C - 2N_C I_o R_S - 2I_o R_S - (2N_C - 1)I_o R_C \quad (B.7)$$

Igualmente puede expresarse de forma recursiva el voltaje del condensador $V_{C_{2j}}$ así:

$$V_{C_{2j}} = V_{C_{2j-1}} - (2N_C + 1 - 2j)I_o R_C - (2N_C + 2 - 2j)I_o R_C \quad (B.8)$$

Con $j = n + 1$. El voltaje de salida, al igual que en el caso anterior, se puede expresar durante este semiciclo como:

$$V_{out2} = V_{in} + V_{C_2} + (2N_C - 1)I_o R_C + \left[\sum_{k=2}^{N_C} (V_{C_{2k}} + (2N_C + 1 - 2k)I_o R_C) \right] \quad (B.9)$$

B.1.4 Voltaje de salida.

Como el ciclo útil de trabajo es constante e igual a 0.5, el promedio del voltaje de salida $\overline{V_{out}}$ de los dos casos anteriores será:

$$\overline{V_{out}} = \frac{V_{out1} + V_{out2}}{2} = V_{in} \sum_{m=1}^{N_C} V_{C_{2m}} \quad (B.10)$$

Despejando de B.5 $V_{C_{2n}}$, e igualándolo con la ecuación B.8 se obtienen en términos de n :

$$V_{C_{2n+2}} = V_{C_{2n}} - 4I_o R_C (2N_C - 2n) \quad (B.11)$$

Las condiciones iniciales de esta ecuación de diferencia se obtienen de las ecuaciones (B.4) y (B.7); despejando V_{C_2} se obtiene:

$$V_{C_2} = V_{in} - I_o R_c (6N_c - 1) - 4I_o R_s (3N_c + 4) \quad (\text{B.12})$$

Resolviendo la ecuación de diferencia B.11, el voltaje del condensador es:

$$V_{C_{2m}} = V_{in} - 4I_o R_s (N_c + 1) - I_o R_c (2N_c (4m - 1) - 4m^2 + 4m - 1) \quad (\text{B.13})$$

con $m \in [2, N_c]$. Ahora usando la ecuación A.10 se puede calcular V_{out} , teniéndose como resultado:

$$\overline{V_{out}} = V_{in} (N_c + 1) - 4N_c I_{out} R_s (N_c + 1) - I_{out} N_c R_c \frac{(8N_c^2 + 6N_c + 1)}{3} \quad (\text{B.14})$$

Por ejemplo, para el caso de la figura A.1, el número de celdas es 1. Por lo tanto $N_c = 1$. Suponiendo que $I_o = 0$ obtenemos:

$$\overline{V_{out}} = V_{in} (N_c + 1) = 2V_{in} \quad (\text{B.15})$$

En (B.15) se muestra el voltaje de salida ideal, el que decrecerá con el aumento de corriente de salida.