INSTITUTO TECNOLÓGICO SUPERIOR DE IRAPUATO



ESTUDIOS CON RECONOCIMIENTO DE VALIDEZ OFICIAL NÚMERO 11-00065

INVERSOR MULTINIVEL MONOFÁSICO CON CONMUTACIÓN DE BAJA FRECUENCIA

OPCION I: TESIS PROFESIONAL

QUE PARA OBTENER EL GRADO DE MAESTRO EN INGENIERÍA ELECTRÓNICA

PRESENTA:

ING. JUANA EDITH ROMERO PÉREZ

DIRECTOR DE TESIS DR. JOSÉ MIGUEL SOSA ZÚÑIGA CO-DIRECTOR DE TESIS DR. ADOLFO RAFAEL LÓPEZ NÚÑEZ

IRAPUATO, GTO.

DICIEMBRE 2024





Instituto Tecnológico Superior de Irapuato Dirección General Dirección Académica

Irapuato, Guanajuato, 12/diciembre/2024 OFICIO: CIPI-018-2024 ASUNTO: Autorización de impresión de tesis de maestría

DR. JOSÉ MIGUEL SOSA ZÚÑIGA PRESIDENTE DEL CONSEJO DE POSGRADO MAESTRÍA EN INGENIERÍA ELECTRÓNICA PRESENTE

Por medio de la presente y a solicitud del comité tutorial integrado por:

Dr. José Miguel Sosa Zúñiga Dr. Adolfo Rafael López Núñez Dr. Gerardo Vázquez Guzmán M.C. José Juan Alfaro Rodríguez

se autoriza la impresión de la tesis titulada **"Inversor multinivel monofásico con conmutación de baja frecuencia"** realizada por la estudiante C. **Juana Edith Romero Pérez** con número de control **MIP22110002** la cual ha sido desarrollada dentro del programa de la Maestría en Ingeniería Electrónica bajo la dirección del Dr. José Miguel Sosa Zúñiga y la codirección del Dr. Adolfo Rafael López Núñez y ha sido revisada y aprobada por el comité tutorial antes mencionado. Sin otro en particular, le envío un cordial saludo.

ATENTAMENTE Excelencia en Educación Tecnológica-UCACIÓN ECNOLÓGICO SUPERIOR EIRAPUATO M.C. ISA GO CADÉMICA DIRECTOR ACADÉMICO PRESIDENT DFI

ccp.

M.I. Ernesto Cabal Yépez M.C. Akira Torreblanca Ponce Titular de Jefatura de División de Ing. Electrónica Titular del Departamento de Investigación Para su conocimiento y atención Para su seguimiento



Carretera Irapuato – Silao km 12.5, El Copal. Irapuato, Guanajuato, C.P. 36821 Tels. 462 6067900, 462 6067602 irapuato.tecnm.mx





Constancia de aprobación de la tesis

La tesis **Inversor multinivel monofásico con conmutación de baja frecuencia** presentada para obtener el Grado de Maestro en Ingeniería Electrónica fue elaborada por **Juana Edith Romero Pérez** y aprobada el 12 de diciembre de 2024 por los suscritos, designados por el Consejo de Posgrado de la Maestría en Ingeniería Electrónica del Tecnológico Nacional de México / Instituto Tecnológico Superior de Irapuato.

Dr. José Miguel Sosa Zúñiga

(Director de tesis)

Dr. Adolfo Rafael López Núñez

(Co-Director de tesis)

Dr. Gerardo Vázquez Guzmán

(Sinodal)

M.C. José Juan Alfaro Rodríguez

(Sinodal)



Créditos Institucionales

Esta tesis fue elaborada en el Laboratorio de Eléctrica y Electrónica de Potencia (LEEP) del Tecnológico Nacional de México /Instituto Tecnológico Superior de Irapuato, bajo la dirección de los profesores Dr. José Miguel Sosa Zúñiga y Dr. Adolfo Rafael López Núñez.

AGRADECIMIENTOS

Agradezco al Consejo Nacional de Humanidades Ciencias y Tecnologías (CONAHCYT) por brindar el apoyo de beca, ya que fue fundamental para el proceso y desarrollo de mi formación.

Al Instituto Tecnológico Superior de Irapuato (ITESI) por darme la oportunidad de realizar mis estudios de licenciatura y maestría.

Al Dr. José Miguel Sosa Zúñiga por su dedicación, paciencia y apoyo a lo largo de este proceso de aprendizaje. Su disposición para compartir conocimientos ha sido una gran aportación invaluable y constante. Gracias por inspirar curiosidad y fomentar el deseo de superación. Sin duda, su impacto en mi formación permanecerá siempre presente y le estaré profundamente agradecida por su valiosa contribución en mi desarrollo académico.

Al Dr. Adolfo Rafael López Núñez por su paciencia, dedicación y disposición para brindar su apoyo para resolver cualquier duda.

Al M.C. José Juan Alfaro Rodríguez por permitirme acceder al Laboratorio de Eléctrica y Electrónica de Potencia, cada que fue necesario y por brindar orientación en todo momento.

Al cuerpo académico de la Maestría en Ingeniería Electrónica, Dr. Gerardo Vázquez Guzmán, Dr. Gilberto Muñoz Moreno y Dr. Mario Alberto Juárez Balderas por su apoyo y orientación durante mi formación académica.

A mi amado esposo, Gerardo Pérez por ser mi mayor apoyo en este camino académico. Gracias por tu paciencia, motivación y fe inquebrantable en mis sueños. Te amo.

A mi amada familia, (Margarita, Ramón, Daniel y Gustavo) gracias por su amor, apoyo incondicional y por ser mi fuerza en cada paso de este camino. Este proceso/logro no habría sido posible sin ustedes.

NOTACIÓN

Acrónimos

CA	Corriente alterna /Alternating Current.
CD	Corriente directa / Direct Current.
C_p	Capacitor parásito.
H Bridge	Convertidor de puente completo.
FFT	Transformada rápida de Fourier / Fast Fourier Transform.
FPGA	Matriz de puertas programables en campo/Field-Programable Gate Array.
FV	Fotovoltaico.
IEEE	Institute of Electrical and Electronics Engineers
IGBT	Insolated Gate Bipolar Transistor / Transistor de Compuerta Aislada.
i_g	Corriente de red.
i _{zg}	Corriente de modo común / Corriente de fuga.
Ν	Número de ciclos.
NPC	Neutral Point Clamped
RMS	Root Mean Square /Raíz cuadrática media.
R _{des}	Resistencia de descarga.
SFV	Sistema Fotovoltaico / Sistemas Fotovoltaicos.
SPWM	Modulación por ancho de pulso sinusoidal / Sinusoidal Pulse Width Modulation.
THD	Total Harmonic Distortion /Distorsión armónica total.
v_{cd}	Voltaje total de los buses de CD.
$v_{cd}/2$	Voltaje de un bus de CD.
V _{CPT}	Voltaje del capacitor parásito total.
v_g	Voltaje de red.
v _{inv}	Voltaje de salida del inversor puente H en cascada.
V _{invRMS}	Voltaje RMS de salida del inversor puente H en cascada.

RESUMEN

En esta tesis se estudia un inversor multinivel, el cual está formado por dos inversores simétricos de puente H conectados en cascada, operando con conmutación de baja frecuencia. Este tipo de inversor produce un voltaje de salida alterno con una forma de onda escalonada con cinco niveles de voltaje diferentes y transiciones mínimas en un periodo de la forma de onda. Esto tiene como consecuencia una alta reducción en las pérdidas de potencia de conmutación.

El análisis presentado incluye la expresión del valor RMS del voltaje de salida, la expresión del porcentaje de distorsión armónica, el estudio de todas las combinaciones de los interruptores del inversor para generar el voltaje de salida, el estudio de los ángulos de conmutación que eliminan los primeros armónicos y dan lugar a diferentes amplitudes del voltaje de salida y la posible aplicación en sistemas fotovoltaicos. En particular, se analizan y obtienen aquellas secuencias de conmutación que dan lugar a las corrientes de fuga más bajas con aplicación en sistemas fotovoltaicos. También se presenta la verificación experimental de las secuencias y los ángulos de conmutación propuestos en un prototipo del inversor en lazo abierto.

ABSTRACT

In this thesis, a multilevel inverter is studied, which is made up of two symmetrical H-bridge inverters connected in cascade, operating with low-frequency switching. This type of inverter produces an alternating output voltage with a stepped waveform with five different voltage levels and minimum transitions in one period of the waveform. This results in a high reduction in switching power losses.

The analysis presented encompasses the derivation of the RMS value of the output voltage, the formulation of the percentage of harmonic distortion, an exploration of all possible combinations of inverter switches to generate the output voltage, an investigation into switching angles that eliminate the primary harmonics while yielding various output voltage amplitudes, and a discussion of potential applications in photovoltaic systems. In particular, those switching sequences that yield the lowest leakage currents with application in photovoltaic systems are analyzed and obtained. The experimental verification of the switching sequences and the switching angles proposed in a prototype of the open-loop inverter is also presented.

AGRAD	GRADECIMIENTOS		
NOTAC	IOTACIÓN9		
RESUM	SUMEN		
ABSTR	ГRАСТ		
CAPÍTU	ULO 1. GENERALIDADES DEL PROYECTO	25	
1.1	Introducción	27	
1.2	Planteamiento del problema	27	
1.3	Justificación	28	
1.4	Objetivo general y específicos	29	
CAPITU	ULO 2: ESTADO DEL ARTE	31	
2.1	Inversores multinivel	33	
2.2	Esquema de modulación SPWM	34	
2.3	Esquema de modulación SVM	35	
2.4	Esquema de modulación con eliminación selectiva de armónicos	35	
2.5	Topologías de inversores	36	
2.6	Topología de inversor NPC	36	
2.7	Inversores puente H	37	
2.8	Inversores con esquemas de conmutación de baja frecuencia	38	
2.9	Aplicaciones de los inversores multinivel con conmutación de baja frecuencia.	38	
2.10	Aplicaciones fotovoltaicas	39	
2.11	Sistemas para alimentación interrumpida (UPS)	39	
CAPÍTU	ULO 3: MARCO TEÓRICO	40	
3.1	Parámetros de la calidad de la energía eléctrica	42	
3.2	Estándares de calidad de la energía	44	
3.3	Corrientes de modo común en inversores fotovoltaicos	45	
CAPÍTU FRECU	ULO 4: INVERSOR PUENTE H EN CASCADA CON CONMUTACIÓN DE E ENCIA	3AJA 48	
4.1	Valor RMS y distorsión armónica total del voltaje del inversor	50	
4.2	Ángulos de activación para un voltaje RMS deseado	54	
4.3	Convertidor conectado a la red eléctrica con filtro L y con capacitores parásitos	s55	
4.4 Análisis de la corriente de modo común			
4.5	Análisis del inversor multinivel con un inversor auxiliar	64	

ÍNDICE DE CONTENIDO

CAPÍT	ULO 5: DISEÑO DE ESQUEMAS DE CONMUTACIÓN DE BAJA FRECUENCIA
5.1	Diseño de las secuencias de conmutación 68
5.2	Generación de las señales de referencia 68
5.3	Diseño de esquemas de conmutación en EPGA
5.5	Diseño de esquemas de commutación en EDCA variando los éngulos de commutación
5.4	Diseno de esquemas de comhutación en FPGA variando los angulos de comhutación.
5.5	Generador de señales de referencia con cambio de ángulos de conmutación 77
CAPÍT	ULO 6: IMPLEMENTACÍON DEL PROTOTIPO Y RESULTADOS
EXPER	RIMENTALES
6.1	Diseño de la tarjeta de activación
6.2	Diseño del inversor multinivel puente H en cascada
6.3	Diseño de la tarjeta para las capacitancias parásitas91
6.4	Resultados experimentales del inversor multinivel de baja frecuencia
6.5 selec	Resultados experimentales del inversor multinivel a baja frecuencia con eliminación tiva de armónicos con capacitancias parásitas
6.6	Resultados experimentales para una de las mejores secuencias de conmutación 94
6.7	Resultados experimentales para una de las peores secuencias de conmutación97
6.8	Resultados experimentales para la variación del del voltaje de salida 100
6.9	Resultados experimentales con cambio de ángulos108
CAPÍT	ULO 7: CONCLUSIONES
CAPÍT	ULO 8: REFERENCIAS
CAPÍT	ULO 9: ANEXOS
8.1	Valor RMS y THD constante
8.2	Evaluación para las secuencias de conmutación124
8.3 FPGA	Código para la implementación de la mejor y peor secuencia de conmutación en A 126

LISTA DE FIGURAS

Figura 2.1: Forma de onda escalonada de 7 niveles de un inversor multinivel	33
Figura 2.2: Clasificación de esquemas de modulación	34
Figura 2.3: Voltaje de salida y señal de referencia con esquema de modulación SPWM.	34
Figura 2.4: Diagrama de vector espacial para inversor de tres niveles	35
Figura 2.5: Forma de onda escalonada de 9 niveles de un inversor multinivel y eliminaci armónicos	ón de 36
Figura 2.7: Inversor NPC de diodos enclavados de cinco niveles	37
Figura 2.8: Puente H en cascada para cinco niveles	37
Figura 2.9: Características de los esquemas de conmutación de baja frecuencia	38
Figura 3.1: Inversor puente H en cascada con conexión a la red con resistencia parásita	1 <i>RZg</i> 45
Figura 4.1: Diagrama del inversor multinivel puente H en cascada	50
Figura 4.2: Forma de onda del voltaje de salida de cinco niveles	51
Figura 4.3: Curvas de voltaje Vinv, RMS y THD (V) constante	53
Figura 4.4: Curvas de voltaje Vinv, 1, RMS y THD (V) constante	53
Figura 4.5. Inversor multinivel puente H en cascada.	55
Figura 4.6: Combinación 1	56
Figura 4.7: Combinación 2	56
Figura 4.8: Combinación 3	56
Figura 4.9: Combinación 4	56
Figura 4.10: Combinación 5	56
Figura 4.11: Combinación 6	56
Figura 4.12: Combinación 7	56
Figura 4.13: Combinación 8	56
Figura 4.14: Combinación 9	57
Figura 4.15: Combinación 10	57
Figura 4.16: Combinación 11	57
Figura 4.17: Combinación 12	57
Figura 4.18: Combinación 13	57
Figura 4.19: Combinación 14	57
Figura 4.20: Combinación 15	57
Figura 4.21: Combinación 16	57

Tabla 4.4: Voltaje del inversor y de los cuatro capacitores parásitos	58
Figura 4.22: Inversor multinivel puente H en cascada	59
Figura 4.23: Forma de onda del voltaje del inversor puente H en cascada de 5 niveles v	vinv. 60
Figura 4.24: Formas de onda de la suma de voltajes $vCp1 + vCp2$ y de las corrientes de <i>izg</i> para la mejor secuencia de conmutación.	fuga 62
Figura 4.25: Formas de onda de la suma de voltajes $vCp1 + vCp2$ y de las corrientes de <i>izg</i> para la peor secuencia de conmutación	fuga 63
Figura 4.26: Circuito equivalente del inversor propuesto con consideración de la compon fundamental	iente 64
Figura 4.27: (a) Representación fasorial de una solución de (1), (b) Representación fasoria una solución con $Va \angle \pi 2$, (c) Representación fasorial de una solución con $Va \angle -\pi 2$	al de 65
Figura 4.28: Configuración del inversor propuesto para la inyección de potencia activa	65
Figura 5.1: Voltaje de salida <i>Vinv</i> , señal sinusoidal rectificada <i>vsin(t)</i> y señales <i>b</i> 1, <i>b</i> 3	b2 y 68
Figura 5.2: Voltaje de salida <i>vinv</i> , señal sinusoidal rectificada <i>vsin(t)</i> y señales de dis para <i>S</i> 1, <i>S</i> 2, <i>S</i> 3, <i>y S</i> 4	paro 69
Figura 5.3: Mapas de Karnaugh de la secuencia [4,9,11,9,4,2,6,2]	70
Figura 5.4: Diagrama lógico de la mejor secuencia de conmutación	70
Figura 5.5: Mapas de Karnaugh de la secuencia 10,3,11,3,10,5,6,5	71
Figura 5.6: Diagrama lógico de la peor secuencia de conmutación	72
Figura 5.7: Esquema de la configuración del FPGA	72
Figura 5.8: Número de ciclos para generar la señal de referencia b2	73
Figura 5.9: Número de ciclos para generar la señal de referencia <i>b</i> 1	74
Figura 5.10: Número de ciclos para generar la señal de referencia b3	75
Figura 5.11: Número de ciclos de tiempo muerto añadidos antes de cualquier transición.	76
Figura 6.1: Convertidor DC-DC CC10-2405F-E	81
Figura 6.2: Circuito esquemático de conexión del buffer 74LS541	81
Figura 6.3: Circuito esquemático de conexión del flip-flop 74LS73	82
Figura 6.4: Circuito esquemático para la activación de los emisores de fibra óptica	83
Figura 6.5: Pines utilizados de la tarjeta FPGA en la tarjeta de activación	84
Figura 6.6: Circuito esquemático de la tarjeta de activación	85
Figura 6.7: Primer cara de la tarjeta de activación	86
Figura 6.8: Segunda cara de la tarjeta de activación	86

Figura 6.9: Prototipo de tarjeta de activación
Figura 6.10: Diagrama eléctrico de receptor de fibra óptica y opto-driver
Figura 6.11: Circuito de conexión de la fuente MGJ2D051505SC
Figura 6.12: Diagrama de conexión del inversor
Figura 6.13: PCB del inversor puente H90
Figura 6.14: Prototipo del inversor puente H91
Figura 6.15: Diagrama de capacitancias y resistencia parásitas91
Figura 6.16: PCB de capacitancias parásitas92
Figura 6.17: Prototipo de capacitancias parásitas92
Figura 6.18: Inversor multinivel puente H en cascada de cinco niveles con capacitancias parásitas
Figura 6.19: Señales de disparo de los interruptores del inversor de una mejor secuencia de conmutación. Desde arriba y hacia abajo se muestran las señales de disparo de <i>S</i> 4, <i>S</i> 4, <i>S</i> 3, <i>S</i> 3, <i>S</i> 2, <i>S</i> 2, <i>S</i> 1 y <i>S</i> 1
Figura 6.20: Acercamiento de las señales de disparo que permite observar el tiempo muerto. Desde arriba y hacia abajo se muestran las señales de disparo de <i>S</i> 4, <i>S</i> 4, <i>S</i> 3, <i>S</i> 3, <i>S</i> 2, <i>S</i> 2, <i>S</i> 1 y <i>S</i> 1
Figura 6.21: De arriba hacia abajo: Voltaje del inversor y corriente de salida del inversor, para la mejor secuencia de conmutación utilizada
Figura 6.22: De arriba hacia abajo: Voltaje del inversor y su FFT, para la mejor secuencia utilizada96
Figura 6.23: De arriba hacia abajo: Voltaje del inversor y la corriente de modo común <i>izg</i> , para la mejor secuencia utilizada96
Figura 6.24: Espectro de frecuencia del voltaje del inversor mediante un analizador Fluke 345, para la mejor secuencia utilizada97
Figura 6.25: Espectro de frecuencia de la corriente de salida mediante un analizador Fluke 345, para la mejor secuencia utilizada
Figura 6.26: Señales de disparo de los interruptores del inversor de una peor secuencia de conmutación. Desde arriba y hacia abajo se muestran las señales de disparo de <i>S</i> 4, <i>S</i> 4, <i>S</i> 3, <i>S</i> 3, <i>S</i> 2, <i>S</i> 2, <i>S</i> 1 y <i>S</i> 1
Figura 6.27: De arriba hacia abajo: Voltaje del inversor y corriente de salida del inversor, para la peor secuencia de conmutación utilizada
Figura 6.28: De arriba hacia abajo: Voltaje del inversor y su FFT para la peor secuencia utilizada
Figura 6.29: De arriba hacia abajo: Voltaje del inversor y la corriente de modo común <i>izg</i> , para la peor secuencia utilizada

Figura 6.30: De arriba abajo: Voltaje del inversor y corriente del inversor con una modulación con $\alpha 1 = 24.26402^{\circ}$ y $\alpha 2 = 84.26402^{\circ}$
Figura 6.31: Espectro de frecuencia del voltaje usando un Fluke 345 con una modulación con $\alpha 1 = 24.26402^{\circ}$ y $\alpha 2 = 84.26402^{\circ}$
Figura 6.32: Espectro de frecuencia de la corriente usando un Fluke 345 con una modulación con $\alpha 1 = 24.26402^{\circ}$ y $\alpha 2 = 84.26402^{\circ}$
Figura 6.33: De arriba abajo: Voltaje del inversor y corriente del inversor con una modulación con $\alpha 1 = 16.7760^{\circ}$ y $\alpha 2 = 76.7760^{\circ}$
Figura 6.34: Espectro de frecuencia del voltaje usando un Fluke 345 con una modulación con $\alpha 1 = 16.7760^{\circ}$ y $\alpha 2 = 76.7760^{\circ}$
Figura 6.35: THD de corriente de salida con $\alpha 1 = 16.7760^{\circ}$ y $\alpha 2 = 76.7760^{\circ}$ 103
Figura 6.36: De arriba abajo: Voltaje del inversor y corriente del inversor con una modulación con $\alpha 1 = 8.1360^{\circ}$ y $\alpha 2 = 68.1360^{\circ}$
Figura 6.37: THD de voltaje de salida con $\alpha 1 = 8.1360^{\circ}$ y $\alpha 2 = 68.1360^{\circ}$ 104
Figura 6.38: THD de corriente de salida con $\alpha 1 = 8.1360^{\circ}$ y $\alpha 2 = 68.1360^{\circ}$ 104
Figura 6.39: De arriba abajo: Voltaje del inversor y corriente del inversor con una modulación con $\alpha 1 = 3.3120^{\circ}$ y $\alpha 2 = 56.6880^{\circ}$
Figura 6.40: Espectro de frecuencia del voltaje usando un Fluke 345 con una modulación con $\alpha 1 = 3.3120^{\circ}$ y $\alpha 2 = 56.6880^{\circ}$
Figura 6.42: Espectro de frecuencia de la corriente usando un Fluke 345 con una modulación con $\alpha 1 = 3.3120^{\circ}$ y $\alpha 2 = 56.6880^{\circ}$
Figura 6.43: De arriba abajo: Voltaje del inversor y corriente del inversor con una modulación con $\alpha 1 = 25.200^{\circ}$ y $\alpha 2 = 34.800^{\circ}$
Figura 6.44: Espectro de frecuencia del voltaje usando un Fluke 345 con una modulación con $\alpha 1 = 25.200^{\circ}$ y $\alpha 2 = 34.800^{\circ}$
Figura 6.45: Espectro de frecuencia de la corriente usando un Fluke 345 con una modulación con $\alpha 1 = 25.200^{\circ}$ y $\alpha 2 = 34.800^{\circ}$
Figura 6.46: Voltaje <i>vinv</i> onda con cambio de ángulo de conmutación de $\alpha 1 = 12.60^{\circ}$ y $\alpha 2 = 72.60^{\circ}$ a $\alpha 1 = 8.1360^{\circ}$ y $\alpha 2 = 68.1360^{\circ}$
Figura 6.47: Corriente <i>iinv</i> onda con cambio de ángulo de conmutación de $\alpha 1 = 12.60^{\circ}$ y $\alpha 2 = 72.60^{\circ}$ a $\alpha 1 = 8.1360^{\circ}$ y $\alpha 2 = 68.1360^{\circ}$
Figura 4.48. Voltaje <i>vinv</i> onda con cambio de ángulo de conmutación de $\alpha 1 = 24.2684^{\circ}$ y $\alpha 2 = 84.2684^{\circ}$ a $\alpha 1 = 20.6640^{\circ}$ y $\alpha 2 = 80.6640^{\circ}$
Figura 4.49. Corriente <i>iinv</i> onda con cambio de ángulo de conmutación de $\alpha 1 = 24.2684^{\circ}$ y $\alpha 2 = 84.2684^{\circ}$ a $\alpha 1 = 20.6640^{\circ}$ y $\alpha 2 = 80.6640^{\circ}$

LISTA DE TABLAS

CAPÍTULO 1. GENERALIDADES DEL PROYECTO

1.1 Introducción

Los inversores multinivel son dispositivos esenciales en la conversión de energía capaces de generar un voltaje CA con múltiples niveles partir de una o más fuentes de corriente continua CD. Estos inversores ofrecen ventajas significativas en términos de calidad de la forma de onda de salida y menor distorsión armónica en comparación con los inversores convenciones de dos o tres niveles. Existen diversas topologías de inversores multinivel, siendo una de las más populares la conexión en cascada de inversores puente H debido a su modularidad y flexibilidad [1], [2].

La forma de onda de salida de un inversor multinivel depende de la estrategia de conmutación utilizada, que controla la activación y desactivación de los semiconductores. Técnicas como la modulación por ancho de pulso PWM se usan con frecuencias de operación altas, lo que reduce considerablemente la distorsión armónica y permite reducir el tamaño fisco del convertidor. Alternativamente las estrategias de conmutación de baja frecuencia, aunque pueden incrementar el rizado de corriente y la distorsión armónica, ofrecen ventajas en términos de eficiencia y reducción del ruido eléctrico [3].

En este trabajo de tesis se presenta el estudio del voltaje de salida de un inversor multinivel compuesto por dos inversores puente H simétricos conectados en cascada, con commutación de baja frecuencia. Este sistema genera un voltaje de salida de corriente alterna (CA) con cinco niveles de voltaje diferentes, lo que mejora la calidad de la forma de onda en comparación con inversores convencionales de menor número de niveles. La forma de onda del voltaje del inversor puede determinarse mediante simetría y mediante dos valores que están en un cuarto del periodo de la forma de onda. A estos dos valores se les pueden asignar dos ángulos cuando se relaciona el periodo de la forma de onda con 2π rad o a 360°. El desempeño del inversor, específicamente el valor RMS del voltaje de salida, el índice de distorsión armónica y la amplitud de los armónicos individuales de voltaje, estos dependen críticamente de estos ángulos de conmutación y se analiza su comportamiento para calcular los ángulos de conmutación y se analiza su comportamiento para calcular los ángulos de conmutación y se analiza su comportamiento para calcular los ángulos de conmutación que minimizan la distorsión armónica, lo que es especialmente relevante en aplicaciones donde se regula la corriente o el voltaje de salida en sistemas de lazo cerrado.

1.2 Planteamiento del problema

Los inversores multinivel en aplicaciones fotovoltaicas sin transformador, esenciales en sistemas fotovoltaicos, presentan un desafío crítico, pues la ausencia de aislamiento galvánico provoca corrientes de fuga que generan interferencia electromagnética, riesgos para la seguridad humana y problemas normativos, Estas corrientes pueden circular a través de rutas no deseadas debido a factores como la capacitancia parásita que depende de condiciones ambientales y características del sistema, incrementando el riesgo de fallos.

Aunque existen soluciones estructurales y estrategias de modulación para mitigar este fenómeno, las primeras suelen aumentar los costos debidos al uso de componentes adicionales y las segundas requieren un diseño más complejo. Adicionalmente existen normas que limitan

estrictamente las corrientes de fuga lo que hace indispensable desarrollar topologías y estrategias más eficientes.

El problema radica en diseñar inversores sin transformador que reduzcan eficazmente las corrientes de fuga, mejoren la eficiencia y mantengan la viabilidad económica, garantizando el cumplimiento normativo y la seguridad en aplicaciones fotovoltaicas.

1.3 Justificación

Los inversores multinivel han generado relevancia debido a su capacidad de generar formas de onda de CA que se asemejan más a una sinusoidal, reduciendo significativamente la distorsión armónica total (THD). Esto mejora la calidad de la energía suministrada y disminuye las pérdidas en sistemas eléctricos. Además, su diseño permite operar con múltiples fuentes de CD, lo que los hace adecuados para aplicaciones de energía renovable, como la integración de sistemas fotovoltaicos, favoreciendo la eficiencia y la adaptabilidad en diversos entornos industriales y residenciales.

Una de las características de los inversores multinivel con modulación de baja frecuencia es la disminución de las pérdidas de conmutación y mejora la eficiencia general del sistema y su ventaja es que cuentan con menor interferencia electromagnética.

Los inversores fotovoltaicos desempeñan un papel crucial en la conversión eficiente y confiable de energía solar de CD a CA. Sin embargo, en sistemas sin transformador, la ausencia de aislamiento galvánico puede provocar corrientes de fuga que representan riesgos de seguridad y generan interferencia electromagnética. Para cumplir con normativas como la DIN VDE 0126-11 y garantizar la seguridad, es esencial minimizar estas corrientes mediante estrategias estructurales o ajustes en la modulación.

Aunque las soluciones estructurales pueden incrementar los costos debido al uso de componentes adicionales, su implementación es necesaria para controlar el voltaje de modo común, principal causa de las corrientes de fuga. Además, las condiciones ambientales, la potencia del sistema y la capacitancia parásita influyen en la magnitud de dichas corrientes, lo que refuerza la importancia de un diseño optimizado. Por lo tanto, el desarrollo de topologías avanzadas y estrategias de modulación en inversores sin transformador es esencial para mejorar la eficiencia, garantizar la seguridad y reducir el impacto de las corrientes de fuga en sistemas fotovoltaicos.

1.4 Objetivo general y específicos

Objetivo General

Implementar un esquema de conmutación de baja frecuencia de un inversor multinivel monofásico para modificar el voltaje o corriente de salida y asegurar una distorsión armónica mínima.

Objetivos específicos

- 1. Evaluación de las secuencias de conmutación para determinar parámetros como la magnitud de las corrientes de modo común y distorsión de armónica.
- 2. Revisar el estado del arte de esquemas de conmutación de baja frecuencia.
- 3. Diseñar un esquema de conmutación de baja frecuencia para el inversor multinivel.
- 4. Proponer un algoritmo para modificar el voltaje RMS del inversor.
- 5. Obtención de pruebas experimentales para validar la propuesta.

CAPITULO 2: ESTADO DEL ARTE

2.1 Inversores multinivel

Los inversores multinivel han despertado un gran interés debido a su capacidad para generar un voltaje de CA con una forma de onda escalonada de múltiples niveles como se muestra en la Figura 2.1. Los inversores multinivel a partir de una o más fuentes de CD, permiten aproximar una forma de onda sinusoidal con menor distorsión armónica en comparación con los inversores de dos o tres niveles [1],[2],[4].



Figura 2.1: Forma de onda escalonada de 7 niveles de un inversor multinivel

Los inversores multinivel se han consolidado como estándares en aplicaciones de medio voltaje y alta potencia en la industria. En aplicaciones de alta potencia, donde predominan las pérdidas por conmutación, es preferible emplear dispositivos operando a baja frecuencia, lo que permite una mayor eficiencia del inversor y un mejor aprovechamiento de los dispositivos. Aunque los inversores multinivel requieren de más componentes en comparación con los inversores convencionales de dos o tres niveles, los inversores multinivel presentan ventajas muy significativas, como el uso de dispositivo de menor voltaje nominal, baja distorsión armónica, la capacidad de operar a baja frecuencia (lo que incrementa la eficiencia) y una menor interferencia electromagnética (EMI) [1],[2],[3].

En los inversores multinivel, las limitaciones por temperatura de los dispositivos semiconductores y el diseño del sistema establecen restricciones a las pérdidas totales del sistema. Las pérdidas por conducción pueden minimizarse mediante una selección adecuada de la topología. La topología ideal en el sistema es aquella que emplea el menor número de dispositivos conectados en serie para diferentes estados de conmutación. Por otro lado, las pérdidas de conmutación pueden reducirse disminuyendo la frecuencia de conmutación del dispositivo. Sin embargo, un aumento en la frecuencia de conmutación requiere reducir la corriente del dispositivo para mantener las pérdidas totales dentro de límites aceptables, logrando mayor eficiencia y mejor aprovechamiento del sistema [3][5].

En aplicaciones de medio voltaje y alta potencia, las pérdidas por conmutación suelen ser predominantes. Al reducirlas, por lo general los sistemas cuentan con un costo y operación de fabricación reducido, Suelen reducir el tamaño físico del sistema y para que el diseño sea totalmente eficiente, las corrientes del dispositivo deben ajustarse dependiendo de la frecuencia de conmutación [2].

Los esquemas de modulación utilizadas en inversores multinivel se clasifican según la frecuencia de conmutación en la que operan [3]. La Figura 2.2 presenta una clasificación detallada de estos esquemas. En la cual se presenta la modulación de ancho de pulso (PWM), eliminación selectiva de armónicos, modulación escalera y modulación de vector espacial (SVM).



Figura 2.2: Clasificación de esquemas de modulación

2.2 Esquema de modulación SPWM

En los esquemas de modulación de alta frecuencia, como la modulación por ancho de pulso senoidal (SPWM), los anchos de pulso varían, lo que permite ajustar el voltaje RMS de salida modificando el ciclo de trabajo. Este esquema de modulación se ha dado lugar a diversas técnicas para reducir la distorsión en inversores multinivel, utilizando portadoras, mientras que otras emplean el desplazamiento de fase entre múltiples señales portadoras [6].

En aplicaciones industriales se suelen usar inversores multinivel con esquema de conmutación SPWM basado en portadoras que utiliza la técnica de desplazamiento de fase. Para reducir los armónicos de voltaje de carga. En la Figura 2.3 se muestra la forma de onda del voltaje de salida y la señal de referencia utilizando SPWM [3].



Figura 2.3: Voltaje de salida y señal de referencia con esquema de modulación SPWM

El número de pulsos por medio ciclo depende de la frecuencia de la señal portadora. Para lograr reducir la distorsión en inversores multinivel, se emplean métodos que utilizan la
disposición de la señal portadora y otros utilizan el desplazamiento de base de múltiples señales portadoras [3],[6].

2.3 Esquema de modulación SVM

El esquema de Modulación de Vector Espacial (SVM) combinado con modulación PWM, se adapta fácilmente a sistemas multinivel. La Figura 2.4 muestra el vector espacial de un inversor de tres niveles, este esquema suele ser comúnmente utilizado en la topología NPC, emplea una estructura de vectores espaciales diseñada específicamente para minimizar la frecuencia de conmutación en los dispositivos [3].



Figura 2.4: Diagrama de vector espacial para inversor de tres niveles

Esta estructura consta de dos polígonos concéntricos, subdivididos en pequeños triángulos isósceles, La modulación PWM dentro de estos triángulos está diseñada con el propósito de reducir la frecuencia de conmutación del dispositivo sin comprometer la calidad de la energía. Este esquema destaca por su alta eficiencia para aplicaciones de alta potencia, sin embargo, incrementa en la selección de estados de conmutación [3],[7].

2.4 Esquema de modulación con eliminación selectiva de armónicos

En los esquemas de conmutación de baja frecuencia se encuentra la eliminación selectiva de armónicos donde se obtiene una forma de onda de voltaje escalonado simétrico sintetizada por un inversor de nivel. En este esquema, se seleccionan los armónicos de baja frecuencia en la forma de onda más significativos, con el objetivo de su eliminación mediante la elección adecuada de los ángulos de conmutación. Al aplicar un análisis de serie de Fourier, es posible calcular numéricamente estos ángulos, para reducir las componentes armónicas [3].

La aplicación del esquema de eliminación selectiva de armónicos en un inversor multinivel permite reducir las pérdidas de conmutación y las interferencias electromagnéticas (EMI), esto se debe a la baja frecuencia de conmutación del inversor. Para eliminar los armónicos de bajo orden, es necesario determinar los ángulos de conmutación de los interruptores resolviendo ecuaciones no lineales. En [8], se utiliza la serie de Fourier para analizar el voltaje de salida del inversor multinivel, donde la señal se compone de armónicos pares e impares.

Por ejemplo, en la Figura 2.5 se muestra el voltaje de salida de un inversor de nueve niveles. Debido a la simetría de la forma de onda, este inversor requiere cuatro ángulos de conmutación para eliminar los armónicos de menor orden: tercero, quinto, séptimo y el noveno.



Figura 2.5: Forma de onda escalonada de 9 niveles de un inversor multinivel y eliminación de armónicos

2.5 Topologías de inversores

Actualmente, se emplean diversas topologías de inversores multinivel, que se clasifican principalmente en inversores basados en la topología de puente H e inversores con punto neutro NPC. Estas topologías desempeñan un papel crucial en aplicaciones industriales, sistemas de generación de energía renovable y sistemas de alta potencia [1].

2.6 Topología de inversor NPC

La topología de inversor NPC se considera como una solución efectiva en sistemas fotovoltaicos conectados a la red sin transformador, debido a que genera una corriente parásita muy baja y cumple con la norma DIN VDE 0126-1-1, que establece que la corriente de fuga sea menor a 300 mA [11].

En la Figura 2.6 se muestra un inversor NPC de diodos enclavados, en este circuito el voltaje del bus de CD se divide entre niveles mediante capacitores conectados en serie, donde el punto medio de los dos capacitores, denominado punto neutro n, actúa como referencia [3]. El voltaje de salida puede tomar cinco estados, $0.5 V_{CD}$, $0.25 V_{CD}$, $0, -0.25 V_{CD}$, $-0.5 V_{CD}$.



Figura 2.6: Inversor NPC de diodos enclavados de cinco niveles

Una de las principales características que distingue a esta topología de los demás inversores convencionales de dos niveles es el uso de diodos enclavados, los cuales limitan el voltaje en los interruptores a la mitad del nivel del voltaje de CD a la entrada. Sin embargo, al aumentar el número de niveles, también aumenta la cantidad de diodos enclavados necesarios, lo que representa un desafío técnico en los convertidores de alta potencia. Entre estos desafíos se encuentran las pérdidas excesivas en los diodos enclavados y las dificultades para mantener el equilibrio de voltaje en los capacitores del voltaje CD a la entrada [3].

2.7 Inversores puente H

El inversor puente H en cascada está basado en la conexión en serie de inversores monofásicos con fuentes CD separadas. La Figura 2.7 muestra dos inversores puente H en cascada que puede generar una forma de onda de hasta 5 niveles de voltaje. El voltaje resultante se sintetiza mediante la suma de los voltajes generados por los diferentes voltajes a la entrada de CD, cada inversor genera tres voltajes en la salida [1], [3].



Figura 2.7: Puente H en cascada para cinco niveles

El voltaje de salida puede formarse por métodos de alta y baja frecuencia, y en comparación con los inversores de dos o tres niveles, esta topología tiene una THD baja [1], [10].

2.8 Inversores con esquemas de conmutación de baja frecuencia

Existen técnicas para conmutar el inversor mediante esquemas de conmutación de baja frecuencia que en general, permiten reducir las pérdidas de potencia por conmutación y mejorar la eficiencia [1], [2]. Por ejemplo, en [8] se utiliza la conmutación de baja frecuencia con la técnica de eliminación selectiva de armónicos, para eliminar los armónicos de orden más bajo. Además, el uso del algoritmo de optimización por enjambre de partículas que permite obtener soluciones que minimizan el THD y determinan los ángulos de conmutación óptimos. Por otra parte, en [12] se propone un procedimiento para el cálculo en línea solamente de dos ángulos de conmutación, que logra el control del voltaje de salida. Por lo tanto, en la Figura 2.8 se muestra las características que puede ofrecer los esquemas de conmutación de baja frecuencia.



Figura 2.8: Características de los esquemas de conmutación de baja frecuencia.

Un desafío para la implementar la conmutación de baja frecuencia en los inversores multinivel es determinar los ángulos de conmutación óptimos para los interruptores de potencia, por ejemplo, resolviendo ecuaciones no lineales transcendentales con el objetivo de eliminar armónicos de bajo orden en la forma de onda de salida, para abordar esto, se emplean diversos métodos de eliminación que buscan reducir el THD, entre ellos, el método de eliminación selectiva de armónicos. Esta técnica destaca porque calcula de manera eficiente los ángulos de conmutación adecuados a generar una forma de onda senoidal, esto permite que el inversor opere a bajas frecuencias de conmutación reduciendo las pérdidas térmicas, minimizando el calentamiento y mejorando la eficiencia del inversor [5].

2.9 Aplicaciones de los inversores multinivel con conmutación de baja frecuencia

Los inversores multinivel de baja frecuencia se utilizan en diversas aplicaciones debido a sus ventajas, ya que las técnicas de conmutación son por debajo de 1 kHz. Esto permite una

reducción de las interferencias electromagnéticas emitidas y disminuye las pérdidas por conmutación [5]. Otras de sus ventajas es que cuenta con menor interferencia electromagnética [2].

2.10 Aplicaciones fotovoltaicas

Recientemente los inversores multinivel monofásicos conectados a la red en aplicaciones fotovoltaicas, han mostrado avances significativos en su desarrollo. Sin embargo, presentan desafíos como la gestión de la potencia reactiva necesaria para el control eficiente del sistema. Para abordar este problema, se emplean estrategias que incluyen el diseño de sistemas de control avanzados destinados a regular y optimizar la interconexión entre los sistemas de energía renovable y la red eléctrica [14], [15].

En [14] se analiza un sistema fotovoltaico monofásico de 1 kW, sin trasformador conectado a la red y utilizando diferentes inversores para realizar una comparación con el objetivo de seleccionar de manera adecuada los dispositivos más apropiados.

En [15] se propone un método para calcular la potencia activa y reactiva en un sistema fotovoltaico monofásico de 1 kW conectado a la red eléctrica.

2.11 Sistemas para alimentación interrumpida (UPS)

Los inversores multinivel han demostrado su eficiencia en aplicaciones de sistemas para alimentación interrumpida (UPS) con conmutación de baja frecuencia. En este contexto, se han propuesto inversores monofásicos puente H en cascada, diseñadas para mejorar la calidad de la forma de onda del voltaje de salida. Los sistemas UPS ofrecen acondicionamiento de energía y respaldo a cargas sensibles, y la eficiencia en estas aplicaciones se ha convertido en un requisito clave debido a que las pérdidas representan una fracción significativa de la potencia total.

En [13] se propone un inversor monofásico puente H en cascada de siete niveles que opera a baja frecuencia. Este diseño se analiza en términos de la THD, con el objetivo de mejorar la calidad de la forma de onda del voltaje de salida, que es aplicado para sistemas de alimentación interrumpida.

Actualmente, los inversores multinivel se han consolidado como una solución atractiva debido a sus numerosas ventajas: mayor capacidad de operación a altos voltajes utilizando con semiconductores de bajo voltaje, mejor calidad de la forma de onda del voltaje de salida, menor distorsión armónica en las corrientes de entrada y salida, corrientes de fuga reducidas, menor interferencia electromagnética. Estas características los posicionan como una opinión preferida para aplicaciones de alta frecuencia y alto rendimiento. CAPÍTULO 3: MARCO TEÓRICO

En este capítulo se abordan los conceptos de la calidad de energía y potencia eléctrica que son base para el desarrollo e implementación del proyecto. En la segunda sección de este capítulo se hablan de las corrientes de modo común en inversores fotovoltaicos.

3.1 Parámetros de la calidad de la energía eléctrica

El consumo de energía eléctrica crece cada día debido al desarrollo de las tecnologías. Esta gran demanda implica la necesidad de mejorar tanto la capacidad de generación como la distribución de la energía eléctrica. Además, se debe asegurar la calidad de la energía suministrada para garantizar el correcto funcionamiento de los equipos conectados a las redes, lo cual es crucial para el desarrollo tecnológico.

La calidad de la energía es un tema crucial debido a la sensibilidad de los equipos modernos a las variaciones del suministro eléctrico. Los dispositivos electrónicos son los principales causantes de la distorsión armónica, que afecta la forma de onda del voltaje o corriente. Para mitigar este problema se establecen normas y se emplean indicadores [16].

Hay estándares que establecen la calidad de la energía como la Norma IEEE 1159 de 1995: La calidad de la energía se refiere a una amplia variedad de fenómenos electromagnéticos que caracterizan el voltaje y corriente en un sistema de potencia en un momento y ubicación determinados y la norma IEC (61000-2-2/4) y CONELEC (50160): La calidad de la energía eléctrica se describe como característica física del suministro de electricidad, que debe llegar al cliente sin causar perturbaciones ni interrupciones en sus procesos.

En términos generales, la calidad del suministro de energía eléctrica se considera como la combinación de la disponibilidad de la energía eléctrica y la calidad del voltaje y corriente suministrada.

Existen varios conceptos básicos que se deben establecer antes de analizar un sistema eléctricos de potencia. El cálculo de las variables de un sistema eléctrico, puede ser el voltaje, corriente, potencia activa y reactiva, THD o factor de potencia [17].

Un sistema monofásico ideal, con carga lineal tiene una relación entre voltaje y corriente se describe:

$$v(t) = \sqrt{2}V\sin(\omega t) \tag{3.1}$$

$$i(t) = \sqrt{2}I\sin(\omega t - \varphi) \qquad 3.2$$

- Valores RMS, de voltaje y corriente representados por (V, I)
- Frecuencia de la red eléctrica en rad/s (ω).
- Desplazamiento de la corriente con respecto al voltaje en radianes (φ).

Expresión del valor de voltaje RMS:

$$V_{RMS} = \sqrt{\frac{1}{T} \int_0^T v^2(t) dt}$$
(3.3)

La potencia activa instantánea se describe como:

$$p(t) = v(t)i(/t) = 2VI\sin(\omega t - \varphi)$$
(3.4)

Para el producto de ángulos se tiene que:

$$\sin(\alpha)\sin(\beta) = \frac{1}{2}\left[-\cos(\alpha+\beta) + \cos(\alpha-\beta)\right]$$
(3.5)

Entonces:

$$\sin(\omega t) = \sin(a) y \sin(\omega t - \varphi) = (\beta)$$
(3.6)

Se obtiene de (3.5) y (3.6):

$$p(t) = VI\cos(\varphi) - VI\cos(\omega t - \varphi)$$
(3.7)

Y al usar la identidad la trigonométrica:

$$\cos(2\omega t - \varphi) = [\cos(2\omega t)\cos(\varphi) + \sin 2(\omega t)\sin(\varphi)]$$
(3.8)

Entonces al considerar (3.7) y (3.8) se tiene:

$$p(t) = VI\cos(\varphi) - VI[\cos(2\omega t)\cos(\varphi) + \sin(2\omega t)\sin(\varphi)]$$
(3.9)

Simplificando se tiene:

$$p(t) = VI\cos(\varphi) \left[1 - \cos(2\omega t)\right] - VI\sin(\varphi)\sin(2\omega t)$$
(3.10)

El promedio de (3.10) se expresa, con unidad de medida Watts (W):

$$P = VI\cos(\varphi) \tag{3.11}$$

Considerando (3.11) define la potencia aparente, con unidad de medida Volt Ampere (VA).

$$S = VI \tag{3.12}$$

La potencia reactiva se interpreta como el valor pico de la componente de oscilación al doble de la frecuencia de red, su unidad de medida es Volt Ampere Reactivo (VAR) y se designa con la letra Q.

$$Q = VI\sin(\varphi) \tag{3.13}$$

El contenido armónico puede ser determinado a través del índice de distorsión armónica o THD:

$$THD = \frac{\sqrt{\sum_{n=2}^{\infty} V^2_{n,RMS}}}{V_{1,RMS}}$$
(3.14)

Donde:

- Valor RMS de la componente fundamental ($V_{1,RMS}$).
- Valor de la n-enésima componente armónica ($V_{n,RMS}$).

3.2 Estándares de calidad de la energía

La calidad de la energía es un tema crucial debido a la sensibilidad de los equipos modernos a las variaciones del suministro eléctrico. Los dispositivos electrónicos son los principales causantes de la distorsión armónica, que afecta la forma de onda del voltaje o corriente. Para mitigar este problema se establecen estándares. y se emplean indicadores.

Es necesario cuantificar correctamente las distorsiones causadas por las cargas desequilibradas y garantizar una distribución equitativa de la carga necesaria para mantener la calidad del servicio eléctrico. Por lo tanto, los conceptos de potencia activa, reactiva y aparente y el deben adaptarse a las características del sistema para alcanzar los valores deseados. Existen normas establecidos por el IEEE, como el estándar IEEE 1459 que define parámetros como potencia activa, potencia reactiva, potencia aparente, esta norma es esencial para evaluar el comportamiento y la calidad de energía en sistemas donde las cargas no lineales y los equipos tienen un impacto significativo en la forma de onda [18].

Los estándares de calidad de energía establecen límites y criterios para garantizar que la energía suministrada sea adecuada para el correcto funcionamiento de los equipos y sistemas eléctricos. Estos estándares varían según la región, por ejemplo:

• IEEE 519 (2014)

Define límites para la THD en sistemas eléctricos, especifica niveles aceptables de distorsión de corriente y voltaje para proteger los equipos. Por ejemplo, establece el THD de voltaje $\leq 5\%$ para sistemas de ≤ 69 kV [19].

- IEC 61000-4 series (Comisión Electrotécnica Internacional)
 Proporciona normas sobre inmunidad y compatibilidad electromagnética (EMC).
 También incluye pruebas de inmunidad a armónicos, fluctuaciones de voltaje [20].
- EN 50160 (Europa)
 Establece los parámetros de calidad del suministro de energía en redes públicas de distribución, la norma establece los límites dentro de los cuales se espera que las características del voltaje se mantengan en cualquier de suministro en las redes públicas de electricidad europeas [21].
- NMX-J-126/1-ANCE (México): Establece requisitos de calidad del suministro eléctrico, como niveles de voltaje, frecuencia y límites de armónicos [22].

3.3 Corrientes de modo común en inversores fotovoltaicos

Los inversores multinivel en sistemas fotovoltaicos son importantes ya que convierten la energía CD generada por los paneles solares en energía CA de manera eficiente y confiable. En sistemas fotovoltaicos sin transformador, la falta de aislamiento galvánico entre el lado CD y el lado CA puede ocasionar problemas de seguridad eléctrica, como la generación de corrientes de fuga, también conocidas como corrientes de modo común.

Estas corrientes no solo representan un riesgo potencial para la seguridad de los usuarios, sino que también pueden provocar interferencias electromagnéticas y pérdidas adicionales en el sistema. Para mitigar las corrientes de fuga, es necesario implementar estrategias, como el uso de componentes de amortiguamiento pasivo, esquemas de modulación del inversor. [23].

Los inversores sin transformador son una solución eficiente y económica para los sistemas fotovoltaicos conectados a la red, ofrecen ventajas como mayor eficiencia pues al eliminar el trasformador, se reducen las pérdidas de energía asociadas con su funcionamiento. Se reduce el tamaño y peso debido a la ausencia del transformador hace que los inversores sean más compactos, lo que facilita su instalación.

Se han establecido soluciones para mejorar la eficiencia del sistema y minimizar las corrientes una de ellas es el uso de topologías, por ejemplo, las topologías basadas en el inversor puente H tiene el objetivo de evitar la generación de un voltaje fuga variable de forma instantánea, ya que puede provocar la aparición de las corrientes de fuga no deseadas [10],[11].

La corriente de fuga en ausencia de conexión galvánica, puede circular a través de la trayectoria de potencia y la ruta a tierra, generando interferencia electromagnética y riesgos significativos para la seguridad humana. Según la norma alemana DIN VDE 0126-1-1, el sistema fotovoltaico debe desconectarse de la red máximo de 0.3 segundo si la corriente de fuga supera los 300 mA [10]. En la Figura 3.1 se muestra la conexión del inversor puente H en cascada con una resistencia R_{zg} que representa la impedancia del camino a tierra. Con la finalidad de observar la trayectoria de la corriente de fuga i_{Rza}



Figura 3.1: Inversor puente H en cascada con conexión a la red con resistencia parásita R_{Zq}

La magnitud de la corriente de fuga y su contenido de armónico dependen de factores como la capacitancia parásita, las condiciones ambientales, la potencia del sistema, humedad, polvo,

entre otros. En los sistemas fotovoltaicos monofásicos, se han desarrollado diversas soluciones para mitigar la corriente de fuga, clasificadas en dos grupos principales: soluciones basadas en la estructura del inversor y en la estrategia de modulación. Las soluciones estructurales suelen requerir semiconductores de potencia adicionales o componentes pasivos, lo que incrementa el costo del sistema [11], [24].

Una manera de reducir las corrientes las corrientes de fugas son a través de su modulación. Por ejemplo. En [23] se propone la reducción de la corriente de fuga en sistemas fotovoltaicos basados en un inversor puente H en cascada de cinco niveles.

Otro de los métodos para minimizar la corriente de fuga consiste en aislar el sistema fotovoltaico y la red durante el estado cero o el ciclo de apagado del proceso de conmutación, por ejemplo, en [23] se propone una técnica que logra este aislamiento durante el estado de apagado del ciclo de conmutación, lo que contribuye a la reducción de la corriente de fuga.

Se considera en [25] el método basado en filtros para lograr reducir la corriente de fuga. Para un funcionamiento adecuado del filtro, la frecuencia de resonancia debe ser diseñada para ser más baja que la frecuencia de conmutación. Una frecuencia de resonancia más baja resulta mejor rendimiento para el filtro. Sin embargo, esta disminución en la frecuencia de resonancia implica un aumento en el tamaño de los inductores y capacitores necesarios.

En las topologías de inversores multinivel, los inversores de puente H en cascada son particularmente interesantes debido a su estructura, porque permiten alcanzar fácilmente niveles de voltaje de salida altos, utilizando componentes de bajo voltaje. Los distintos enlaces de CD en estos inversores permiten un control independiente de los voltajes de cada conjunto, lo que posibilita la aplicación de algoritmos de seguimiento de máxima potencia (MPPT) de forma individual en cada celda fotovoltaica. De esta manera, el uso del MPPT se vuelve más eficiente [23], [26].

CAPÍTULO 4: INVERSOR PUENTE H EN CASCADA CON CONMUTACIÓN DE BAJA FRECUENCIA

En esta sección se presenta el análisis del inversor multinivel puente H en cascada simétrico de cinco niveles de voltaje. Se detallan las expresiones analíticas de los parámetros de desempeño, como el cálculo de los ángulos de conmutación para lograr una mínima distorsión armónica, considerando un voltaje de salida RMS específico. Además, se analiza el valor RMS y la distorsión armónica total del voltaje generado por el inversor.

Sin embargo, se puede considerar mejorar la eficiencia, reducir la corriente de modo común o demandar la misma potencia a ambos convertidores en cada periodo.

4.1 Valor RMS y distorsión armónica total del voltaje del inversor

El inversor que se considera se muestra en la Figura 4.1, está formado por dos inversores puente H en cascada conectados en serie. Cada inversor tiene una fuente de CD independiente y en este trabajo se considera que son del mismo valor $0.5V_{CD}$. El inversor está conformado por ocho interruptores, S_1 , S_2 , S_3 y S_4 , así como sus complementarios \bar{S}_1 , \bar{S}_2 , \bar{S}_3 , \bar{S}_4 .



Figura 4.1: Diagrama del inversor multinivel puente H en cascada

Dependiendo de los estados de combinación de los interruptores se pueden obtener 16 diferentes combinaciones mostradas en la Tabla 4.1. El voltaje de salida del inversor es la suma de los voltajes de cada uno de los inversores puente H.

Número de combinación	<i>S</i> ₁	S ₂	S ₃	S ₄	v _{inv}	va	v _b
1	0	0	0	0	0	0	0
2	0	0	0	1	$-0.5V_{dc}$	0	$-0.5V_{dc}$
3	0	0	1	0	$0.5V_{dc}$	0	$0.5V_{dc}$
4	0	0	1	1	0	0	0
5	0	1	0	0	$-0.5V_{dc}$	$-0.5V_{dc}$	0
6	0	1	0	1	$-V_{dc}$	$-0.5V_{dc}$	$-0.5V_{dc}$
7	0	1	1	0	0	$-0.5V_{dc}$	$0.5V_{dc}$
8	0	1	1	1	$-0.5V_{dc}$	$-0.5V_{dc}$	0
9	1	0	0	0	$0.5V_{dc}$	$0.5V_{dc}$	0
10	1	0	0	1	0	$0.5V_{dc}$	$-0.5V_{dc}$

Tabla 4.1: Combinaciones del inversor puente H en cascada

11	1	0	1	0	V_{dc}	$0.5V_{dc}$	$0.5V_{dc}$
12	1	0	1	1	$0.5V_{dc}$	$0.5V_{dc}$	0
13	1	1	0	0	0	0	0
14	1	1	0	1	$-0.5V_{dc}$	0	$-0.5V_{dc}$
15	1	1	1	0	$0.5V_{dc}$	0	$0.5V_{dc}$
16	1	1	1	1	0	0	0

Con un esquema de conmutación adecuada, el inversor tiene a su salida un voltaje alterno de referencia de la red eléctrica ω_g y con cinco niveles de voltaje dados por V_{dc} , $0.5V_{dc}$, $0, -0.5V_{dc}$, $-V_{dc}$. Determinando que el periodo de la forma de onda es de $T = 2\pi/\omega_g$, entonces mediante dos ángulos de conmutación α_1 y α_2 en un intervalo de $(0, \pi/2)$ se puede generar una forma de onda de voltaje escalonada como se muestra en la Figura 4.2. Los ángulos deben satisfacer la siguiente condición.



Figura 4.2: Forma de onda del voltaje de salida de cinco niveles

Considerando con los cinco niveles de voltaje que debe tener la forma de onda durante los distintos intervalos en un periodo, hay múltiples posibilidades de establecer una secuencia usando las combinaciones posibles de I_1 a I_9 . En la Tabla 4.2 los intervalos que forman una posible secuencia.

Intervalo	I_1	I_2	I ₃	I_4	<i>I</i> ₅	I ₆	I_7	<i>I</i> ₈	I9
Inicio	0	α1	α2	$\pi - \alpha_2$	$\pi - \alpha_1$	$\pi + \alpha_1$	$\pi + \alpha_2$	$2\pi - \alpha_2$	$2\pi - \alpha_1$
Fin	α1	α2	$\pi - \alpha_2$	$\pi - \alpha_1$	$\pi + \alpha_1$	$\pi + \alpha_2$	$2\pi - \alpha_2$	$2\pi - \alpha_1$	2π
v_{inv}	0	$0.5V_{dc}$	V_{dc}	$0.5V_{dc}$	0	$-0.5V_{dc}$	$-V_{dc}$	$-0.5V_{dc}$	0

Tabla 4.2: Estados del inversor puente H en cascada

De los requerimientos en el diseño de una estrategia de conmutación de pulso único es que la componente de baja frecuencia de salida sea la deseada, en este caso a 60 Hz, además que tenga el contenido armónico deseado y el nivel de voltaje requerido. Sin embargo, independientemente de los valores de los ángulos siempre y cuando satisfagan la condición

(4.1) se puede calcular el valor RMS y el valor de THD de la forma de onda de voltaje. El valor RMS de un voltaje v(t), con periodo T, se puede calcular mediante:

$$V_{RMS} = \sqrt{\frac{1}{T} \int_0^T v^2(t) dt}$$
(4.1)

Entonces, tomando en cuenta la forma de onda en la Figura 4.2, podemos calcular el valor RMS mediante la expresión del área, $A(\alpha_1, \alpha_2)$, bajo la curva de v_{inv}^2 en el intervalo de $(0, \pi)$. Esta determinada por $A(\alpha_1, \alpha_2) = V_{DC} (4\pi - 2\alpha_1 - 6\alpha_2)/4$. Entonces, el voltaje RMS se puede calcular como:

$$V_{inv,RMS} = \sqrt{\frac{1}{T} \int_0^{\pi} v_{inv}^2(t) dt} = \sqrt{\frac{1}{T} A(\alpha_1, \alpha_2)}$$
(4.2)

Por lo tanto, se tiene:

$$V_{inv,RMS} = V_{DC} \sqrt{1 - (\alpha_1 + 3\alpha_2)/2\pi}$$
(4.3)

En la Figura 4.1, la forma de onda tiene simétrica de un cuarto de onda impar y su serie de Fourier tiene solamente términos impares del seno, $V_{inv}(t) = b_1 \sin(\omega_g t) + b_3 \sin(3\omega_g t) + b_5 \sin(5\omega_g t) + \cdots = \sum_{n=1}^{\infty} b_{2n-1} \sin((2n-1)\omega_g t)$. Donde los coeficientes se pueden calcular como:

$$b_{2n-1}(\alpha_1, \alpha_2) = \frac{2V_{DC}}{\pi} \left(\frac{\cos((2n-1)\alpha_1) + \cos((2n-1)\alpha_2)}{(2n-1)} \right)$$
(4.4)

El valor RMS, $V_{inv,1,RMS}$, de la componente fundamental $V_{inv,1}(t) = b_{2n-1} \sin((2n-1)\omega_0 t)$, es:

$$V_{inv,1,RMS} = \frac{\sqrt{2}V_{DC}\cos(\alpha_1) + \cos(\alpha_2)}{\pi}$$
(4.5)

Además, el índice de distorsión armónica de voltaje THD_V está determinada por:

$$THD_{V} = \frac{\sqrt{V_{inv,RMS}^{2} - V_{inv,1,RMS}^{2}}}{V_{inv,1,RMS}}$$
(4.6)

Entonces:

$$THD_V(\alpha_1, \alpha_2) = \frac{\sqrt{\pi(2\pi - \alpha_1 - 3\alpha_2)}}{4(\cos(\alpha_1) + \cos(\alpha_2))^2} - 1$$
(4.7)

En diferente literatura se usa el porcentaje de distorsión armónica o THD% que para este caso resultaría de multiplicar la expresión (4.8) por 100%.

Para la validación de estas ecuaciones se utilizó el software MATLAB para obtener gráficas para las expresiones de voltaje RMS (4.2) y (4.6), así como de distorsión armónica en función a los ángulos de conmutación. De acuerdo con (4.3) para un voltaje RMS constante, los

ángulos de conmutación deben de satisfacer $\alpha_1 + 3\alpha_2 = 2\pi(1 - V)$, lo que implica que hay un conjunto de valores continuos (α_1, α_2) que pueden generar dicho valor RMS y que en una gráfica de α_2 con respecto de α_1 estos valores dibujan líneas rectas. Sin embargo, para el valor RMS de la componente fundamental de voltaje (4.7), y para el valor de THD la relación entre los ángulos de conmutación no es lineal.



Figura 4.3: Curvas de voltaje $V_{inv,RMS}$ y THD (V) constante



Figura 4.4: Curvas de voltaje V_{inv,1,RMS} y THD (V) constante

Se puede observar de las gráficas valores RMS constantes y THD constante en función de los ángulos de conmutación en la Figura 4.3. El valor RMS está normalizado con respecto al valor del voltaje de CD total del inversor. para obtener un número entre cero y uno. También se observa que no se trazan curvas en la región donde α_1 tiene que ser mayor a α_2 , ya que una solución práctica, los ángulos de conmutación deben de cumplir las inecuaciones en (4.1). En la gráfica de la Figura 4.3, las líneas de valor RMS constante son líneas rectas.

También se puede mostrar en las gráficas de voltaje RMS en la Fig. 4.3 y Fig. 4.4 son muy parecidas, aunque en la Fig. 4.4 ahora son ligeramente curvas debido a la expresión (4.3) no

lineal. Este análisis permite diseñar una estrategia de conmutación para tener diferentes valores RMS, ya sea para el voltaje de salida o para su componente fundamental, manteniendo un índice de distorsión armónica mínimo.

4.2 Ángulos de activación para un voltaje RMS deseado

Para conocer el valor RMS del voltaje del inversor en función de los ángulos de conmutación y un determinado valor de voltaje de CD, V_{DC} se emplea (4.4).

Se puede además resolver (4.8) para eliminar el tercer armónico.

$$\cos(3\alpha_1) + \cos(3\alpha_2) = 0 \tag{4.8}$$

Entonces para conocer los ángulos de conmutación para un voltaje RMS deseado se puede escribir (4.4) de la siguiente manera:

$$\frac{V_{inv,RMS}}{V_{DC}} = \sqrt{\frac{2\pi - \alpha_1 - 3\alpha_2}{2\pi}}$$
(4.10)

De (4.10) se tiene que si $\alpha_1 = 0$ y $\alpha_2 = 0$ el resultado de la igualdad es 1, y para cualquier otro valor de α_1 y α_2 , el resultado será un valor menor a 1. Entonces si llamamos γ al término de la raíz se podría simplificar la ecuación como:

$$\frac{V_{inv,RMS}}{V_{DC}} = \gamma \tag{4.11}$$

Despejando para $V_{inv,RMS}$,

$$V_{inv,RMS} = \gamma \, V_{DC} \tag{4.12}$$

De esta manera en (4.12) se muestra la relación que existe entre el voltaje de entrada CD y el voltaje de salida RMS, donde γ tomará valores que van $0 < \gamma < 1$ dependiendo los ángulos de computación seleccionados.

Por ejemplo, en la Tabla 4.3 se tienen varios valores para los ángulos α_1 y α_2 en grados para un cierto $V_{inv,RMS}$, cuando el voltaje $V_{DC} = 110 V$.

	α1	α_2	γ	V _{inv,RMS}
1	24.2640	84.240	$0.4800 V_{DC}$	52.8
2	16.7760	76.7760	$0.5600 V_{DC}$	61.8
3	8.1360	68.1360	$0.6400 V_{DC}$	70.4
4	8.3120	56.6880	$0.7200 V_{DC}$	79.2
5	25.200	34.800	$0.800 V_{DC}$	88

Tabla 4.3: Ángulos de conmutación para un valor RMS deseado.

4.3 Convertidor conectado a la red eléctrica con filtro L y con capacitores parásitos

En esta sección se estudia el inversor puente H en cascada simétrico de cinco niveles de voltaje, mostrado en la Figura 4.5. Este inversor consta de dos puentes H en cascada con conmutación de baja frecuencia y está conectado a un filtro inductivo representado por el inductor *L* y una resistencia *R*. En aplicaciones fotovoltaicas de inversores conectado a la red sin transformador surgen capacitancias parásitas entre el marco del arreglo fotovoltaico y tierra [27], [28]. Estas capacitancias se pueden emular mediante capacitores ($C_{p1}, C_{p2}, C_{p3}, C_{p4}$), conectados entre las terminales de las fuentes de lado de CD a tierra.



Figura 4.5. Inversor multinivel puente H en cascada.

El voltaje de salida del inversor multinivel puente H en cascada v_{inv} y los voltajes de los cuatro capacitores parásitos pueden tomar diferentes valores, dependiendo de la combinación de las posiciones de los interruptores, que son mostradas en las figuras de 4.6 a 4.21.



Figura 4.6: Combinación 1











Figura 4.12: Combinación 7



Figura 4.7: Combinación 2



Figura 4.9: Combinación 4



Figura 4.11: Combinación 6











Figura 4.20: Combinación 15



Figura 4.15: Combinación 10



Figura 4.17: Combinación 12



Figura 4.19: Combinación 14



Figura 4.21: Combinación 16

Considerando las diferentes combinaciones de las posiciones de los interruptores, el voltaje de salida del inversor multinivel puente H en cascada puede tomar cinco niveles distintos: V_{dc} , $0.5V_{dc}$, $0, -0.5V_{dc}$, $-V_{dc}$. La Tabla 4.4 muestra el voltaje del inversor para cada una de las combinaciones, así como los cuatro capacitores parásitos v_{cp1} , v_{cp2} , v_{cp3} , v_{cp4} en cada combinación.

Número de	<i>S</i> ₁	<i>S</i> ₂	S ₃	<i>S</i> ₄	v _{inv}	v _{cp1}	v_{cp2}	v _{cp3}	v _{cp4}
1	0	0	0	0	0	0.51/	0	0.51/	0
2	0	0	0	1	-0.5V	0.3 <i>V_{CD}</i>	-0.5V	0.3 <i>V_{CD}</i>	-0.5V
2	0	0	1	1	$0.5V_{CD}$	17			0.5 <i>V_{CD}</i>
3	U	U	T	U	$0.5V_{CD}$	V _{CD}	$0.5V_{CD}$	$0.5V_{CD}$	U
4	0	0	1	1	0	$0.5V_{CD}$	0	0	$-0.5V_{CD}$
5	0	1	0	0	$-0.5V_{CD}$	0	$-0.5V_{CD}$	$0.5V_{CD}$	0
6	0	1	0	1	$-V_{CD}$	$-0.5V_{CD}$	$-V_{CD}$	0	$-0.5V_{CD}$
7	0	1	1	0	0	$0.5V_{CD}$	0	$0.5V_{CD}$	0
8	0	1	1	1	$-0.5V_{CD}$	0	$-0.5V_{CD}$	0	$-0.5V_{CD}$
9	1	0	0	0	$0.5V_{CD}$	$0.5V_{CD}$	0	$0.5V_{CD}$	0
10	1	0	0	1	0	0	$-0.5V_{CD}$	0	$-0.5V_{CD}$
11	1	0	1	0	V_{CD}	V_{CD}	$0.5V_{CD}$	$0.5V_{CD}$	0
12	1	0	1	1	$0.5V_{CD}$	$0.5V_{CD}$	0	0	$-0.5V_{CD}$
13	1	1	0	0	0	0	$-0.5V_{CD}$	$0.5V_{CD}$	0
14	1	1	0	1	$-0.5V_{CD}$	$-0.5V_{CD}$	$-V_{CD}$	0	$-0.5V_{CD}$
15	1	1	1	0	$0.5V_{CD}$	$0.5V_{CD}$	0	$0.5V_{CD}$	0
16	1	1	1	1	0	0	$-0.5V_{CD}$	0	$-0.5V_{CD}$

Tabla 4.4: Voltaje del inversor y de los cuatro capacitores parásitos

La suma de los voltajes de los cuatro capacitores parásitos es:

$$V_{PT1} = V_{cp1} + V_{cp2} + V_{cp3} + V_{cp4}$$
(4.13)

De la Tabla 4.4 se puede observar que

$$V_{cp1} - V_{cp4} = V_{cp2} - V_{cp3} \tag{4.14}$$

Entonces si se considera (4.14), se puede expresar el voltaje de los cuatro capacitores parásitos total como:

 $V_{PT1} = 2(V_{cp2} + V_{cp3}) \tag{4.15}$

Además, también de la Tabla 4.4 Vcp3 y Vcp4 satisfacen que

$$V_{cp3} = V_{cp4} + 0.5V_{dc} \tag{4.16}$$

Por lo tanto, considerando (4.16) en (4.15) se tiene una nueva expresión para el voltaje total de los capacitores parásitos V_{T2} :

$$V_{PT2} = 2(V_{cp2} + V_{cp4} + V_{dc})$$
(4.17)

Entonces, la corriente de fuga en (4.17) es:

$$i_{l} = C \frac{dV_{PT1}}{dt} = C \frac{d}{dt} 2 \left(V_{cp2} + V_{cp4} + V_{dc} \right)$$
(4.18)

Por lo tanto, la corriente de fuga puede expresarse como:

$$i_l = 2C \frac{d}{dt} (V_{cp2} + V_{cp4})$$
(4.19)

Ahora, considerando el circuito con solamente dos capacitores conectados a la parte negativa de los buses de CD, como se muestra en la Figura 4.22, el voltaje total se expresaría como:

$$V_{PT2} = V_{cp2} + V_{cp4}$$
(4.20)

La corriente de fuga considerando el circuito en la Figura 4.19, es:

$$i_{l2} = C \frac{d}{dt} V_{PT2} = C \frac{d}{dt} \left(V_{cp2} + V_{cp4} \right)$$
(4.21)

Por lo tanto, la relación de la corriente de fuga 4.3 y 4.19:

$$i_l = 2i_{l2}$$
 (4.22)

Por lo tanto, la corriente de fuga i_l está relacionada con i_{l2} ; ambas representan un valor menor de la corriente de fuga. En este caso se analiza el inversor multinivel puente H en cascada, teniendo en cuenta solo dos capacitores parásitos del lado negativo del bus de CD, como se muestra en la Figura 4.22.



Figura 4.22: Inversor multinivel puente H en cascada

La Tabla 4.5 de las combinaciones de las posiciones de los interruptores para el circuito en la Figura 4.19 se presenta a continuación.

Tabla 4.5: Voltaje del convertidor principal y de los dos capacitores parásitos

Número de combinación	<i>S</i> ₁	<i>S</i> ₂	S ₃	<i>S</i> ₄	v _{inv}	v _{cp1}	v_{cp2}
1	0	0	0	0	0	0	0
2	0	0	0	1	$-0.5V_{CD}$	$-0.5V_{CD}$	$-0.5V_{CD}$
3	0	0	1	0	$0.5V_{CD}$	$0.5V_{CD}$	0
4	0	0	1	1	0	0	$-0.5V_{CD}$
5	0	1	0	0	$-0.5V_{CD}$	$-0.5V_{CD}$	0
6	0	1	0	1	$-V_{CD}$	$-V_{CD}$	$-0.5V_{CD}$
7	0	1	1	0	0	0	0

8	0	1	1	1	$-0.5V_{CD}$	$-0.5V_{CD}$	$-0.5V_{CD}$
9	1	0	0	0	$0.5V_{CD}$	0	0
10	1	0	0	1	0	$-0.5V_{CD}$	$-0.5V_{CD}$
11	1	0	1	0	V _{CD}	$0.5V_{CD}$	0
12	1	0	1	1	$0.5V_{CD}$	0	$-0.5V_{CD}$
13	1	1	0	0	0	$-0.5V_{CD}$	0
14	1	1	0	1	$-0.5V_{CD}$	$-V_{CD}$	$-0.5V_{CD}$
15	1	1	1	0	$0.5V_{CD}$	0	0
16	1	1	1	1	0	$-0.5V_{CD}$	$-0.5V_{CD}$

Dado que el inversor conmuta a baja frecuencia, la forma de onda del voltaje del inversor v_{inv} es una forma de onda escalonada tal como se muestra en la Figura 4.23. En un periodo de red eléctrica hay solamente ocho transiciones entre los niveles de voltaje de v_{inv} .



Figura 4.23: Forma de onda del voltaje del inversor puente H en cascada de 5 niveles v_{inv} .

Un periodo de la forma de onda del voltaje del inversor v_{inv} , se puede dividir en ocho intervalos $I_1, I_2, ..., I_8$. Estos intervalos están definidos por los ángulos de conmutación α_1 y α_2 , de acuerdo a la Tabla 4.5, existen dos o más combinaciones que generan los niveles de voltaje 0, $0.5V_{dc}$ y $-0.5V_{dc}$. Además, la forma de onda de voltaje del inversor está determinada por cualquiera de las 9216 secuencias de conmutación. Esta secuencia de conmutación, la cual se puede representar mediante un vector de ocho entradas enteras, que tienen asociadas las combinaciones de acuerdo la Tabla 4.6. Dichas combinaciones deben activarse consecutivamente durante un periodo de la red eléctrica, en los intervalos de operación especificados en la Tabla 4.6, la cual muestra cada intervalo de operación de la forma de onda y las combinaciones posibles que para generar el voltaje de salida asociado.

Tabla 4.6: Combinaciones	posibles para	generar el n	nivel de voltaie en	cada intervalo de o	operación
1 abia 4.0. Comonaciones	posibles pare	i generai er i	inver de vondje en	caua mici valo uc (peración

	I_1	<i>I</i> ₂	I ₃	I ₄	<i>I</i> ₅	I ₆	<i>I</i> ₇	I ₈
Intervalo	$(0, 2\alpha_1]$	$(2\alpha_1, \alpha_1 +$	$(\alpha_1 +$	(<i>α</i> ₁ –	$(\pi, 2\alpha_1)$	$(2\alpha_1 +$	(α ₁ +	$(\alpha_1 - \alpha_2 +$
		α_2]	α ₂ ,	α_2 +	$+\pi$]	$\pi, \alpha_1 +$	α_2 +	$2\pi, 2\pi$]
			$\alpha_1 -$	π, π]		$\alpha_2 + \pi$]	π , α_1 –	
			α_2 +				α_2 +	
			π]				2π]	
v_{inv}	0	$0.5V_{CD}$	V_{CD}	$0.5V_{CD}$	0	$-0.5V_{CD}$	$-V_{CD}$	$-0.5V_{CD}$

Combinación	1	3	11	3	1	2	6	2
	4	9	-	9	4	5	-	5
	7	12	-	12	7	8	-	8
	10	15	-	15	10	14	-	14
	13	-	-	-	13	-	-	-
	16	-	-	-	16	-	-	-

Como se determina de la Tabla 4.6. Existen seis diferentes combinaciones que pueden generar el nivel cero, utilizado en los intervalos I_1 e I_5 . Para generar el nivel $0.5V_{dc}$, utilizado en los intervalos I_2 e I_4 , hay cuatro diferentes combinaciones, similarmente para el nivel $-0.5V_{dc}$, utilizado en los intervalos I_6 e I_8 , hay cuatro diferentes combinaciones. Finalmente, para generar el nivel V_{dc} utilizado en el intervalo I_3 , respectivamente $-V_{dc}$ utilizado en el intervalo I_7 , hay solamente una combinación posible.

Para determinar el número total de las combinaciones posibles, se considera el número de combinaciones que existen para cada nivel de voltaje. Así, el número total de combinaciones posibles es:

$$6^2 \cdot 4^4 \cdot 1^2 = 9216$$
 Combinaciones (4.23)

4.4 Análisis de la corriente de modo común

Existen 9,216 secuencias de conmutación posibles que pueden generar la forma de onda mostrada de la Figura 4.22. Para identificar las secuencias óptimas, con respecto de corriente de fuga, se puede evaluar cada una con respecto a el valor RMS de la corriente de fuga. Cada una de estas secuencias se pueden representar por un vector.

Todas las secuencias de conmutación fueron evaluadas utilizando MATLAB. Como resultado, se identificaron 64 secuencias de conmutación óptimas (las cuales presentan una corriente de fuga mínima) y 16 secuencias subóptimas (las cuales presentan una corriente de fuga mayor). Por ejemplo, el vector que describe una de las mejores secuencias de conmutación es [4,9,11,9,4,2,6,2], el cual corresponde a la forma de onda del voltaje de salida v_{inv} .

$$S_{\nu_{in\nu}} = V_{CD}[0, 0.5, 1, 0.5, 0, -0.5, -1, -0.5]$$
(4.24)

Y se puede describir por el vector de secuencia de conmutación

$$S_{v_{inv}} = V_{CD} [v_{1,}, v_2, v_3, v_4, v_5, v_6, v_7, v_8]$$
(4.25)

Los vectores que describen los cambios de voltaje en los capacitores parásitos v_{cp1} , v_{cp2} durante la secuencia de conmutación descrita, se muestran en (4.26).

$$S_{\nu_{CD1}} = V_{CD}[0, 0, 0.5, 0, 0, -0.5, -1, -0.5, 0]$$
(4.26)

$$S_{\nu_{CD2}} = V_{CD}[-0.5, 0, 0, 0, -0.5, -0.5, -0.5, -0.5, -0.5]$$
(4.27)

Para obtener el valor proporcional de la corriente RMS de fuga, es necesario calcular la derivada a los vectores Sv_{cp1} y Sv_{cp2} . En MATLAB, se utiliza la función (diff) para aproximar la derivada. Los vectores de cambios en los voltajes de los capacitores parásitos en un periodo son:

$$S_{\nu_{cp1d}} = V_{CD}[0, 0.5, -0.5, 0, -0.5, -0.5, 0.5, 0.5]$$
(4.28)

$$S_{\nu_{cp2d}} = V_{CD}[0.5, 0, 0, -0.5, 0, 0, 0, 0]$$
(4.29)

Una vez obtenidos ambos vectores, se suman lo que da como resultado:

$$S_{\nu_{CD}} = V_{CD}[0.5, 0.5, -0.5, -0.5, -0.5, -0.5, 0.5, 0.5]$$
(4.30)

En este vector en MATLAB se utiliza la función rms, que da como resultado un escalar. Esta función eleva cada elemento al cuadrado, calcula el promedio de los cuadrados y luego obtiene la raíz cuadrada del promedio. Por lo tanto, si $V_{CD} = 200 V$, se obtiene el valor proporcional RMS de la corriente de modo común:

$$I_{VPRMS} = V_{CD} / 2 \tag{4.31}$$

El comportamiento de los cambios de voltaje en la secuencia [4,9,11,9,4,2,6,2] se ilustra en la Figura 4.24.



Figura 4.24: Formas de onda de la suma de voltajes $v_{c_{p1}} + v_{c_{p2}}$ y de las corrientes de fuga i_{z_g} para la mejor secuencia de conmutación.

Otro ejemplo, se presenta el vector que describe una de las peores secuencias de conmutación, en este caso [10,3,11,3,10,5,6,5], donde $S_{v_{inv}}$ representa los cambios de voltaje para la forma de onda del voltaje de salida.

$$S_{v_{inv}} = V_{CD}[1.5,0,0,-1.5,0.5,-1,1,-0.5]$$
(4.32)

Los vectores que describen los cambios de voltaje en los capacitores parásitos v_{cp1} , v_{cp2} en esta secuencia de conmutación:

$$S_{\nu_{CD1}} = V_{CD}[-0.5, 0.5, 0.5, 0.5, -0.5, -0.5, -1, -0.5, -0.5]$$
(4.33)

$$S_{\nu_{cn2}} = V_{CD}[-0.5, 0, 0, 0, -0.5, 0, -0.5, 0, -0.5]$$
(4.34)

Los vectores que indican las transiciones de los voltajes de los capacitores parásitos son:

$$S_{\nu_{cp1d}} = V_{CD}[1, 0, 0, -1, 0, -0.5, 0.5, 0]$$
(4.35)

$$S_{v_{CP1d}} = V_{CD}[0.5, 0, 0, -0.5, 0.5, -0.5, 0.5, -0.5,]$$
(4.36)

Al sumar los vectores se obtiene:

$$S_{\nu_{CD}} = V_{CD}[1.5,0,0,-1.5,0.5,-1,1,-0.5]$$
(4.37)

El valor proporcional de la corriente de fuga:

$$I_{VPRMS} = V_{CD} / \left(\sqrt{14} / 4 \right) \tag{4.38}$$

La Figura 4.25 muestra el comportamiento de los cambios de voltaje en la secuencia [10,3,11,3,10,5,6,5].



Figura 4.25: Formas de onda de la suma de voltajes $v_{C_{p1}} + v_{C_{p2}}$ y de las corrientes de fuga i_{z_g} para la peor secuencia de conmutación

Por lo tanto, el valor proporcional de la corriente de modo común más bajo es este caso es de $V_{CD}/2$, correspondiente a las 64 mejores secuencias de conmutación, mientras que el valor más alto es de $V_{CD}/(\sqrt{14}/4)$, correspondiente a las 16 peores secuencias de conmutación.

4.5 Análisis del inversor multinivel con un inversor auxiliar

Para la aplicación del inversor multinivel en sistemas fotovoltaicos, se puede considerar una solución basada en un inversor puente H en cascada sin transformador. Esta solución consiste en operar el inversor puente H de cinco niveles con conmutación de baja frecuencia, al que se le añade un inversor auxiliar a alta frecuencia, cuyo propósito es controlar la corriente inyectada a la red eléctrica.

El inversor multinivel puente H en cascada utiliza un esquema de modulación a baja frecuencia que elimina del tercer y quinto armónico. Para el análisis se supone que la amplitud de la componente fundamental de v_{inv} del inversor, en cascada es constante y está determinada por el voltaje de los enlaces de CD y por los ángulos de conmutación α_1 y α_2 .

El inversor auxiliar añade grados de libertad para modificar la amplitud de la corriente que se inyecta a la red eléctrica usando un filtro inductivo. El objetivo es asegurar que la corriente de la red esté en fase con v_g y transferir solamente potencia activa.

En la Figura 4.26 se presenta un circuito simplificado del convertidor propuesto con el fin de realizar un análisis y donde se considera solamente la componente fundamental con frecuencia de la red eléctrica ω_q .



Figura 4.26: Circuito equivalente del inversor propuesto con consideración de la componente fundamental

En el circuito de la Figura 4.26, $v_{inv,1}(t) = V_{inv} \cos(\omega_g t + \varphi_i)$ es la componente fundamental del voltaje del inversor puente H en cascada, $v_{a,1}(t) = V_a \cos(\omega_g t + \varphi_a)$ es la componente fundamental del voltaje del inversor auxiliar, $v_g(t) = V_g \cos(\omega_g t)$ es el voltaje de la red eléctrica y la componente fundamental de la corriente del circuito es $i_{g,1}(t) =$ $I_g \cos(\omega_g t)$. La ecuación del circuito en términos de fasores, donde la fase está en radianes, y la amplitud es amplitud pico, es la siguiente.

$$L\omega_g I_g \angle \frac{\pi}{2} + R I_g \angle 0 + V_g \angle 0 + V_a \angle \varphi_a = V_{inv} \angle \varphi_{inv}$$
(4.39)

Existen múltiples soluciones v_a , φ_a , φ_{inv} de (4.39) dado que la corriente I_g es la misma para todos los elementos del circuito en la Figura 4.27, la solución que asegura la mínima potencia es aquella en la que la magnitud del voltaje v_a es mínima, por lo tanto, se presenta un diagrama fasorial que indica la posible solución.



Para lograr esta solución es necesario de la implementación de un control, que garantice que la corriente i_g siga una referencia sinusoidal que tenga frecuencia igual a la de la red eléctrica en este caso ω_g y con desplazamiento con respecto de la forma de onda de voltaje v_g . Esto garantiza la transferencia de potencia activa a la red eléctrica. Sin embargo, dicho control no es abordado en esta tesis y se considera un trabajo futuro. En la Figura 4.28 se muestra la configuración del inversor propuesto.



Figura 4.28: Configuración del inversor propuesto para la inyección de potencia activa.

CAPÍTULO 5: DISEÑO DE ESQUEMAS DE CONMUTACIÓN DE BAJA FRECUENCIA

5.1 Diseño de las secuencias de conmutación

En esta sección se describe el proceso de generación de secuencias de conmutación de baja frecuencia para el inversor puente en cascada. La metodología presentada utiliza una señal sinusoidal de amplitud unitaria como señal de referencia, la cual permite detectar cruces por cero y cruces de nivel mediante comparadores. Estos comparadores generan las secuencias de activación necesarias para los interruptores del inversor.

5.2 Generación de las señales de referencia

La modulación a baja frecuencia para el inversor multinivel puente H en cascada se puede obtener utilizando una señal de referencia sinusoidal $v_{sin}(t)$ que tiene una amplitud pico unitaria y frecuencia de la red eléctrica. El valor absoluto de la señal de referencia se compara con tres valores constantes diferentes: $0, \sin(\alpha_1) y \sin(\alpha_2)$, para generar las señales de disparo de los interruptores del inversor. En la Figura 5.1 (a) se presentan las señales $b_1, b_2 y b_3$, que son resultado de estas comparaciones, junto con el voltaje del inversor $v_{inv} y$ la señal sinusoidal rectificada $|v_{sin}(t)|$.



Figura 5.1: Voltaje de salida V_{inv} , señal sinusoidal rectificada $|v_{sin}(t)|$ y señales b_1 , b_2 y b_3 .

De esta manera, es posible generar cualquier secuencia de conmutación de entre las 9216 posibles. En este caso, se evaluaron todas las secuencias utilizando el software MATLAB, obteniendo 64 secuencias óptimas y 16 subóptimas. Para el análisis, se seleccionó una secuencia de cada grupo, siguiendo el orden proporcionado por el programa. La Tabla 5.1 presenta las posibles combinaciones de los diferentes valores de 0 y 1 asumidos por las señales b_1 , b_2 y b_3 , teniendo en cuenta los estados de los interruptores en la secuencia de conmutación óptima [4,9,11,9,4,2,6,2]. En la Tabla 5.1, la mayoría de las combinaciones para generar el voltaje de salida del inversor están asociadas con valores constantes; sin embargo, hay dos combinaciones que no tienen niveles de voltaje asociados.

Combinación	V _{inv}	b ₁	b ₂	b ₃	<i>S</i> ₁	S ₂	S ₃	S ₄
4	0	0	0	0	0	0	1	1
-	-	0	0	1	Χ	Χ	Χ	Χ
4	0	0	1	0	0	0	1	1
-	-	0	1	1	Х	Х	Χ	Х
2	$-0.5V_{dc}$	1	0	0	0	0	0	1
6	$-V_{dc}$	1	0	1	0	1	0	1
9	$0.5V_{dc}$	1	1	0	1	0	0	0
11	V_{dc}	1	1	1	1	0	1	0

Tabla 5.1: Estados de señales de comparadores y señales los interruptores para la mejor secuencia de conmutación.

La Figura 5.2 muestra las señales de disparo de los interruptores del inversor con el comportamiento ideal según la secuencia de conmutación [4,9,11,9,4,2,6,2].



Figura 5.2: Voltaje de salida v_{inv} , señal sinusoidal rectificada $|v_{sin}(t)|$ y señales de disparo para S_1, S_2, S_3, y S_4

Por lo tanto, a partir de la Tabla 5.1 es posible obtener mapas de Karnaugh que permitan definir las operaciones lógicas necesarias para generar la secuencia de conmutación seleccionada y obtener la forma de onda del voltaje de salida v_{inv} . En esta tabla se observa que los estados de los interruptores S_1 y S_4 son complementarios, lo que simplifica el proceso y permite utilizar solo tres mapas de Karnaugh, los cuales se muestran en la Figura 5.3. Estos mapas definen las compuertas lógicas que generan la secuencia de conmutación correspondiente a la forma de onda del voltaje de salida V_{inv} .



Figura 5.3: Mapas de Karnaugh de la secuencia [4,9,11,9,4,2,6,2].

Las expresiones lógicas que definen S_1 , S_2 , S_3 y S_4 para la secuencia obtenidas [4,9,11,9,4,2,6,2].

$$S_1 = b_1 b_2, \quad S_2 = b_3 \overline{b_2}, \quad S_3 = \overline{b_1} + b_2 b_3, \quad S_4 = \overline{b_1} \overline{b_2}$$
 (5.1)

En la Figura 5.4 se muestra el diagrama con el cual se generan las secuencias de conmutación para el inversor, en específico la secuencia [4,9,11,9,4,2,6,2]. Las señales b_1 , b_2 y b_3 corresponden a una serie de pulsos producto de la comparación de una sinusoidal de amplitud unitaria y tres valores constantes, obtenidos a partir de los valores de α_1 y α_2 . Estas señales se utilizan como entradas del circuito lógico diseñado para cada una de las secuencias de conmutación disponibles, obteniendo al final del circuito las señales que van directamente a accionar a los interruptores S_1 , S_2 , S_3 y S_4 así como sus complementarios $\overline{S_1}$, $\overline{S_2}$, $\overline{S_3}$, $\overline{S_4}$.



Figura 5.4: Diagrama lógico de la mejor secuencia de conmutación

De la Figura 5.1, se puede determinar el estado de las señales b_1 , b_2 y b_3 de acuerdo a la forma de onda del voltaje de salida v_{inv} , considerando la peor secuencia de conmutación. Por lo tanto, en la Tabla 5.2 se presentan las posibles combinaciones de los diferentes valores de 0 y 1 asumidos por las señales b_1 , b_2 y b_3 , de la secuencia [10,3,11,3,10,5,6,5].
Combinación	V _{inv}	b ₁	b ₂	b ₃	S ₁	S ₂	S ₃	S ₄
10	0	0	0	0	1	0	0	1
-	-	0	0	1	Х	Х	Χ	Х
10	0	0	1	0	1	0	0	1
-	-	0	1	1	Χ	Χ	Χ	Χ
5	$-0.5V_{dc}$	1	0	0	0	1	0	0
6	$-V_{dc}$	1	0	1	0	1	0	1
3	$0.5V_{dc}$	1	1	0	0	0	1	0
11	V_{dc}	1	1	1	1	0	1	0

 Tabla 5.2: Estados de señales de comparadores y señales los interruptores para la peor secuencia de conmutación

De la Tabla 5.2 se obtienen los mapas de Karnaugh para definir las operaciones lógicas que generan la secuencia [10,3,11,3,10,5,6,5]. Se requieren cuatro mapas de Karnaugh para definir las operaciones lógicas que generan la forma de onda del voltaje de salida. Así, en la Figura 5.5 se muestra los mapas de Karnaugh, con sus expresiones booleanas obtenidos de las Tabla 5.2 para generar la secuencia [10,3,11,3,10,5,6,5].



Figura 5.5: Mapas de Karnaugh de la secuencia [10,3,11,3,10,5,6,5]

Las expresiones lógicas que definen S_1 , S_2 , S_3 y S_4 para la secuencia obtenidas [4,9,11,9,4,2,6,2].

$$S_1 = \overline{b_1} + b_2 b_3, \quad S_2 = b_1 \overline{b_2}, \quad S_3 = b_1 b_2, \quad S_4 = \overline{b_1} + \overline{b_2} b_3$$
 (5.2)

En la Figura 5.6 se muestra el diagrama de un circuito para generar la secuencia de conmutación subóptima considerada, donde después de las señales b_1 , b_2 y b_3 se implementan las expresiones lógicas en (5.2), mediante compuertas lógicas para obtener las señales de disparo de los interruptores S_1 , S_2 , S_3 y S_4 , así como sus complementarios \overline{S}_1 , \overline{S}_2 , \overline{S}_3 , \overline{S}_4 .



Figura 5.6: Diagrama lógico de la peor secuencia de conmutación.

5.3 Diseño de esquemas de conmutación en FPGA

En esta sección se describe la implementación de las secuencias de conmutación mediante el software Quartus II, para configurar el FPGA Altera Cyclone IV EP4CE22F17C6N de la tarjeta de desarrollo FPGA DE0-nano. La estructura de la configuración del FPGA se presenta mediante un diagrama de bloques ilustrado en la Figura 5.7 y que consta de un acumulador de baja frecuencia, el generador de las señales de referencia b_1 , b_2 y b_3 , el generador de las secuencias para incluir tiempos muertos.



Figura 5.7: Esquema de la configuración del FPGA

Para la configuración del FPGA se declara una entidad, donde se especifican los puertos de entrada y salida asignados físicamente a los pines del FPGA. En esta entidad se definen:

- Señal de reloj interna del FPGA (clk), de 50 MHz.
- Señal de reinicio (reset).
- Tres variables correspondientes a las señales de referencia b_1 , b_2 y b_3 .
- Las variables correspondientes a las señales de disparo de los interruptores S_1 , S_2 , S_3 y S_4 , y sus señales complementarias $\bar{S}_1, \bar{S}_2, \bar{S}_3, \bar{S}_4$.

En la arquitectura del FPGA, se definen las variables necesarias para almacenar datos, incluyendo las destinadas al conteo de ciclos para la generación de las señales b_1 , b_2 y b_3 , así como para llevar a cabo las operaciones aritméticas requeridas. Se usan las señales clk y reset en un proceso que incluye para establecer contadores específicos para el conteo de ciclos de una variable que define los tiempos muertos.

• Bloque de acumulador de baja frecuencia

Dado que la componente fundamental de la forma de onda del voltaje CA del inversor multinivel puente H en cascada es de 60 Hz, se genera una señal con esta frecuencia a partir de la señal de reloj del FPGA de 50 MHz. Así, el número entero de ciclos de reloj del FGA en un periodo de la forma de onda del voltaje del inversor está dada por la operación (5.3).

$$N = \text{floor}\left(\frac{50 \ MHz}{60 \ Hz}\right) = 833333 \tag{5.3}$$

Donde la función floor redondea un número real al entero más cercano que sea menor o igual al número. Por lo tanto, en este bloque se define una constante (5.3).

• Generador de señales de referencia

Este bloque genera las señales de referencia b_1 , b_2 y b_3 mediante el conteo de pulsos del reloj del FPGA, clk. Primeramente, estas señales deben reiniciarse al estado 0 incluyendo a la constante N, Por ello, las señales de reset y ckl se definen dentro de un proceso para implementar lógica secuencial, sincronizar de los registros de datos y establecer valores predeterminados. Esto permite utilizar los contadores desde un estado inicial.

El conteo se activa cuando se activa ante un cambio lógico en las variables de entrada, en este caso, reset y ckl. Para generar la señal de referencia b_2 , que es simétrica y permanece entre niveles lógicos 1 y 0 el mismo tiempo, se establece la condición de que N esté en estado 1 desde 0 a 416666 y en estado 0 de 416666 hasta 833333 ciclos, como se muestra en la Figura 5.8.



Como se muestra en la Figura 5.8, para generar la señal de referencia b_1 es fundamental considerar el ángulo de conmutación α_1 , cuyo valor depende de la estrategia de conmutación utilizada. Relacionando el periodo de la componente fundamental con 360°, si $\alpha_1 = 12°$, la señal b_1 estará en estado 1 a partir de 12° después del inicio de la señal b_2 y regresará a 0, 12° antes que termine b_2 . Esto corresponde a la mitad de la forma de onda, equivalente a 416666 ciclos.

La descripción de b_1 se centra en los ciclos entre 0 y 416666, ya que, debido a la simetría de la forma de onda, basta con generar solo la mitad. A partir de esta descripción, se obtiene la ecuación (6.10), que incluye la expresión $2\alpha_n$, asegurando que la señal b_1 permanezca en estado 1 durante cualquiera de los dos ángulos de conmutación definidos por α_n antes y después, manteniendo la simetría de la forma de onda por los 833333 ciclos.

$$N_{b_{\rm n}} = \text{floor}\left(\frac{\frac{N(2\alpha_n)}{360^{\circ}}}{2}\right) \tag{5.4}$$

Por ejemplo, para la señal b_1 , se tiene la expresión N_{b_1} que $\alpha_1 = 12^\circ$, Por lo tanto, el número de ciclos en estado 0 se muestra en (5.5).

$$N_{b_1} = \left(\frac{\frac{833333 \cdot 24}{360^{\circ}}}{2}\right) = 27777$$
(5.5)

Por lo tanto, el número de ciclos en el estado 0 es de 27777, necesario para lograr el desfase de 12°. Para conocer el número de ciclos en su estado de encendido (estado 1) de b_1 , se obtiene la siguiente expresión $N_{b_{En}}$.

$$N_{b_{\rm En}} = \left(\frac{N}{2} - N_{b_1}\right) \tag{5.6}$$

Siguiendo la forma de onda b_1 , y utilizando (5.6) para $\alpha_1 = 12^\circ$, se tiene:

$$N_{b_{\rm E1}} = \text{floor}\left(\frac{833333}{2}\right) - 27777 = 3888889 \tag{5.7}$$

Para comprobar la simetría de la forma de onda se pueden sumar el número de ciclos del estado 0 (apagado) y el número de ciclos del estado 1 (encendido) $N = N_{b_1} + N_{b_{E1}} = 416666$ ciclos, lo que equivale exactamente a la mitad de los ciclos totales del periodo. El comportamiento descrito anteriormente correspondiente a la señal b_1 se puede observar en la Figura 5.9.



La forma de onda de la señal b_3 , considerando $\alpha_2 = 48^\circ$, según la Figura 5.10, estará en estado 1 después de 48° y en estado 0 antes de 48°. Para la señal b_3 , dado que $\alpha_2 = 48^\circ$, el número de ciclos en estado 1 se calcula utilizando (5.7).

$$N_{b_3} = \text{floor}\left(\frac{\frac{833333 \cdot 96}{360^{\circ}}}{2}\right) = 111111$$
(5.8)

Siguiendo el procedimiento anterior:

$$N_{b_{\rm E2}} = \text{floor}\left(\frac{833333}{2}\right) - 111111 = 305555 \tag{5.9}$$

Por lo tanto, al establecer la condición se obtendrá la forma de onda que se muestra en la Figura 5.10.



Generador de secuencias de conmutación

En este bloque la configuración del FPGA, debe incluir la generación de las señales de conmutación, las cuales se basan en las señales de referencia b_1 , b_2 y b_3 . Estas señales se utilizan según las expresiones lógicas obtenidas en la Sección 5.2 definiendo las variables de salida necesarias para describir la secuencia de conmutación a implementar.

• Generador de tiempo muerto

En este bloque, se generan las señales de conmutación para los interruptores del inversor, incorporando tiempos muertos que evitan cortocircuitos durante las transiciones de encendido y apagado de los interruptores del inversor de una misma rama. Para ello, se utiliza una variable definida previamente para el tiempo muerto, la cual debe añadirse para cada una de las señales de los interruptores las señales de conmutación necesitan un intervalo de tiempo para completar la transición. Además, se crea una constante que contiene el número de ciclos correspondientes al tiempo muerto.

Para determinar el número de ciclos necesarios para el interruptor, se aplica la siguiente expresión:

$$T = \frac{1}{F} = \frac{1}{50 \text{ MHz}} = 20 \text{ ns}$$
(5.10)

La hoja de datos recomienda que el tiempo muerto de los interruptores sea de 2 μ s. Por lo tanto, el número de ciclos requeridos para cumplir con el tiempo muerto se calcula con:

$$N_{TM} = \frac{2\,\mu s}{20\,ns} = 100\,ciclos \tag{5.11}$$

Para asegurar el correcto funcionamiento, se implementan contadores para cada interruptor, configurados de 0 a 110 ciclos, esto es porque deben ser más grandes que la constante del tiempo muerto definida en 101 ciclos, lo que permite establecer adecuadamente las condiciones necesarias para los contadores.

La condición se comportará de la siguiente manera:

Por ejemplo, para la señal S_1 , si esta se encuentra en estado 1, se evalúa una condición que establece lo siguiente: si el contador asignado al interruptor 1 esta entre 0 y 110 ciclos, y su valor es menor a la variable del tiempo muerto (101), el contador incrementará de 1 en 1 hasta llegar a 100. De lo contrario el contador se reiniciará para el siguiente ciclo.

Cuando el contador alcanza los 100 ciclos, se establece que este valor coincide con el tiempo muerto, agregándose a la forma de onda antes existir una transición. Una vez cumplida esta condición, se asigna la salida S_1 al pin correspondiente del FPGA. Esta configuración asegura que los 100 ciclos del tiempo muerto se cumplan correctamente para cada interruptor. Para cumplir con la señal $\overline{S_1}$, basta con negar S_1 y se asignar la señal al pin de salida.

En la Figura 5.11, se muestra el número de ciclos que deben existir antes de cualquier transición en las formas de onda de las señales S_1 , S_2 , S_3 y S_4 , y sus complementarias $\bar{S}_1, \bar{S}_2, \bar{S}_3, \bar{S}_4$.

Finalmente, las señales b_1 , b_2 y b_3 se asignan a los pines que de salida para medir su comportamiento.



Figura 5.11: Número de ciclos de tiempo muerto añadidos antes de cualquier transición.

5.4 Diseño de esquemas de conmutación en FPGA variando los ángulos de conmutación.

En esta subsección se detalla el proceso para cambiar los ángulos de conmutación mediante el accionamiento de cuatro interruptores conectados a pines GPIO de la tarjeta FPGA, permitiendo mantener la eliminación del tercer armónico pero que el voltaje del inversor tenga diferente valor RMS. En la Tabla 5.3 se muestran las combinaciones de las posiciones de los interruptores y los ángulos de conmutación que se les asocian.

Combinación	Interruptores			Ángulos		
	I_1	I_2	I_3	I_4	α_1	α2
1	0	0	0	0	27.57	87.57
2	0	0	0	1	24.26	84.26
3	0	0	1	0	-	-
4	0	0	1	1	20.66	80.66
5	0	1	0	0	-	-
6	0	1	0	1	-	-
7	0	1	1	0	-	-
8	0	1	1	1	16.77	76.77
9	1	0	0	0	-	-
10	1	0	0	1	-	-
11	1	0	1	0	-	-
12	1	0	1	1	-	-
13	1	1	0	0	-	-
14	1	1	0	1	-	-
15	1	1	1	0	-	_
16	1	1	1	1	12.60	72.60

Tabla 5.3: Posibles combinaciones de cuatro interruptores

5.5 Generador de señales de referencia con cambio de ángulos de conmutación.

Por lo tanto, se implementa nuevamente el diagrama de la Figura 5.7, con una actualización en el bloque generador de señales principales, descrito a continuación:

En los bloques previamente definidos, se crean condiciones capaces de controlar los cuatro interruptores, como se detalla en la Tabla 5.3. Estos interruptores tienen 16 combinaciones posibles, pero sólo se requieren 5 secuencias específicas. Por ello, se establecen condiciones para detectar el estado (1 o 0) de cada interruptor, evaluarlo y ajustar los ángulos de conmutación en consecuencia.

Como medida de protección contra cortocircuitos, las 11 combinaciones no utilizadas se anulan, redirigiendo automáticamente la configuración a los ángulos de conmutación del estado 1 si se llegan a ejecutar.

Por ejemplo, al cargar la configuración al FPGA, si los interruptores están en la primera combinación, se usan automáticamente los ángulos 24.57° y 87.57° en las señales b_1 , b_2 y b_3 . Si se cambia la combinación 2, los ángulos de estas señales cambian a 24.26° y 84.26° . Finalmente, si se selección la combinación 12, los ángulos de las señales b_1 , b_2 y b_3 vuelven a 24.57° y 87.57° .

CAPÍTULO 6: IMPLEMENTACÍON DEL PROTOTIPO Y RESULTADOS EXPERIMENTALES

En este capítulo se describe la implementación de un inversor multinivel puente H en cascada, junto con el diseño e implementación de una tarjeta de activación para gestionar las señales de conmutación de los interruptores. Además, se detalla el desarrollo de la etapa de acondicionamiento de señales y la elaboración de una tarjeta específica para emular las capacitancias parásitas de un inversor fotovoltaico conectado a la red sin transformador.

6.1 Diseño de la tarjeta de activación

El propósito de la tarjeta de activación es acondicionar las señales de conmutación generadas por la tarjeta de desarrollo FPGA DEO-Nano y transmitirlas al circuito del inversor mediante fibra óptica. Esta tarjeta está diseñada para utilizar 14 emisores de fibra óptica y controlar hasta tres puentes H en cascada.

Objetivos principales de la tarjeta de activación

- Conexión de hasta tres puentes H en cascada: Facilita la expansión del sistema para aplicaciones más complejas.
- Conexión y persistencia del estado del FPGA: Permite conectar la tarjeta de desarrollo FPGA DE0-Nano y asegura que, una vez cargado el código, este permanezca configurado y activado.
- Pines de prueba para medición de señales digitales: Incluye pines de conexión accesibles para realizar mediciones de señales.
- Acceso a pines adicionales del FPGA: Garantiza la flexibilidad para futuras conexiones o modificaciones.
- Incorporación de botones pulsadores e interruptores: Incorporación de dos botones pulsadores y cuatro interruptores conectados a pines GPIO de la tarjeta FPGA.

Etapa de alimentación

La alimentación de la tarjeta se realiza mediante el convertidor DC-DC CC10-2405SF-E, representado en la Figura 6.1. Este convertidor suministra un voltaje de 5 V a la tarjeta de activación, y está conectado a diferentes componentes como buffers, el flip-flop, la tarjeta FPGA, entre otros.

Las especificaciones del convertidor DC-DC CC10-2405SF-E son:

- Voltaje de entrada de 18-36 V.
- Voltaje de salida de 5 V.
- Corriente máxima de 2 A.

La Figura 6.1 muestra las conexiones realizadas, donde se incorporan capacitores para garantizar el acoplamiento en la etapa de entrada y además se incluye un diodo para protección del circuito. En la etapa de salida, se integra una etapa de acoplamiento junto con un LED que indica el estado de encendido de la tarjeta de activación.



Figura 6.1: Convertidor DC-DC CC10-2405F-E

En la Figura 6.2 se muestra el circuito esquemático del buffer 74LS541 implementado en la tarjeta de activación. Este buffer es el responsable de gestionar las señales de entrada de la tarjeta FPGA y las señales enviadas al driver. El buffer incorpora internamente una compuerta AND que permite activar o desactivar la señal de entrada.



Figura 6.2: Circuito esquemático de conexión del buffer 74LS541

El buffer 74LS541 se utiliza para proteger la tarjeta FPGA al evitar que suministre una corriente excesiva, asegurando así una operación eficiente y segura. Sus entradas \bar{G}_1 y \bar{G}_2 funcionan con lógica inversa: sí una o ambas están en estado alto 1, las salidas se configuran en estado de alta impedancia, bloqueando las señales de salida.

En el circuito esquemático, el pin de activación \overline{G}_1 está conectado a un flip-flop 74LS73, lo que permite enviar un estado alto 1 o bajo 0 de manera controlada. Por su parte, \overline{G}_2 , que es una segunda entrada de activación, puede configurarse manualmente a tierra o controlarse

mediante el FPGA, facilitando la activación o desactivación del buffer. Esta configuración resulta útil para deshabilitar el buffer en caso de detectar condiciones de sobrecorriente o sobrevoltaje, ya sea de forma manual o programada.

Finalmente, las ocho salidas A1 a A8 están configuradas como entradas para algunos pines de la tarjeta FPGA, mientras que las salidas Y1 a Y8 están destinadas a las señales que se envían al driver 2N75452B.

Las resistencias conectadas entre las salidas del buffer y tierra mantienen las señales de entrada en estado bajo (a tierra). Esto asegura que los emisores de fibra óptica permanezcan apagados evitando la activación de los IGBT del inversor. De este modo, se previene cualquier posible cortocircuito, incluso en caso de que la tarjeta FPGA no esté conectada o no tenga un programa configurado y activo.

Dado que los pines GPIO de un FPGA tienen una capacidad de corriente aproximada de 25 mA, se selecciona una resistencia comercial que asegure que la corriente esté considerablemente por debajo de este límite mediante la siguiente ecuación.

$$I_{Pin} = 3.3 \, V / \, 1.2 \, K\Omega = 2.75 \, mA \tag{6.1}$$

La configuración del flip-flop 74LS73, que permite enviar un estado alto 1 o bajo 0 de manera controlada, se muestra en la Figura 6.3.



Figura 6.3: Circuito esquemático de conexión del flip-flop 74LS73

En el circuito esquemático del flip-flop, se observa que el pin CLK está conectado a un interruptor, lo que permite alternar entre los estados alto 1 y bajo 0. El encendido y apagado de un LED en el pin \overline{Q} (13) indica el estado de la salida.

Las resistencias de 1 k Ω fueron colocadas siguiendo un circuito de conexión típico mostrado en su hoja de datos. La salida Q se utilizó para activar el buffer; para ello, se seleccionó una resistencia de 56 Ω con el objetivo de limitar la corriente y evitar picos superiores de 100 mA al accionar el pulsador. Aplicando la ley de Ohm, la corriente calculada es:

$$I_{ff} = 5 V / 56 \Omega = 89 mA \tag{6.2}$$

Por otro lado, la salida \overline{Q} se utilizó para encender un LED que indica el estado de (encendido o apagado). Para limitar la corriente del LED, se seleccionó una resistencia comercial de 330 Ω .

El driver SN75152B es clave en el control de los emisores de fibra óptica, ya que incluye compuertas NAND que permiten generar los pulsos necesarios para el receptor. Al funcionar como un transistor de colector abierto, este driver asegura la correcta transmisión de los pulsos hacia los IGBTs del inversor.

En la Figura 6.4 se muestra el circuito esquemático de conexión del driver SN75452B empleado para la activación de los emisores de fibra óptica.



Figura 6.4: Circuito esquemático para la activación de los emisores de fibra óptica

El propósito de la tarjeta de activación es permitir la conexión de hasta tres inversores en configuración puente H en cascada. Para lograr esto, cada driver está conectado a dos emisores HFBR-1521, dado un total de 14 emisores de fibra óptica en la tarjeta de activación, distribuidos en siete circuitos integrados.

El circuito integrado HFBR-1521, proporciona dos salidas por unidad, lo que hace posible utilizar siete unidades para cubrir los 14 emisores necesarios para la conexión de los tres inversores en cascada.

Acorde a la hoja de datos de los emisores de fibra óptica, la corriente se debe mantener por debajo de 80 mA para evitar daños y ser de al menos 10 mA para garantizar que el LED encienda. Basándose en estos valores se selecciona una resistencia comercial de 330 Ω , la cual permite una corriente de aproximadamente 15 mA, suficiente para encender el LED sin un consumo excesivo de corriente. La corriente dada es:

$$I_E = 5 V / 330 \Omega = 16 mA \tag{6.3}$$

Adicionalmente, dado que el driver al que está conectado el emisor de fibra óptica contiene un transistor en su circuito interno, se añadió una resistencia de 10 k Ω para garantizar el apagado completo del emisor cuando este no se esté activo. Esta resistencia limita la corriente a niveles de microamperes, asegurando que no circule una corriente significativa. por lo tanto, se tiene:

$$I_{DR} = 5 V / 10 K\Omega = 5 \mu A \tag{6.4}$$

Para generar las señales de conmutación destinados a los emisores de fibra óptica, se usan los pines de la tarjeta FPGA. Específicamente, como se ilustra en la Figura 6.5, se utilizan los pines 2, 4, 6, 8, 10, 14, 16, 18, 20, 22, 24 y 26 del conector JP1. Con el propósito de que la tarjeta de activación pueda adaptarse a distintas aplicaciones o funciones, también se habilita

el uso de algunos pines del conector JP2, considerando únicamente los pines pares desde el 2 hasta el 40.



Figura 6.5: Pines utilizados de la tarjeta FPGA en la tarjeta de activación.

Este diseño permite instalar la tarjeta FPGA con la cara principal orientada hacia abajo, hacia la cara principal del PCB de la tarjeta de activación y facilitar el acceso a los pines del puerto JP3. No obstante, esta disposición hace que los botones pulsadores e interruptores integrados queden inaccesibles. Por ello, se incorporan botones pulsadores e interruptores en la tarjeta de activación, acompañados de resistencias de 10 k Ω para garantizar su correcto funcionamiento.

En la Figura 6.6 se muestra el diagrama de conexión de la tarjeta de activación, incluyendo la mayoría de las conexiones principales. Adicionalmente se añadieron pines adicionales para facilitar la medición de las señales de conmutación generadas por lo emisores. Asimismo, se incorporaron pines dedicados para voltajes de 5 V y 3 V, junto con pines de conexión para la tarjeta FPGA y pines de referencia a tierra.

En la Figura 6.9 se muestra la implementación de la tarjeta de activación. Como se observa, la tarjeta cuenta con ocho emisores de fibra óptica HFBR-1521. La alimentación proviene de una fuente de voltaje de 15 V, cuya configuración se muestra en la Figura 6.1.



Figura 6.6: Circuito esquemático de la tarjeta de activación.

En las Figuras 6.7 y 6.8 se muestra la imagen de la PCB de la tarjeta de activación, el cual se diseñó en software Altium Designer a dos caras.



Figura 6.7: Primer cara de la tarjeta de activación

Figura 6.8: Segunda cara de la tarjeta de activación

En la Figura 6.9 se muestra el prototipo de la tarjeta de activación.



Figura 6.9: Prototipo de tarjeta de activación.

6.2 Diseño del inversor multinivel puente H en cascada

Para la implementación del diseño propuesto del inversor puente H en cascada, se emplea el IGBT G4PC30UD. Este interruptor presenta características óptimas para aplicaciones de gran potencia y velocidad.

El prototipo experimental del inversor incluye el diseño de un circuito impulsor para el IGBT, el cual incorpora un receptor de fibra óptica modelo HFBR-2531 y un opto-driver HCPL3120. El receptor de fibra óptica implementado permite una transmisión eficiente de señales de control, mientras que el opto-driver, está diseñado para dispositivos semiconductores de alta impedancia con precisión y fiabilidad.

En esta subsección se detalla el diseño del inversor multinivel puente H en cascada, con la descripción tanto de la elección de componentes como las especificas técnicas del IGBT utilizado, que incluyen sus características principales para garantizar un funcionamiento eficiente y seguro.

El diseño del circuito receptor de fibra óptica implementado en el prototipo experimental se ilustra en la Figura 6.10. Este circuito es accionado por señales ópticas transmitidas a través de la fibra óptica, lo que permite controlar la etapa de potencia con aislamiento galvánico efectivo, incrementando así la seguridad del prototipo y evitar interferencias en las señales de control. Para garantizar una adecuada adaptación de la señal, se emplea el opto-driver como se ilustra. Este componente asegura un aislamiento óptico confiable entre las etapas de control y la etapa de potencia.



Figura 6.10: Diagrama eléctrico de receptor de fibra óptica y opto-driver.

En la Tabla 6.1 se presentan las principales características operativas del opto-driver.

Parámetro	Mínimo	Típico	Máximo
Corriente de salida <i>i</i> _o	-	-	2.5 A
Voltaje de saturación positivo V_{CC}	15 V	_	30 V
Voltaje de saturación negativo V_{EE}	-15 V	-	-30 V
Velocidad de conmutación T_{SW}	_	500 ns	-

Tabla 6.1: Parámetros del opto-driver HCPL3120

El receptor de fibra óptica funciona como un transistor de colector abierto, con una resistencia interna de 1 k Ω . requiere de un voltaje de alimentación de 5V, generando una corriente de 5 mA. Sin embargo, este valor de corriente puede ser insuficiente para el correcto funcionamiento del opto-driver, ya que el rango de activación del diodo interno se encuentra entre 7 mA a 16 mA, con una alimentación de 5 V.

Para solucionar este inconveniente, se propone conectar una resistencia en paralelo con la resistencia interna de 1 k Ω para incrementar la corriente salida y así activar adecuadamente el diodo interno del opto-driver. Se ha determinado que una corriente de operación óptima para el diodo impulsor es de 12 mA. Aplicando la ley de Ohm, se calcula el valor resistencia paralela requerida:

$$R_{VO} = 5 V / 12 mA = 416 \Omega$$

Dado que el valor obtenido no corresponde a un estándar comercial, se selecciona una resistencia de 390 Ω como valor más cercano. Con esta resistencia, la corriente de operación del diodo impulsor es:

$$I_{DI} = 5 V / 390 = 12.82 mA$$

Adicionalmente, se incorpora un LED tanto al receptor de fibra óptica como al opto-driver, con el propósito de indicar la recepción de señales a través de la fibra óptica. Este LED es alimentado con los 5V provenientes de la sección digital del inversor.

En la Figura 6.11 propuesta se presenta el circuito resultante, donde V_C representa la señal de conmutación generada por el receptor de fibra óptica, utilizada como señal G_n de compuerta para el IGBT. Para alimentar el opto-driver y generar referencias de tierra independientes para cada semiconductor, +15 V y -5V. Para cumplir con estas especificaciones, se utiliza una fuente aislada Murata modelo MGJ2D051505SC, que suministra los voltajes requeridos de forma eficiente.



Figura 6.11: Circuito de conexión de la fuente MGJ2D051505SC

En la Figura 6.12, se muestra el diagrama de conexión del inversor propuesto.



Figura 6.12: Diagrama de conexión del inversor.

En la Figura 6.13 se muestra el prototipo experimental del inversor puente H, el cual se diseñó en el software Altium Designer bajo los parámetros mostrados en la Tabla 6.2.

Dispositivos	Valores				
IGBT(IRG4PC30FD)	$V_{CE} = 600 V, \qquad I_C = 17 A$				
Diodo Fast	Es2A, Es3A				
Capacitor MKP	$1 \ \mu F$				
CI1	820 µF				
R _{des}	20 kΩ				
DE1	1N4007				
CE1	22 µF				
CE2	$0.1 \ \mu F$				
CM1	220 µF				
CM2	100 nF				
Resistencias al LED	330 Ω				

Tabla 6.2: Parámetros del inversor.



Figura 6.13: PCB del inversor puente H.

En la Figura 6.14, se muestra prototipo del inversor.



Figura 6.14: Prototipo del inversor puente H.

6.3 Diseño de la tarjeta para las capacitancias parásitas

De acuerdo con el Capítulo 2 el sistema está diseñado para operar a menos de un 1 kW. Según la referencia [27], la capacitancia parásita típica está en el rango de 60 nF y 110 nF. Para cumplir con este rango, cada inversor incluye un capacitor conectado en la entrada negativa del voltaje $V_{DC}/2$. En este caso, se utilizan dos capacitores comerciales de 47 nF, logrando una capacitancia parásita total C_{PT} de 94 nF, además, se establece una resistencia de 10 Ω .

El diagrama de la tarjeta de capacitancias parásitas se presenta en la Figura 6.15.



Figura 6.15: Diagrama de capacitancias y resistencia parásitas

En la Figura 6.16 se muestra el prototipo experimental de las capacitancias parásitas para el inversor puente H, el cual se diseñó en el software Altium Designer



Figura 6.16: PCB de capacitancias parásitas.

En la Figura 6.17 se muestra el prototipo de las capacitancias parásitas.



Figura 6.17: Prototipo de capacitancias parásitas.

6.4 Resultados experimentales del inversor multinivel de baja frecuencia

En esta sección se presenta la validación experimental del inversor puente H en cascada de cinco niveles de voltaje a partir de tres evaluaciones distintas. En la primera evaluación, se aplica una modulación a baja frecuencia usando dos secuencias de conmutación diferentes y la técnica de eliminación selectiva de armónicos, eliminando el tercer y quinto armónico de la componente fundamental. Una de las secuencias de conmutación es una de las mejores con respecto de corrientes de fuga y la otra es una de las peores, también con respecto de corrientes de fuga. La segunda evaluación usa la mejor secuencia de conmutación considerada, pero con cinco pares de ángulos de conmutación diferentes para obtener distintos valores RMS del voltaje del inversor en estado estacionario y eliminar el tercer armónico. La tercera evaluación usa estos distintos ángulos de conmutación y la modulación a baja frecuencia para analizar las respuestas transitorias a cambios en el valor RMS del voltaje del inversor. La modulación se implementa en el inversor usando tarjeta FPGA configurada en el software Quartus II como se describe en el Capítulo 5.

Los resultados experimentales se evaluaron con los valores de los ángulos presentados en la Tabla 6.3.

12 48 1 27.760 87.5760 2 24.2640 84.2640 3 20.6640 80.6640 4 16.7760 76.7760 5 12.6000 72.6000 6 8.1360 68.1360 7 3.3840 63.3840 8 3.3120 56.6880 9 13.9680 46.0320 10 25.200 34.800		α_1	α_2
127.76087.5760224.264084.2640320.664080.6640416.776076.7760512.600072.600068.136068.136073.384063.384083.312056.6880913.968046.03201025.20034.800		12	48
2 24.2640 84.2640 3 20.6640 80.6640 4 16.7760 76.7760 5 12.6000 72.6000 6 8.1360 68.1360 7 3.3840 63.3840 8 3.3120 56.6880 9 13.9680 46.0320 10 25.200 34.800	1	27.760	87.5760
3 20.6640 80.6640 4 16.7760 76.7760 5 12.6000 72.6000 6 8.1360 68.1360 7 3.3840 63.3840 8 3.3120 56.6880 9 13.9680 46.0320 10 25.200 34.800	2	24.2640	84.2640
416.776076.7760512.600072.600068.136068.136073.384063.384083.312056.6880913.968046.03201025.20034.800	3	20.6640	80.6640
5 12.6000 72.6000 6 8.1360 68.1360 7 3.3840 63.3840 8 3.3120 56.6880 9 13.9680 46.0320 10 25.200 34.800	4	16.7760	76.7760
68.136068.136073.384063.384083.312056.6880913.968046.03201025.20034.800	5	12.6000	72.6000
73.384063.384083.312056.6880913.968046.03201025.20034.800	6	8.1360	68.1360
83.312056.6880913.968046.03201025.20034.800	7	3.3840	63.3840
913.968046.03201025.20034.800	8	3.3120	56.6880
10 25.200 34.800	9	13.9680	46.0320
	10	25.200	34.800

Tabla 6.3: Ángulos para el inversor de cinco niveles

El prototipo del inversor puente H en cascada de cinco, niveles con capacitancias parásitas y la tarjeta de activación se muestra en la Figura 6.18.



Figura 6.18: Inversor multinivel puente H en cascada de cinco niveles con capacitancias parásitas

6.5 Resultados experimentales del inversor multinivel a baja frecuencia con eliminación selectiva de armónicos con capacitancias parásitas

En esta sección se presentan los resultados experimentales del inversor usando una modulación a baja frecuencia con dos secuencias de conmutación diferentes que eliminan el tercer y quinto armónico de la componente fundamental descritas en el Capítulo 4. Una de las secuencias de conmutación es de las mejores y otra de las peores con respecto a corrientes de fuga. En el inversor cada una de las dos fuentes de voltaje de CD de los inversores puente H fue establecido como lo indica la Tabla 6.2 en $V_{dc}/2 = 110 V$. La carga fue establecida mediante una conexión en serie de un inductor de 8 mH y una resistencia de 33.33 Ω .

6.6 Resultados experimentales para una de las mejores secuencias de conmutación

En la Figura 6.19 se muestra la secuencia de pulsos generada por una de las mejores secuencias de conmutación, específicamente la secuencia [4,9,11,9,4,2,6,2] descrita en el Capítulo 5. Se pueden observar claramente las señales de disparo correspondientes a cada uno de los interruptores. La señal 0 es la señal de disparo del interruptor S_1 , la señal 1 su complemento \bar{S}_1 y así sucesivamente hasta llegar a la señal 6 que es la señal de disparo del interruptor S_4 y su complemento \bar{S}_4 , la señal 7.



Figura 6.19: Señales de disparo de los interruptores del inversor de una mejor secuencia de conmutación. Desde arriba y hacia abajo se muestran las señales de disparo de \bar{S}_4 , S_4 , \bar{S}_3 , S_3 , \bar{S}_2 , S_2 , \bar{S}_1 y S_1 .

Para cada una de estas señales se verificó que los parámetros de periodo, tiempos de activación y apagado, así como el tiempo muerto, correspondieran a los obtenidos mediante simulación numérica, para comprobar que el diseño de la configuración del FPGA sea adecuado y prevenir posibles cortocircuitos en los interruptores. Por ejemplo, la Figura 6.20 se muestra un acercamiento en el tiempo de las ocho señales de disparo donde se puede observar el tiempo muerto durante las transiciones de activación y apagado de los interruptores.



Figura 6.20: Acercamiento de las señales de disparo que permite observar el tiempo muerto. Desde arriba y hacia abajo se muestran las señales de disparo de \bar{S}_4 , S_4 , \bar{S}_3 , S_3 , \bar{S}_2 , S_2 , \bar{S}_1 y S_1 .

Una vez verificadas las señales de disparo, se obtienen resultados del inversor, considerando que cada una de las fuentes de voltaje en el lado de CD son de 110 V. En la Figura 6.21 se presentan las formas de onda de voltaje y corriente del inversor en el lado de CA, utilizando los ángulos de conmutación de $\alpha_1 = 12^\circ$ y $\alpha_2 = 48^\circ$. El valor RMS del voltaje es 155 V y el de la corriente es 4.44 A.



Figura 6.21: De arriba hacia abajo: Voltaje del inversor y corriente de salida del inversor, para la mejor secuencia de conmutación utilizada.

En la Figura 6.22 se presenta la forma de onda del voltaje del inversor y su FTT, donde se observa la magnitud de los armónicos presentes. En particular, se destaca la amplitud del séptimo armónico a 420 Hz. Este es el armónico más significativo después de la componente fundamental. Esto confirma que se logra la eliminación del tercer y quinto armónico.



Figura 6.22: De arriba hacia abajo: Voltaje del inversor y su FFT, para la mejor secuencia utilizada.

En la Figura 6.23 se muestra, de arriba hacia abajo, el voltaje de salida y la corriente de fuga i_{zg} , la cual tiene un valor RMS de amplitud de 82.2 mA, y tiene picos de amplitud de hasta 3 A.



Figura 6.23: De arriba hacia abajo: Voltaje del inversor y la corriente de modo común i_{zg} , para la mejor secuencia utilizada.

En la Figura 6.24 se muestra una captura del analizador de calidad de la energía Fluke 435 que muestra el espectro de frecuencia del voltaje del inversor con un THD de 16.3%, al igual se muestra la eliminación el tercer y quinto armónico.



Figura 6.24: Espectro de frecuencia del voltaje del inversor mediante un analizador Fluke 345, para la mejor secuencia utilizada.

La Figura 6.25 muestra la captura del espectro de frecuencia de la corriente de salida que exhibe un THD del 9.8%.



Figura 6.25: Espectro de frecuencia de la corriente de salida mediante un analizador Fluke 345, para la mejor secuencia utilizada

6.7 Resultados experimentales para una de las peores secuencias de conmutación

En la Figura 6.26 se muestra la secuencia de disparo de una de las peores secuencias de conmutación, correspondiente a la secuencia [10,3,11,3,10,5,6,5]. La señal 0 es la señal de disparo del interruptor S_1 , la señal 1 su complemento \bar{S}_1 y así sucesivamente hasta llegar a la señal 6 que es la señal de disparo del interruptor S_4 y su complemento \bar{S}_4 , la señal 7.



Figura 6.26: Señales de disparo de los interruptores del inversor de una peor secuencia de conmutación. Desde arriba y hacia abajo se muestran las señales de disparo de \bar{S}_4 , S_4 , \bar{S}_3 , S_3 , \bar{S}_2 , S_2 , \bar{S}_1 y S_1 .

En la Figura 6.27 se presentan las formas de onda de voltaje y corriente del inversor obtenidas utilizando los ángulos de conmutación de $\alpha_1 = 12^\circ$ y $\alpha_2 = 48^\circ$. Los valores RMS del voltaje y la corriente son los mismos que en la mejor secuencia, 155 *V* y 4.47 *A*, respectivamente.



Figura 6.27: De arriba hacia abajo: Voltaje del inversor y corriente de salida del inversor, para la peor secuencia de conmutación utilizada.

En la Figura 6.28 se muestra la forma de onda del voltaje de salida junto con la FTT, el cual muestra la amplitud del séptimo armónico a 420 Hz. Al igual que con la secuencian anterior se cumple con la eliminación selectiva de armónicos.



Figura 6.28: De arriba hacia abajo: Voltaje del inversor y su FFT para la peor secuencia utilizada.

En la Figura 6.29 se muestra el voltaje de salida, junto con la corriente de fuga la cual tiene una amplitud de $i_{zgEMS} = 143 \ mA$.



Figura 6.29: De arriba hacia abajo: Voltaje del inversor y la corriente de modo común i_{zg} , para la peor secuencia utilizada.

En esta primera evaluación se obtienen resultados experimentales para la operación del inversor con una de las mejores secuencias de conmutación con una de las peores. Los resultados indican que, en el caso de la peor secuencia, el valor RMS de la corriente de fuga aumenta 60 mA en comparación con la mejor secuencia de conmutación.

6.8 Resultados experimentales para la variación del del voltaje de salida

En esta subsección se presentan los resultados experimentales usando la mejor secuencia de conmutación considerada, pero con cinco pares de ángulos de conmutación α_1 y α_2 diferentes para obtener distintos valores RMS del voltaje del inversor en estado estacionario y eliminar el tercer armónico.

En estos resultados se presentan cinco evaluaciones acompañadas de figuras que ilustran las mediciones realizadas. Sin embargo, en realidad se llevaron a cabo pruebas con diez ángulos distintos para α_1 y α_2 , mientras que los resultados restantes se presentan al final del capítulo en la Tabla 6.4

Como primer caso, se analiza la conmutación con $\alpha_1 = 24.26402^\circ$ y $\alpha_2 = 84.26402^\circ$. En la Figura 6.30 se muestra el voltaje y la corriente del inversor. Sus valores RMS son de 100 *V* y de 2.80 *A* respectivamente.



Figura 6.30: De arriba abajo: Voltaje del inversor y corriente del inversor con una modulación con $\alpha_1 = 24.26402^\circ$ y $\alpha_2 = 84.26402^\circ$

La medición usando el analizador Fluke 435 se muestra en la Figura 6.31 resultando en un THD de voltaje del 32.3%.



Figura 6.31: Espectro de frecuencia del voltaje usando un Fluke 345 con una modulación con $\alpha_1 = 24.26402^\circ$ y $\alpha_2 = 84.26402^\circ$

Al igual, en la Figura 6.32, se muestra el espectro de frecuencia de la corriente del inversor con un THD de 20.8%.



Figura 6.32: Espectro de frecuencia de la corriente usando un Fluke 345 con una modulación con $\alpha_1 = 24.26402^\circ$ y $\alpha_2 = 84.26402^\circ$

Con estos ángulos de conmutación, además de obtener valores distintos de voltaje y corriente de salida, se logra una reducción significativa en la amplitud del tercer y quinto armónico.

En el segundo caso se establecen los ángulos de conmutación de $\alpha_1 = 16.7760^\circ$ y $\alpha_2 = 76.7760^\circ$. En la Figura 6.33 se muestra el voltaje y la corriente del inversor. Sus valores RMS son de 108 V y de 3.02 A respectivamente.



Figura 6.33: De arriba abajo: Voltaje del inversor y corriente del inversor con una modulación con $\alpha_1 = 16.7760^\circ$ y $\alpha_2 = 76.7760^\circ$

La medición usando el analizador Fluke 435 se muestra en la Figura 6.34 resultando en un THD de voltaje del 31.9%.



Figura 6.34: Espectro de frecuencia del voltaje usando un Fluke 345 con una modulación con $\alpha_1 = 16.7760^\circ$ y $\alpha_2 = 76.7760^\circ$

Al igual, en la Figura 6.35, se muestra el espectro de frecuencia de la corriente del inversor con un THD de 21.7%.

Armónicos	A THD 21.7%f A K 4.5	
	Ø 0:55:44	D- @9
₩		
¢····50% ·····	I	·····
THDDC 1 5 31/05/24 13:5	9 13 17 21 25 29 33 37 5:31 180V 60Hz 1,0	41 45 49 EN50160
VAW N	B C METER	HOLD

Figura 6.35: THD de corriente de salida con $\alpha_1 = 16.7760^\circ$ y $\alpha_2 = 76.7760^\circ$

En este caso la amplitud del quinto y séptimo armónico aumenta en comparación con los ángulos anteriores. Como consecuencia, presenta un THD ligeramente mayor.

En el tercer caso los ángulos de conmutación $\alpha_1 = 8.1360^\circ$ y $\alpha_2 = 68.1360^\circ$. En la Figura 6.36 se muestra el voltaje y la corriente del inversor. Sus valores RMS son de 132 V y de 3.77 A respectivamente.



Figura 6.36: De arriba abajo: Voltaje del inversor y corriente del inversor con una modulación con $\alpha_1 = 8.1360^\circ$ y $\alpha_2 = 68.1360^\circ$

La medición usando el analizador Fluke 435 se muestra en la Figura 6.37 resultando en un THD de voltaje del 29.0%.

Armónicos A THD 29.0%f						
Рим	© 0:03:24	4 P ⊡-C				
4 ⊯····109%•·····			•			
• 50% · · · · · · · · · · · · · · · · · · ·	I	-1	•			
31/05/24 14:21:36	180V 60Hz	29 55 57 41 45 49 1.Ø EN50160				
	METER	HOLD				

Figura 6.37: THD de voltaje de salida con $\alpha_1 = 8.1360^\circ$ y $\alpha_2 = 68.1360^\circ$

Al igual, en la Figura 6.38, se muestra el espectro de frecuencia de la corriente del inversor con un THD de 21.7%.

Armónicos	A THD 22	.6 %f	^а к 3.1	
F	рині	© 0	:03:29	D- 🔤 9

	5 0 12	·	95 90 22	27 41 45 40
31/05/24	14:21:41	180U I	60Hz 1Ø	EN50160
VAW	A B C N ALL	MET	ER	HOLD

Figura 6.38: THD de corriente de salida con $\alpha_1 = 8.1360^\circ$ y $\alpha_2 = 68.1360^\circ$

Con estos ángulos de conmutación, la amplitud del quinto armónico aumenta en comparación con los ángulos anteriores.

En el cuarto caso $\alpha_1 = 3.3120^\circ$ y $\alpha_2 = 56.6880^\circ$. En la Figura 6.39 se presentan las formas de onda de voltaje y corriente del inversor obtenidas y muestran valores RMS de voltaje y de corriente de 150 *V* y 4.25 *A*, respectivamente.



Figura 6.39: De arriba abajo: Voltaje del inversor y corriente del inversor con una modulación con $\alpha_1 = 3.3120^\circ$ y $\alpha_2 = 56.6880^\circ$

La medición usando el analizador Fluke 435 se muestra en la Figura 6.40 resultando en un THD de voltaje del 25.5%.



Figura 6.40: Espectro de frecuencia del voltaje usando un Fluke 345 con una modulación con $\alpha_1 = 3.3120^\circ$ y $\alpha_2 = 56.6880^\circ$

Al igual, en la Figura 6.42 se obtuvo el THD de corriente que se obtuvo de 19%.



Figura 6.42: Espectro de frecuencia de la corriente usando un Fluke 345 con una modulación con $\alpha_1 = 3.3120^\circ$ y $\alpha_2 = 56.6880^\circ$

Con los ángulos de conmutación seleccionados, la amplitud del quinto y séptimo son los que contienen mayor amplitud, sin embargo, se presenta un THD menor.

En el último caso los ángulos de conmutación se establecen como $\alpha_1 = 25.200^\circ$ y $\alpha_2 = 34.800^\circ$. En la Figura 6.43 se muestra el voltaje y la corriente del inversor. Sus valores RMS son de 163 V y de 4.64 A respectivamente.



Figura 6.43: De arriba abajo: Voltaje del inversor y corriente del inversor con una modulación con $\alpha_1 = 25.200^\circ$ y $\alpha_2 = 34.800^\circ$

La medición usando el analizador Fluke 435 se muestra en la Figura 6.44 resultando en un THD de voltaje del 23.8%.


Figura 6.44: Espectro de frecuencia del voltaje usando un Fluke 345 con una modulación con $\alpha_1 = 25.200^\circ$ y $\alpha_2 = 34.800^\circ$

En la Figura 6.45, se muestra el espectro de frecuencia de la corriente del inversor con un THD de 18.7%.



Figura 6.45: Espectro de frecuencia de la corriente usando un Fluke 345 con una modulación con $\alpha_1 = 25.200^\circ$ y $\alpha_2 = 34.800^\circ$

La evaluación presenta que, con los ángulos de conmutación seleccionados, la amplitud del quinto y séptimo son los que contienen mayor amplitud, sin embargo, presentan un THD menor en comparación con los casos anteriores.

En la Tabla 6.4 se presenta un resumen los valores RMS esperados de voltaje y corriente del inversor junto con sus valores de THD.

Conjunto	~	~	22				
de ángulos	α_1	α_2	V _{o,RMS}	γ	L _{O,RMS}	ΙΗΟ _ν	IHD _i
1	27.5760	87.760	92	0.41	2.56	31.5%	20.2%
2	24.2640	84.2640	100	0.45	2.81	32.3%	20.8%
3	20.6640	80.6640	108	0.49	3.03	31.9%	21.7%
4	16.7760	767760	108	0.49	3.02	31.9%	21.7%
5	12.6000	72.6000	123	0.55	3.50	29.6%	22.4%
6	8.1360	68.1360	132	0.6	3.77	29%	22.6%
7	3.3840	63.3840	141	0.64	3.99	29.6%	22.8%
8	3.3120	56.6880	150	0.68	4.25	25.5%	19%
9	12	48	155	0.70	4.44	16.3%	9.8%
10	13.9680	46.0320	157	0.71	4.44	15.7%	9.2%
11	25.200	34.800	163	0.74	4.64	23.8%	18.7%

Tabla 6.4: Valores RMS y de THD de voltaje y corriente del inversor para diferentes ángulos de conmutación

6.9 Resultados experimentales con cambio de ángulos

En esta sección se presentan los resultados experimentales obtenidos al variar los ángulos de conmutación con un voltaje $V_{CD} = 60$ V, el objetivo principal es analizar como estos cambios afectan en las formas de onda de voltaje y corriente. Para estas pruebas se utilizó los parámetros de la Tabla 6.2.

	α_1	α_2
1	27.760	87.5760
2	24.2640	84.2640
3	20.6640	80.6640
5	12.6000	72.6000
6	8.1360	68.1360

Tabla 6.5: Ángulos de conmutación considerados

Se obtuvieron pruebas con los ángulos de la Tabla 6.5 sin embargo, solo se presentan dos de ellas con sus respectivas figuras.

En la Figura 6.46 y 6.47 se muestra el comportamiento del voltaje y la corriente cuando se hace un cambio de ángulo de conmutación de $\alpha_1 = 12.60^\circ$ y $\alpha_2 = 72.60^\circ$ a $\alpha_1 = 8.1360^\circ$ y

 $\alpha_2 = 68.1360^\circ$, se puede observar que el voltaje de salida, presenta variaciones en el ancho de los niveles de voltaje, aunque estos cambios de ángulos son difíciles de distinguir visualmente.



Figura 6.46: Voltaje v_{inv} onda con cambio de ángulo de conmutación de $\alpha_1 = 12.60^\circ$ y $\alpha_2 = 72.60^\circ$ a $\alpha_1 = 8.1360^\circ$ y $\alpha_2 = 68.1360^\circ$

En el caso de la corriente de salida, se observa un cambio en el ancho de los niveles de corriente, aunque este cambio es apenas perceptible.



Figura 6.47: Corriente i_{inv} onda con cambio de ángulo de conmutación de $\alpha_1 = 12.60^\circ$ y $\alpha_2 = 72.60^\circ$ a $\alpha_1 = 8.1360^\circ$ y $\alpha_2 = 68.1360^\circ$

En las Figuras 6.48 y 6.49 se muestra el comportamiento del voltaje y la corriente cuando se hace un cambio de ángulo de conmutación de $\alpha_1 = 12.60^\circ$ y $\alpha_2 = 72.6040^\circ$ a $\alpha_1 = 8.1360^\circ$ y $\alpha_2 = 68.1360^\circ$, se puede observar que, en voltaje de salida, presenta un cambio en el ancho de los niveles de voltaje.



Figura 4.48. Voltaje v_{inv} onda con cambio de ángulo de conmutación de $\alpha_1 = 24.2684^\circ$ y $\alpha_2 = 84.2684^\circ$ a $\alpha_1 = 20.6640^\circ$ y $\alpha_2 = 80.6640^\circ$

En este caso, la corriente también presenta un cambio perceptible.



Figura 4.49. Corriente i_{inv} onda con cambio de ángulo de conmutación de $\alpha_1 = 24.2684^\circ$ y $\alpha_2 = 84.2684^\circ$ a $\alpha_1 = 20.6640^\circ$ y $\alpha_2 = 80.6640^\circ$

CAPÍTULO 7: CONCLUSIONES

En este trabajo se estudió un inversor multinivel puente H en cascada de fuentes simétricas, con un esquema de conmutación de baja frecuencia (60Hz).

Se analizaron los estados de conmutación posibles del inversor que entregan cada uno de los niveles de voltaje de salida. Una secuencia especifica de estos estados de conmutación permitió al inversor reconstruir la forma de onda del voltaje de salida, sin embargo, el número de combinaciones posibles encontrado fue de 9216 secuencias posibles, para realizar un descarte de este gran número de secuencias se introdujo al análisis la magnitud de las corrientes de fuga en el inversor, lo cual permitió reducir el número de secuencias a 64, las cuales mantenían las corrientes de fuga en niveles aceptables de acuerdo a la normativa.

El sistema se probó de manera experimental empleando un prototipo de laboratorio diseñado y construido durante en el trayecto de la investigación, se consideró un voltaje en el bus de DC de 220V y se agregó al sistema una trayectoria de tierra con una impedancia de 10 Ohms y capacitancias parásitas propuestas de 47 nF, para la programación de la secuencia de activación se empleó una tarjeta FPGA con el acondicionamiento necesario para su conexión con el inversor.

La primera de las pruebas de realizó empleando los ángulos 12° y 48° para α_1 y α_2 , dichos ángulos provienen de la técnica de eliminación selectiva de armónicos los cuales permiten eliminar los armónicos 3 y 5, la prueba fue realizada dos veces, empleando la mejor secuencia de las 64 disponibles, la cual obtuvo una corriente de fuga de 82.2 mA y la segunda utilizando la peor secuencia de las 64 disponibles en la cual se obtuvo una corriente de fuga de 143 mA.

Por último, se probó la variación del voltaje RMS de salida variando los ángulos de conmutación, manteniendo la mejor secuencia, en total se realizaron 10 pruebas, donde efectivamente se logró modificar el voltaje de salida RMS del inversor, cabe mencionar que los ángulos 13.96° y 46.032° además de arrojar un voltaje de salida de 157V RMS, fueron los ángulos que menor distorsión armónica presentaron.

CAPÍTULO 8: REFERENCIAS

[1] A. R. Lopez, J. M Sosa, M. A. Juarez, F.-d. -J. Torres and C. Correa-Betanzo, "Calculation of Optimal Switching Angels for a Multilevel Inverter through the Taguchi Design Approach," 2020 IEEE International Autumn Meeting on Power, Electronics and Computing (ROPEC), Ixtapa, Mexico, 2020, pp. 1-5, doi 10.1109/ROPEC50909.20202.9258728.

[2] A. Edpuganti and A. K. Rathore, "A Survey of low Switching Frequency Modulation Techniques for Medium-Voltage Multilevel Converters, "in IEEE Transactions on Industry Applications, vol.51, no. 5, pp. 4212-4228, Sep-Oct. 2015, doi: 10.1109/TIA:2015.2437351.

[3] Rodriguez, Jih-Sheng Lai and Fang Zheng Peng, Multilevel inverters: a survey of topologies, controls, and applications, "in/EEE Transactions on industrial Electronics, vol.49, no 4, pp. 724-738, Aug.2002, doi: 10.1109/TIE.2002.801052.

[4] E. Ozdemir, S. Ozdemir and L. M. Tolbert, "Fundamental-Frequency-Modulated Six-Level Diode-Clamped Multilevel Inverter for Three-Phase Stand-Alone Photovoltaic System, "in IEEE Transactions on Industrial Electronics, vol. 56, no. 11, pp. 4407-4415, Nov.2009, doi:10.1109/TIE.2008.928096.

[5] M.M. Reyes, J. A. Alquiciria, S. De León Aldaco, E.M. Amores Campos and Y.R. Severiano, "Calculation of Optimal Switching Angles for a Multinivel Inverter using NR and GA-a comparison". 2018 14th International Conference on Power Electronics (CIEP), Cholula, Puebla, México, 2018, pp. 22-27, doi:10.1109/CIEP.2018.8573408.

[6] Rashid Muhammad, (2004). Electrónica de Potencia, Circuitos y Aplicaciones", 2da Edición Pretince Hall, Pearson Education.

[7] W. Yao, H. Hu and Z. Lu, "Conparisons of Space-Vector Modulation and Carrier-Based Modulation of Multinivel Inverter,", in IEEE Transactions on Power Electronics, vol.23, no. 1, pp. 45-51, Jan.2008, doi:10.11109/TPEL.2007.911865.

[8] A. R. Lopez, C. J. Cortés, C. A. Limones-Pozos, J. M. Sosa, J. Aguayo and S. De León Aldaco, "Optimal Switching Angles Calculation for a Multilevel Inverter through the SHE Method and the PSO Algorithm, a comparison," *2020 IEEE International Autumn Meeting on Power, Electronics and Computing (ROPEC)*, Ixtapa, Mexico, 2020, pp. 1-6, doi: 10.1109/ROPEC50909.2020.9258680.

[9] V. S. Kirthika Devi, R. H. Patrao, P. S. Sreekanth, G. Ramole and A. Sreekumar, "Implementation of staircase modulation on a five level Cascaded H-Bridge multilevel inverter and interfacing with Photovoltaic modules," *2015 International Conference on Power and Advanced Control Engineering (ICPACE)*, Bengaluru, India, 2015, pp. 185-190, doi: 10.1109/ICPACE.2015.7274940.

[10] G. Vázquez, J. M. Sosa, M. A. Juarez, P. R. Martinez-Rodriguez and G. Escobar, "A Modulation Strategy for a Single-Phase Transformerless Multilevel Inverter with Dual Bidirectional Switch," 2018 AEIT International Annual Conference, Bari, Italy, 2018, pp. 1-6, doi: 10.23919/AEIT.2018.8577206.

[11] G. Vazquez, L. Rodriguez-Larios, J. M. Sosa, P. R. Martinez-Rodriguez and A. A. Valdez Fernandez, "Single Carrier PWM Strategy for Grid Connected PV Transformerless Cascade Multilevel Inverters," 2018 IEEE International Autumn Meeting on Power, Electronics and Computing (ROPEC), Ixtapa, Mexico, 2018, pp. 1-6, doi: 10.1109/ROPEC.2018.8661408.

[12] G. S. Kulothungan, A. K. Rathore, J. Rodriguez and D. Srinivasan, "Fundamental Device Switching Frequency Control of Current-Fed Nine-Level Inverter for Solar Application," in IEEE Transactions on Industry Applications, vol. 56, no. 2, pp. 1839-1849, March-April 2020, doi: 10.1109/TIA.2019.2957714.

[13] C. Buccella, M. G. Cimoroni, M. Tinari and C. Cecati, "Seven-level cascaded inverters for Uninterruptible Power Supply (UPS) applications," IECON 2019 - 45th Annual Conference of the IEEE Industrial Electronics Society, Lisbon, Portugal, 2019, pp. 1549-1554, doi: 10.1109/IECON.2019.8927243.

[14] Y. Yang, F. Blaabjerg and H. Wang, "Low-Voltage Ride-Through of Single-Phase Transformerless Photovoltaic Inverters," in IEEE Transactions on Industry Applications, vol. 50, no. 3, pp. 1942-1952, May-June 2014, doi: 10.1109/TIA.2013.2282966.

[15] Y. Yang and F. Blaabjerg, "A new power calculation method for single-phase gridconnected systems," 2013 IEEE International Symposium on Industrial Electronics, Taipei, Taiwan, 2013, pp. 1-6, doi: 10.1109/ISIE.2013.6563684.

[16] Deepak C. Bhonsle, Ramesh B. Kelkar, "Performance evaluation of composite filter for power quality improvement of electric arc furnace distribution network", International Journal of Electrical Power & Energy Systems, Volume 79, pages 53-65, ISSN 0142-0615, July 2016.

[17] Akagi, Hirofumi and Watanabe, Edson and Aredes, M. (2007). "Instantaneous Power Theory and Applications to Power Conditioning" Published by John Wiley & Sons, Inc., Hoboken, New Jersey, ISBN 978-0470-10761-4.

[18] J. L Willems, "The IEEE standard 1459: What and why?," 2010 IEEE International Workshop on Applied Measurements for Power Systems, Aachen, Germany, 2010, pp. 41-46, doi: 10.1109/AMPS.2010.5609324.

[19] MIRUS, "A Practical and Effective Way of Applying IEEE std 519-2014 Harmonic limits". Consultado: el 10 de diciembre de 2024. [En línea]. Disponible en: https://www.mirusinternational.com/downloads/White%20Paper%20%20IEEE%20Std%205 19-2014%20Harmonic%20Limits.pdf

[20] CHAUVIN ARNOUX, "La norma IEC 61000-4-30 La homogeneización de la medida", Consultado: el 10 de diciembre de 2024. [En línea]. Disponible en: https://www.chauvin-arnoux.es/sites/default/files/documents/wp-lanorma-clasea.pdf

[21] M. Domagk, J. Meyer, P. Schegner, G. Eberl and T. Darda, "Influence of aggregation intervals on power quality assessment according to EN 50160," 22nd International Conference and Exhibition on Electricity Distribution (CIRED 2013), Stockholm, 2013, pp. 1-4, doi: 10.1049/cp.2013.1104.

[22] ANCE Asociación de normalización y certificación, "Consultade de Normas Mexicanas", Consultado: el 10 de diciembre de 2024. [En línea]. Disponible en: https://www.ance.org.mx/Normalizacion/Pages/ConsultaNormas/ConsultaNormas.aspx

[23] M. Shahabadini and H. Iman-Eini, "Leakage Current Suppression in Multilevel Cascaded H-Bridge Based Photovoltaic Inverters," in IEEE Transactions on Power Electronics, vol. 36, no. 12, pp. 13754-13762, Dec. 2021, doi: 10.1109/TPEL.2021.3084699.

[24] M. A. Islam, M. Hasanuzzaman and N. A. Rahim, "Effect of Different Factors on the Leakage Current Behavior of Silicon Photovoltaic Modules at High Voltage Stress," in IEEE Journal of Photovoltaics, vol. 8, no. 5, pp. 1259-1265, Sept. 2018, doi: 10.1109/JPHOTOV.2018.2841500.

[25] Xiao, Bailu & Hang, lijun & Mei, Jun & Riley, Cameron & Tolbert, Leon & Opzpineci, Burak-Connected Applications. IEEE transactions on Industry Applications, 5.1 1-1.10.1109/TIA.2014.2354396.

[26] Y. Zhou and H. Li, Analysis and suppression of leakage current in cascade-multilevelinverter- based PV systems", IEEE Trans Power Electron., vol.29, no 10,pp,5265-5277, Oct.2014.

[27] SMA, "Leading Leakage Currents". Consultado: el 6 de noviembre de 2024. [En línea]. Disponible en: https://files.sma.de/downloads/Ableitstrom-TI-en-26.pdf.

[28] E. Gubía, P. Sanchis, A. Ursúa, J. López, and L. Marroyo, "Ground currents in singlephase transformerless photovoltaic systems", Progress in Photovoltaics: Research and Applications, vol. 15, no. 7, pp. 629-650, 2007.

CAPÍTULO 9: ANEXOS

8.1 Valor RMS y THD constante

clc;

clear all;

close all;

%limites para los angulos

N=50

alpha1 = linspace(0, 1.45, N);

alpha2 = linspace(0, 1.45, N);

[ALPHA1,ALPHA2] = meshgrid(alpha1,alpha2);

```
Div =4*(cos(ALPHA1)+cos(ALPHA2));
```

THa= Div./(pi*sqrt(2));

Diva = 4*(cos(ALPHA1)+cos(ALPHA2)).^2;

```
TH= sqrt(-1+((pi*(2*pi-ALPHA1-3*(ALPHA2)))./Diva));
```

for i=1:N

```
for j=1:N
```

```
if(ALPHA1(i,j)>ALPHA2(i,j))
```

```
THa(i,j)=NaN;
```

```
TH(i,j)=NaN;
```

end

end

end

```
contour(ALPHA1,ALPHA2,THa,'showText','on')
```

hold on

contour(ALPHA1,ALPHA2,TH,'showText','on')

title('Curvas del V_{1RMS} y THD constante')

xlabel('Valor de $\ 1$? rad')

```
ylabel('Valor de \alpha_{2} ? rad')
```

8.2 Evaluación para las secuencias de conmutación

clc;

clear all;

Vcd=100;

N=9216;

T1=[1 4 7 10 13 16;]; Vcp2T1=[0 0 0 -Vcd/2 -Vcd/2 -Vcd/2]; Vcp4T1=[0 -Vcd/2 0 -Vcd/2 0 -Vcd/2];

T2=[3 9 12 15];

Vcp2T2=[Vcd/2 0 0 0];

Vcp4T2=[0 0 -Vcd/2 0];

T3=[11];

Vcp2T3=[Vcd/2]; Vcp4T3=[0];

T4=[3 9 12 15]; Vcp2T4=[Vcd/2 0 0 0]; Vcp4T4=[0 0 -Vcd/2 0];

T5=[1 4 7 10 13 16]; Vcp2T5=[0 0 0 -Vcd/2 -Vcd/2 -Vcd/2]; Vcp4T5=[0 -Vcd/2 0 -Vcd/2 0 -Vcd/2];

T6=[2 5 8 14]; Vcp2T6=[-Vcd/2 -Vcd/2 -Vcd/2 -Vcd]; Vcp4T6=[-Vcd/2 0 -Vcd/2 -Vcd/2]; T7=[6]; Vcp2T7=[-Vcd]; Vcp4T7=[-Vcd/2];

T8=[2 5 8 14]; Vcp2T8=[-Vcd/2 -Vcd/2 -Vcd/2 -Vcd]; Vcp4T8=[-Vcd/2 0 -Vcd/2 -Vcd/2]; % Secuencias de estados a1=combvec(T1,T2,T3,T4,T5,T6,T7,T8); a3=combvec(Vcp2T1,Vcp2T2,Vcp2T3,Vcp2T4,Vcp2T5,Vcp2T6,Vcp2T7,Vcp2T8); a5=combvec(Vcp4T1,Vcp4T2,Vcp4T3,Vcp4T4,Vcp4T5,Vcp4T6,Vcp4T7,Vcp4T8);

Vcp2= zeros(N,9); Vcp2(1:N,1:8)= transpose(a3); Vcp2(1:N,9)= Vcp2(1:N,1);

Vcp4 = zeros(N,9);

Vcp4(1:N,1:8)= transpose(a5);

Vcp4(1:N,9) = Vcp4(1:N,1);

```
Icp1=zeros(N,8);
for i=1:N
  Icp2(i,:)=diff(Vcp2(i,:));
  Icp4(i,:)=diff(Vcp4(i,:));
end
MIcp=Icp2+Icp4;
Irms=zeros(N,1);
```

```
for i=1:N
  Irms(i,1)=rms(MIcp(i,:));
end
Irms;
X=(1:N);
plot(X,Irms);
xlim([0 9220])
n0=0;
for i=1:N
  if Irms(i,1) < 51
    i;
     n0=n0+1
  end
end
title('\fontsize{16}Valor representativo de corriente de Fuga')
xlabel('Número de secuencia')
```

ylabel('Magnitud RMS de la corriente de fuga')

8.3 Código para la implementación de la mejor y peor secuencia de conmutación en FPGA

library ieee;

use ieee.std_logic_1164.all;

use ieee.std_logic_unsigned.all;

use ieee.std_logic_arith.all;

use ieee.numeric_std;

--Entidad

entity Secuencias is port(

--Definiciones de entradas y salidas físicas reflejadas en los pines del FPGA

Reinicio,Reloj:in std_logic; --Entrada lógica, la variable Reloj almacena el oscilador del FPGA de 50 MHz. Reinicia las salidas la variable Reinicio.

--Para poder observar la señal de reloj.

Reloj2:out std_logic:='0'; --PIN_B4/GPIO05

--Señales de Salidas de los comparadores de la simulación.

Signal_out1:out std_logic:='0'; --Salida del comparador a 12° PIN_C3/GPIO01.

Signal_out2:out std_logic:='0'; --Salida del comparador de pulso simétrico PIN_D3/GPIO00

Signal_out3:out std_logic:='0'; --Salida del comparador a 48° PIN_A3/GPIO03.

Led1:out std_logic:='0';

--Salidas físicas para los interruptores

S1, S1n, S2, S2n, S3, S3n, S4, S4n: out std_logic := '0'

--Salidas en PIN_F13/GPIO10 -PIN_T15/GPIO11 -PIN_T13/GPIO13 -PIN_T12/GPIO15 -PIN_T11/GPIO17 -PIN_R11/GPIO19 -PIN_R10/GPIO111 -PIN_P9/GPIO113

); end Secuencias;

--En la arquitectura se definen variables para guardar datos.

architecture A_Secuencias of Secuencias is

constant freq_60Hz : integer := 833333;

--Señal de reloj a 60Hz a partir de su reloj de 50MHz, (50MHz/60Hz) constante tipo entero.

signal ciclos: integer range 0 to freq_60Hz :=0; -- Variable de conteo de los ciclos de reloj

signal Signal_Aux1: std_logic := '0'; --Variable auxiliar interna para el comparador a 12°

signal Signal_Aux2: std_logic := '0'; --Variable auxiliar interna para el comparador simétrico

signal Signal_Aux3: std_logic := '0'; --Variable auxiliar interna para el comparador a 48°

signal Signal_S1, Signal_S2, Signal_S3, Signal_S4: std_logic:= '0';

signal PSignal_S1, PSignal_S2, PSignal_S3, PSignal_S4: std_logic:= '0'; -- Variables auxiliares internas de los estados de los interruptores

begin

--Proceso para los cálculos se ejecuta cuando hay un cambio lógico en las variables de entrada.

process (Reinicio, Reloj) is

-- Variables de los contadores de tiempo muerto, el rango debe ser mayor al tiempo muerto, son 8 por las salidas de los interruptores.

variable contador1: integer range 0 to 110 :=0;

variable contador2: integer range 0 to 110 :=0;

variable contador3: integer range 0 to 110 :=0;

variable contador4: integer range 0 to 110 :=0;

variable contador5: integer range 0 to 110 :=0;

variable contador6: integer range 0 to 110 :=0;

variable contador7: integer range 0 to 110 :=0;

variable contador8: integer range 0 to 110 :=0;

constant Tiempo_muerto: integer :=101; --Número de ciclos que se desean de tiempo muerto, P=(1/50MHz)=20ns=1 ciclo

--Al número colocado se considera +1, (tiempo propuesto para apagar el interruptor 2 us) Numero_ciclos_tiempo_muerto (2us/20ns) =100 ciclos

begin

if(reinicio = '0') then --Condición para reiniciar los contadores Signal_Aux1 <= '0'; Signal_Aux2 <= '0'; Signal_Aux3 <= '0'; --Reinicio a la salida colocándola en 0 ciclos <= 0; --Reinicia el conteo de ciclos</pre>

Led1 <= '0';

elsif(rising_edge(Reloj)) then --Detecta un cambio lógico en esta variable de muestreo a 50MHz

Led1 <= '1';

if (ciclos \geq 27777 and ciclos \leq 388889) then	Condición para ángulo de 12°
if (ciclos >= 63657 and ciclos <= 353009)then	Condición para ángulo de 27.5760.
if (ciclos >= 55555 and ciclos <= 361111)then	Condición para ángulo de 24.2640.
if (ciclos >= 47453 and ciclos <= 369213)then	Condición para ángulo de 20.6640.
if (ciclos >= 38194 and ciclos <= 378472)then	Condición para ángulo de 16.7760.
if (ciclos >= 28935 and ciclos <= 387731)then	Condición para ángulo de 12.6000.
if (ciclos >= 18518 and ciclos <= 398148)then	Condición para ángulo de 8.1360.
if (ciclos >= 6944 and ciclos <= 409722)then	Condición para ángulo de 3.3840.

--if (ciclos \geq 6944 and ciclos \leq 409722)then -- Condición para ángulo de 3.3120.

--if (ciclos \geq 31249 and ciclos \leq 385417)then -- Condición para ángulo de 13.9680.

--if (ciclos >= 57870 and ciclos <= 358796)then -- Condición para ángulo de 25.2000.

-- Ciclo espesificado, enciende la señal 12 min = $((12xfreq_60Hz)/360)/2$, apaga la señal 12° después max = $(freq_60Hz/2)$ - min

Signal_Aux1 <= '1'; -- El valor se estable en 1 dentro del rango establecido

else

Signal_Aux1 <= '0'; -- El valor se establece en 0 para el caso contrario

end if;

-- Genera la señal simétrica principal con ciclo de trabajo del 50% A 60Hz

 $if(ciclos = freq_60Hz/2)$ then -- Se divide entre 2 para considerar el estado encendido y apagado de la señal dentro del periodo de 60Hz (416,666)

Signal_Aux2 <= not Signal_Aux2; -- Cambia el valor de la variable al negado de su valor, para la formación del pulso simétrico

ciclos <= 0; -- Reinicia el conteo de ciclos

else

ciclos <= ciclos + 1; -- Aumenta el contador principal hasta la mitad del ciclo.

end if;

if (ciclos >= 111111 and ciclos <= 305555) then -- Condición para ángulo de 48°

--if (ciclos \geq 202546 and ciclos \leq 214120) then -- Condición para ángulo de 87.5760.

--if (ciclos \geq 194444 and ciclos \leq 222222) then -- Condición para ángulo de 84.2640.

-if (ciclos >= 186342 and ciclos <= 230324) then -- Condición para ángulo de 80.6640.

--if (ciclos \geq 177083 and ciclos \leq 238426) then -- Condición para ángulo de 76.7760.

--if (ciclos \geq 167824 and ciclos \leq 248842) then -- Condición para ángulo de 72.6000.

--if (ciclos \geq 157407 and ciclos \leq 259259) then -- Condición para ángulo de 68.1360.

--if (ciclos >= 145833 and ciclos <= 270833) then -- Condición para ángulo de 63.3840.

--if (ciclos \geq 130786 and ciclos \leq 285880) then -- Condición para ángulo de 56.6880.

--if (ciclos >= 106481 and ciclos <= 310185) then -- Condición para ángulo de 46.0320.

--if (ciclos \geq 79861 and ciclos \leq 336805) then -- Condición para ángulo de 34.8000.

-- Ciclos especificado, min = $((48*freq_60Hz)/360)/2$, max = $(freq_60Hz/2)$ - min

Signal_Aux3 <= '1'; -- El valor se estable en 1 dentro del rango establecido

else

Signal_Aux3 <= '0'; -- El valor se establece en 0 para el caso contrario

end if;

--Se definen las señales de salida auxiliares de acuerdo a la mejor secuencia de conmutación y en base a las ecuaciones lógicas obtenidas.

Signal_S1 <= Signal_Aux1 and Signal_Aux2;

Signal_S2 <= (not(Signal_Aux2)) and (Signal_Aux3);

Signal_S3 <=(Signal_Aux2 and Signal_Aux3) or (not(Signal_Aux1));

--Aux_S4 'no se requiere para esta secuencia'

--Se definen las señales de salida auxiliares de acuerdo a la peor secuencia de conmutación y en base a las ecuaciones lógicas obtenidas.

--Signal_S1 <=(not(Signal_Aux1))or(Signal_Aux2 and Signal_Aux3);

--Signal_S2 <=(Signal_Aux1) and (not(Signal_Aux2));

--Signal_S3 <=(Signal_Aux1 and Signal_Aux2);

--Signal_S4 <=(not(Signal_Aux1))or(not(Signal_Aux2) and Signal_Aux3);

--La señal se comporta de acuerdo a las ecuaciones

Se hace la asignación a las variables de salida finales y se aplica el tiempo muerto deseado SEÑALES DE ACTIVACION S1

if(Signal_S1 = '1') then

if(contador1 < Tiempo_muerto) then -- Comparador para el contador con el número de ciclos

contador1 := contador1 + 1; -- Contador incremento

end if;

else

contador1 := 0; -- Si Aux_S1 está en bajo se asigna directamente el valor a la salida y se reinicia el contador para el siguiente ciclo

S1 <= Signal_S1;

S4n <= Signal_S1; -- En esta secuencia S4n = S1

end if;

if(contador1 = Tiempo_muerto) then -- Transcurridos los ciclos del tiempo muerto se hace la asignacion a la variable de salida

S1 <= Signal_S1;

S4n <= Signal_S1;

end if;

-- SEÑALES DE ACTIVACION S1n

if(not(Signal_S1) = '1') then -- Para las señales complementarias se considera los negados de la entrada anterior ejemplo (not(Aux_S1))

if(contador2 < Tiempo_muerto) then --Se considera una nueva variable para el contador en cada señal. El codigo siguiente es similar.

```
contador2 := contador2 + 1;
```

end if;

else

contador2 := 0;

S1n <= not(Signal_S1);

S4 <= not(Signal_S1);

end if;

if(contador2 = Tiempo_muerto) then

```
S1n <= not(Signal_S1);
```

S4 <= not(Signal_S1);

end if;

-- SEÑALES DE ACTIVACION S2

```
if(Signal_S2 = '1') then
if(contador3 < Tiempo_muerto) then
contador3 := contador3 + 1;
end if;
else
contador3 := 0;
S2 <= Signal_S2;</pre>
```

```
end if;
       if(contador3 = Tiempo_muerto) then
       S2 <= Signal_S2;
       end if;
-- SEÑALES DE ACTIVACION S2n
if(not(Signal_S2) = '1') then
if(contador4 < Tiempo_muerto) then
contador4 := contador4 + 1;
end if;
else
contador4 := 0;
S2n <= not(Signal_S2);
end if;
if(contador4 = Tiempo_muerto) then
S2n <= not(Signal_S2);
end if;
-- SEÑALES DE ACTIVACION S3
if(Signal_S3 = '1') then
if(contador5 < Tiempo_muerto) then
contador5 := contador5 + 1;
end if;
else
contador5 := 0;
S3 <= Signal_S3;
end if;
if(contador5 = Tiempo_muerto) then
S3 <= Signal_S3;
end if;
```

```
-- SEÑALES DE ACTIVACION S3n
if(not(Signal_S3) = '1') then
if(contador6 < Tiempo_muerto) then
contador6 := contador6 + 1;
end if;
else
contador6 := 0;
S3n <= not(Signal_S3);
end if:
if(contador6 = Tiempo_muerto) then
S3n <= not(Signal_S3);
end if;
--SEÑALES DE ACTIVACION S4
--if(Signal_S4 = '1') then
--if(contador7 < Tiempo_muerto) then
--contador7 := contador7 + 1;
--end if;
--else
--contador7 := 0;
--S4 <= Signal_S4;
--end if;
--if(contador7 = Tiempo_muerto) then
--S4 <= Signal_S4;
--end if;
--SEÑALES DE ACTIVACION S4n
--if(not(Signal_S4) = '1') then
--if(contador8 < Tiempo_muerto) then
--contador8 := contador8 + 1;
```

--end if;

--else

```
--contador8 := 0;
```

```
--S4n <= not(Signal_S4);
```

--end if;

```
--if(contador8 = Tiempo_muerto) then
```

```
--S4n <= not(Signal_S4);
```

--end if;

end if;

end process;

--Señales que corresponden a las salidas de los comparadores, y se utilizan como las entradas reales.

Signal_out1 <= Signal_Aux1;</pre>

Signal_out2 <= Signal_Aux2;</pre>

Signal_out3 <= Signal_Aux3;

Reloj2 <= Reloj;

end A_Secuencias;